باسمه تعالی

مدارهای مجتمع خطی CMOS
از طراحی تا پیاده‌سازی

مؤلف
دکتر حامد امین‌زاده (عضو هیئت علمی دانشگاه پیام نور)

عنوان و نام پدیدآور	:	مدارهای مجتمع خطی CMOS: از طراحی تا پیاده‌سازی / مؤلف: حامد امین‌زاده
مشخصات نشر	:	مشهد: انتشارات خط اول، ۱۳۹۷
مشخصات ظاهری	:	۲۲۵ ص: مصور، جدول، نمودار
شابک	:	
وضعیت فهرست‌نویسی	:	فیپا
یادداشت	:	مؤلف: حامد امین‌زاده
موضوع	:	مهندسی برق
شناسه افزوده	:	امین‌زاده، حامد، ۱۳۶۱-
رده‌بندی کنگره	:	TK۱۴۵/آ۵ ۱۳۹۴
رده‌بندی دیویی	:	۶۲۱/۳
شماره کتابشناسی ملی	:	۴۰۷۲۵۳۶

تلفن: ۰۵۱۳۷۵۲۹۹۹۳
www.khate-aval.com
info@khate-aval.com

نام ناشر: **انتشارات خط اول**

نام کتاب: **مدارهای مجتمع خطی CMOS: از طراحی تا پیاده‌سازی**

مؤلف: **حامد امین‌زاده**

ویراستار علمی: **حامد امین‌زاده**

صفحه‌آرا: **حامد امین‌زاده**

شمارگان: ۵۰۰ جلد

نوبت چاپ: اول / پاییز ۱۳۹۷

چاپخانه:

قیمت: ۱۰۰۰۰ تومان

تعداد صفحه: ۲۲۵ ص (وزیری)

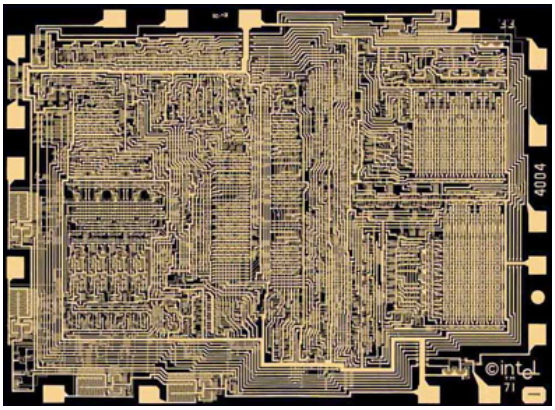
شابک: -

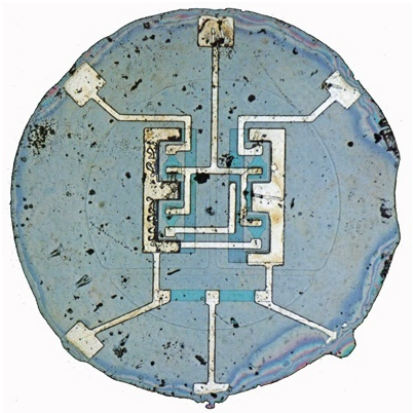
نمایندگی فروش: مشهد- خیابان سعدی- بازارچه کتاب- شماره ۲۵- کتابفروشی درخشش

تلفن: ۰۵۱۳۲۲۵۱۹۲۳

اصفهان- میدان شهدا- خیابان کاوه- کوی ولی عصر- پلاک ۴۱۹- مؤسسه کتاب کیمیا اصفهان

تلفن: ۰۳۱۳۴۴۸۰۲۸۵ - ۰۳۱۳۴۴۸۴۰۲۰





ساخت اولین نسل از مدارهای مجتمع امروزی به اواخر دهه ۱۹۵۰ م‌یلادی بازمی‌گردد. اختراع این قطعات، مبدأ ورود مهندسی برق و الکترونیک به حوزه فناوری‌های نوین محسوب می‌شود. شکل‌های بالا ساختار داخلی اولین مدار مجتمع یکپارچه و اولین ریزپردازنده مجتمع تولیدشده توسط شرکت اینتل را در سال ۱۹۷۱ نشان می‌دهند.

تقدیـم بـه حضـرت ولـی عصـر (عج)

مقدمه

همانگونه که از عنوان آن پیداست، طراحی مدارهای مجتمع به مطالعه و بررسی روش‌های طراحی مدارهای الکترونیکی بر روی ویفرهای ساخته شده از بلور سیلیکونی می‌پردازد. در واقع، طراحی مدارهای مجتمع یک هنر است و می‌توان آن را با پیاده‌سازی یک نقاشی زیبا بر روی بوم خالی مقایسه نمود. مشابه با یک نقاشی زیبا، طرح نهایی (Layout) نشان می‌دهد که چه نقاطی از ویفر سیلیکونی باید با چه نوع ماده‌ای و با چه غلظتی تلفیق یا پوشانده شود. در نهایت، با اتصال ولتاژ الکتریکی به نقاط از پیش تعیین شده، پردازش‌های پیچیده و حجیم که انسان قادر به انجام آنها به سادگی نیست با سرعت بالا انجام می‌گردد. در این درس شما با تحلیل و طراحی بلوک‌های مجتمع مختلف از زوایای دید مختلف (از سطح ترانزیستوری و مداری گرفته تا سیستم‌های مرکب از چندین هزار ترانزیستور) آشنا می شوید.

مباحث این کتاب، تحلیل بنیادی کلیه مدارها، از مدارهای آنالوگ (تقویت کننده ها، فیلترها و منابع تغذیه) گرفته تا مدارهای دیجیتال (دروازه‌های منطقی، حافظه ها و غیره)، فیزیک نیمه‌هادی‌ها و روش‌های ساخت را شامل می‌شود. لذا شاید بتوان درس طراحی مدارهای مجتمع را مهمترین درس در مقطع تحصیلات تکمیلی برق و الکترونیک برشمرد. تحلیل سیستمی مدارهای دیجیتال مبتنی بر تنها دو سطح منطقی صفر و یک به دروسی از قبیل طراحی مدارهای بسیار فشرده (VLSI) و میکروپروسسورها، و بررسی جزئی‌تر فیزیک نیمه هادی‌ها و روش‌های ساخت، به دروسی از قبیل فیزیک الکترونیک و تئوری و فن‌آوری ساخت قطعات نیمه‌هادی مربوط می‌شود.

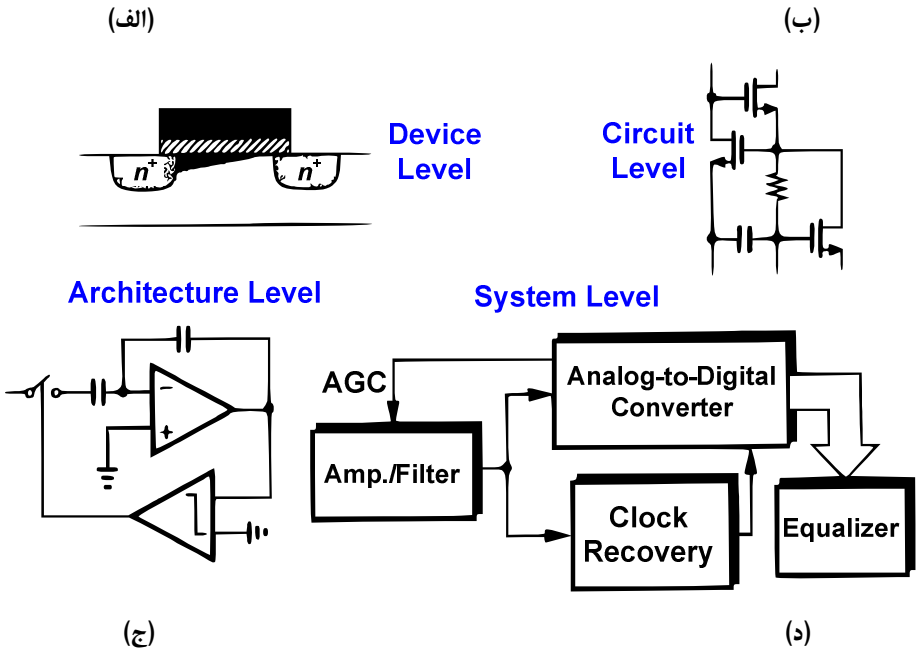
سطوح منطقی طراحی که به منظورتحلیل مدارها از آنها استفاده می‌کنیم عبارتند از (شکل م-۱):

سطح فیزیکی ترانزیستوری (Device Level): بررسی در سطح ترانزیستوری.

سطح مداری (Circuit Level): جزئیات ترانزیستوری درنظرگرفته نمی‌شوند.

سطح ساختاری(Architecture Level): برخی جزئیات مداری درنظرگرفته نمی‌شوند.

سطح سیستمی (System Level): جزئیات مداری به طور کامل در نظر گرفته نمی شوند.



شکل م-۱ (الف) سطح فیزیکی ترانزیستوری؛ (ب) سطح مداری؛ (ج) سطح ساختاری؛ (د) سطح سیستمی.

*) طراحی مقاوم

بسیاری از پارامترهای موجود در مدارهای مجتمع باگذشت زمان و شرایط محیطی و یا در هنگام ساخت تغییر می‌کنند. مهمترین این تغییرات را می‌توان در پروسه ساخت، ولتاژ تغذیه و دمای محیط درنظرگرفت. مدارهای مجتمع باید طوری طراحی و پیاده سازی شوند که در مقابل تغییرات پروسه ساخت/ ولتاژ تغذیه/ دما (PVT) عملکرد مطلوبی داشته باشند. به عنوان مثال ممکن است در شرایط عادی، تغییرات ولتاژ تغذیه مدار بین 1.5 تا 1.8 ولت و تغییرات دما بین 0 تا 85 درجه سانتی گراد باشد. در این شرایط، مدار باید همچنان عملکرد مطلوبی را از خود نشان دهد.

*) بازه عملکرد مدارهای الکترونیکی در کاربردهای مختلف

الف) تجاری: مابین 0 تا 85 درجه سانتی‌گراد،

ب) صنعتی: مابین 25- تا 85 درجه سانتی گراد

ج) نظامی: مابین 40- تا 120 درجه سانتی گراد

*) تغییرات ولتاژ منبع تغذیه در حین عملکرد

به طور استاندارد به اندازه ۱۵ درصد اندازه متوسط ولتاژ تغذیه اعمال شده به مدار در نظر گرفته می شود. مدل‌سازی عدم تقارن ترانزیستورها با انجام تحلیل مونت کارلو (پخش تصادفی اثرات) انجام می‌گیرد.

*) تغییرات رفتار ترانزیستورها در هنگام ساخت

در اثر تغییرات بسیار اندک پارامترها، رفتار ترانزیستورهای ساخته شده در هنگام ساخت تغییر نموده و برخی سریع و برخی کند می‌شوند. این تغییر پارامترها در جدول م-۱ نمایش داده شده‌اند.

جدول م-۱: مدل سازی عملکرد ترانزیستورها در هنگام ساخت

*p*MOS	*n*MOS	نوع ترانزیستور:
T	T	T حالت عادی
F	F	
S	S	F سریع
S	F	
F	S	S کند

در پایان بر خود لازم می‌دانیم تا از زحمات کلیه عزیزانی که ما را در ویرایش این کتاب یاری رسانیده‌اند قدردانی کنیم.

حامد امین‌زاده، بهار ۱۳۹۸

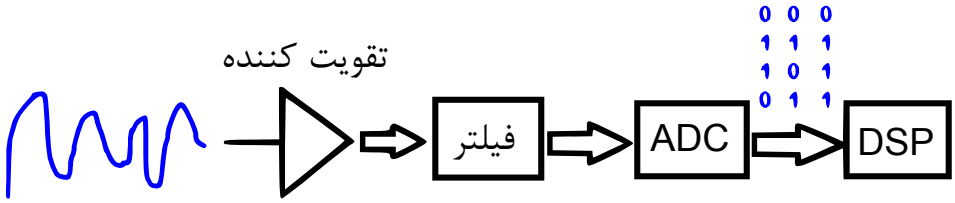
فهرست مطالب

فصل اول: مقدمه ای بر طراحی آنالوگ ۱۱
فصل دوم: فیزیک ترانزیستورهای MOS..... ۱۵
فصل سوم: تقویت‌کننده‌های تک طبقه ۴۳
فصل چهارم: تقویت کننده‌های تفاضلی ۶۷
فصل پنجم: آینه‌های جریان فعال و غیرفعال ۸۷
فصل ششم: پاسخ فرکانسی تقویت کننده‌ها ۱۰۱
فصل هفتم: نویز ۱۱۷
فصل هشتم: فیدبک..... ۱۴۱
فصل نهم: تقویت‌کننده‌های عملیاتی ۱۶۱
فصل دهم: پایداری و جبران‌سازی فرکانسی ۲۰۳
کتابنامه ۲۲۵

فصل اول: مقدمه‌ای بر طراحی آنالوگ

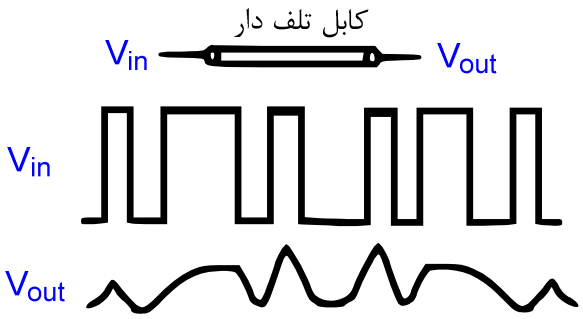
با پیشرفت مدارهای پردازش دیجیتال در اوایل دهه ۱۹۸۰، بسیاری از پژوهشگران مرگ الکترونیک آنالوگ را در سال‌های پیش‌روی پیش‌بینی می‌کردند؛ اما چرا در حال حاضر الکترونیک آنالوگ همچنان از محبوبیت بالا برخوردار است؟ علت آن را می‌توان در کاربردهایی دانست که پردازش اطلاعات در حوزه آنالوگ تنها گزینه ممکن است.

۱- پردازش سیگنال‌های طبیعی: سیگنال‌های موجود در طبیعت همگی به فرم آنالوگ هستند. از این دسته می‌توان به صدای دریافت شده توسط میکروفون، پیکسل‌های تصویر دریافت شده توسط دوربین‌های عکاسی، خروجی حس‌گر ارتعاشات زمین و تشخیص زلزله اشاره نمود. چنین سیگنال‌هایی باید توسط مبدل‌های آنالوگ به دیجیتال (مدارهای آنالوگ)، به کلمه‌ای دیجیتال تبدیل شوند تا بررسی و پردازش-های بعدی توسط مدارهای دیجیتال انجام شوند (شکل ۱-۱). پس از اتمام پردازش دیجیتال، سیگنال موردنظر مجدداً توسط مبدل دیجیتال به آنالوگ به فرم آنالوگ تبدیل شود. سیگنال‌های آنالوگ گاهی حاوی سیگنال‌های ناخواسته‌ای ازجمله نویز و اعوجاج هستند که لازم است قبل از تبدیل‌شدن به دیجیتال، توسط فیلترهای آنالوگ حذف شوند.



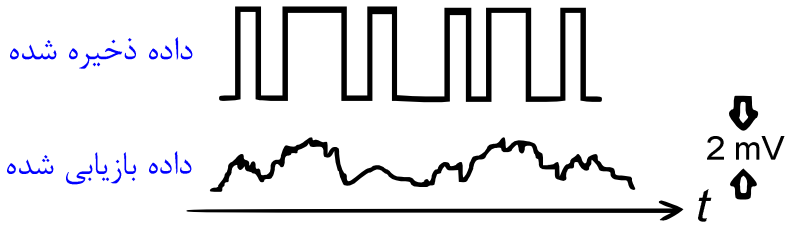
شکل ۱- ۱: نحوه پردازش یک سیگنال آنالوگ در حوزه دیجیتال.

۲- ارتباطات دیجیتال: اطلاعات دیجیتال غالباً در فواصل طولانی ارسال و دریافت می‌شوند. سیگنال دریافت شده به‌شدت ضعیف بوده و حاوی نویز است (شکل ۱-۲). لذا باید قبل از تبدیل‌شدن به صفر و یک، توسط تقویت‌کننده‌های آنالوگ تقویت شود. گاهی اوقات هر دو بیت مجاور را با یکدیگر ترکیب می‌کنند و یک سیگنال چهارسطحی می‌سازند. چنین سیگنالی نیاز به پردازش بیشتر برای کدگشایی دارد.



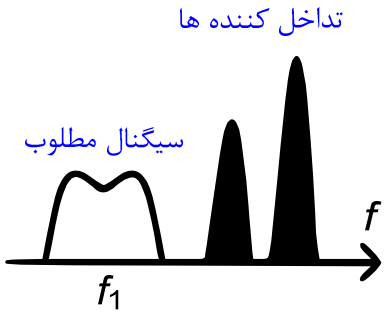
شکل ۱-۲: تضعیف و اعوجاج داده‌ها بعد از عبور از میان یک کابل دارای تلفات.

۳- بازیابی اطلاعات از دیسک سخت: اطلاعات بازیابی شده از روی دیسک سخت حاوی نویز است. برای بازیابی آنها از مدارهای آنالوگ استفاده می‌شود (شکل ۱-۳).



شکل ۱-۳: داده‌های ذخیره‌شده و بازیابی شده از یک دیسک سخت.

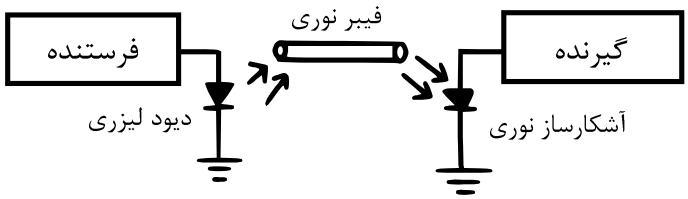
٤- گیرنده‌های بی‌سیم: سیگنال دریافت شده توسط یک گیرنده RF مانند گیرنده جاسازی‌شده در یک تلفن همراه، دارای فرکانس‌هایی از مرتبه GHz بوده و دامنه آن در حد چند میکروولت است.



شکل ۱-٤ طیف فرکانسی سیگنال و تداخل دریافت شده توسط آنتن یک گیرنده بی‌سیم.

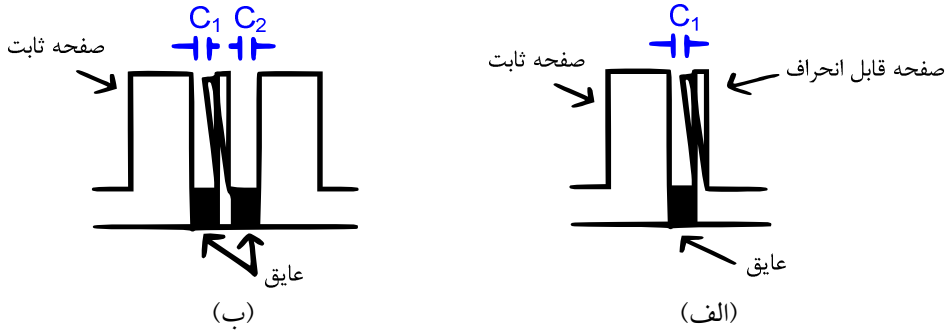
این سیگنال همچنین حاوی اطلاعات ناخواسته از کانال‌های اطراف است (شکل ۱-۴). مدارهای آنالوگ موجود در قسمت گیرنده، این سیگنال را تقویت نموده و فرکانس‌های ناخواسته را حذف می‌کنند.

۵- فرستنده‌ها و گیرنده‌های نوری: این گیرنده‌ها با سرعت بسیار بالا و از مرتبه ۱۰ تا ۴۰ گیگاهرتز کار می‌کنند (شکل ۱-۵). مدارهای الکترونیکی موجود در فرستنده‌ها و گیرنده‌های نوری همگی از نوع آنالوگ هستند.



شکل ۱-۵: گیرنده و فرستنده نوری.

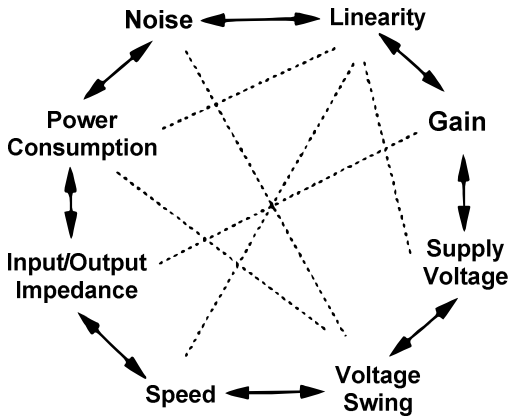
۶- حس‌گرها: حس‌گرهای مکانیکی، الکتریکی و نوری نقش مهمی در زندگی ما دارند. تقویت و فیلتر نمودن سیگنال‌های ناخواسته خروجی این حس‌گرها و تبدیل آنالوگ به دیجیتال نمودن آنها توسط مدارهای آنالوگ انجام‌شده و همگی این مراحل، حائز اهمیت فراوان است. شتاب‌سنج موجود در کیسه هوای اتومبیل، از حرکت یک صفحه متحرک و تغییر اندازه خازن بین دو صفحه برای اندازه‌گیری شتاب استفاده می‌کند (شکل ۱-۶-الف). دقت این سازوکار با استفاده از دو خازن تفاضلی و اندازه‌گیری حاصل سری این دو خازن، افزایش می‌یابد (شکل ۱-۶- ب).



شکل۱-۶ (الف) شتاب‌سنج ساده؛ (ب) شتاب‌سنج تفاضلی.

۷- ریزپردازنده‌ها و حافظه‌ها: طراحی ریزپردازنده‌ها و حافظه‌ها، نیازمند داشتن تجربه در طراحی مدارهای آنالوگ است. بسیاری از نکات مرتبط با زمان‌بندی و توزیع سریع سیگنال‌های دیجیتال و سیگنال ساعت، نیاز به این دارد که به اطلاعات دیجیتال با فرکانس بالا به شکل یک سیگنال آنالوگ نگریسته شود. حافظه‌های نیمه‌هادی از تقویت‌کننده‌های آنالوگ به‌منظور بازیابی اطلاعات استفاده می‌کنند.

***) مصالحه در طراحی مدارهای آنالوگ و مقایسه آن با طراحی مدارهای دیجیتال:** در شرایطی که تنها مصالحه موجود در طراحی مدارهای دیجیتال، مصالحه میان سرعت (Speed) و توان مصرفی (Power Dissipation) است، مدارهای آنالوگ دارای مصالحه‌های فراوانی میان سرعت، خطی بودن (Linearity)، حد تغییرات ولتاژ (Voltage Swings)، بهره (Gain)، نویز (Noise)، ولتاژ تغذیه (Supply Voltage)، امپدانس ورودی- خروجی و توان مصرفی هستند (شکل ۱-۷).



شکل ۱-۷: مصالحه میان پارامترهای مختلف در طراحی مدارهای آنالوگ.

***) چرا مجتمع سازی؟** مجتمع سازی مدارهای آنالوگ دارای مزایای فراوانی از قبیل قابلیت فشرده-سازی قطعات در مقیاس بالا، دستیابی به سرعت بالا، سطح اشغال‌شده کمتر و توان مصرفی پایین‌تر است.

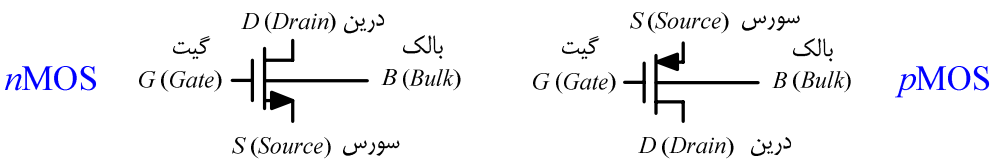
***) چرا فرایند ساخت CMOS؟** فرآیند فعلی ساخت مدارهای مجتمع، بر مبنای استفاده از ترانزیستورهای nMOS و pMOS است. علت آن است که ترانزیستورهای موردنظر را می‌توان تا حد زیادی به‌صورت فشرده در کنار هم قرار داد.

فصل دوم: فیزیک ترانزیستورهای ماسفت

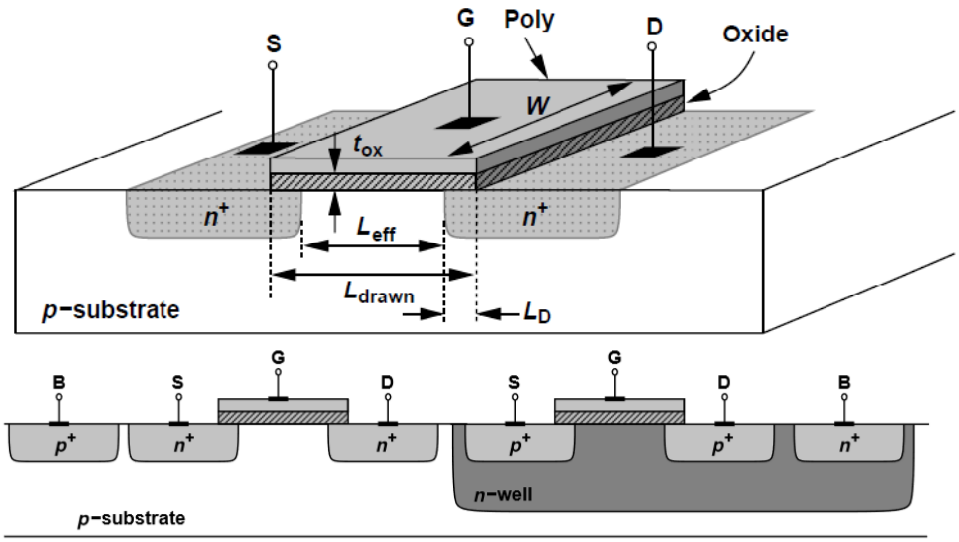
اهمیت این فصل، در امکان شناخت ترانزیستورهای ماسفت مورداستفاده در فن‌آوری ساخت CMOS است. عبارت MOSFET مخفف کلمات زیر و به معنای ترانزیستور اثر میدان متشکل از فلز، اکسید و نیمه‌هادی است.

MOSFET = Metal Oxide Semiconductor Field Effect Transistor

مشابه با ترانزیستورهای دوقطبی، ترانزیستور ماسفت دارای دو نوع n و p هستند. هر دو ترانزیستور، دارای چهار پایانه (درین D، گیت G، سورس S و بالک B) نشان داده‌شده در شکل ۲-۱ هستند. ترانزیستور MOS، خیلی بعدتر از ترانزیستور دوقطبی BJT ساخته شد. ولی تا اواخر دهه ۱۹۷۰ کاربرد زیادی در صنعت پیدا نکرد. از اواخر دهه ۱۹۷۰، مدارهای مجتمع CMOS مبتنی بر دو ترانزیستور ماسفت مکمل ساخته شدند. تراشه (IC) های ابتدایی، تنها شامل ترانزیستور nMOS بودند. ولی به‌تدریج ترانزیستور pMOS نیز به آن اضافه شد و فن‌آوری سیماس CMOS = nMOS + pMOS موردتوجه طراحان قرار گرفت. ترانزیستور ماسفت یک ترانزیستور متقارن است که ازلحاظ ساختاری و نحوه کاربرد، پایانه‌های درین و سورس آن هیچ تفاوتی با یکدیگر ندارند. شکل ۲-۲ نحوه پیاده‌سازی دو ترانزیستور موردنظر را بر روی یک بستر مشترک و در فرآیند ساخت CMOS نشان می‌دهد. شکل بالا نمای سه‌بعدی از یک ترانزیستور nMOS ساخته‌شده را به همراه برخی اسامی بااهمیت نمایش می‌دهد. این ترانزیستور بر روی بستری از جنس سیلیکون (Si) و با ناخالصی کم p (p^-) ساخته می‌شود. پایانه گیت به ماده‌ای از جنس پلی‌سیلیکون (Poly) متصل می‌شود که توسط عایق گیت از جنس اکسید سیلیکون (SiO_2) از سطح زیرین جدا می‌شود. سیلیکون مورداستفاده در پلی‌سیلیکون، از جنس کریستال



شکل۲-۱ نماد و پایانه‌های دو ترانزیستور nMOS و pMOS.



شکل ۲-۲ نمادها و نحوه پیاده‌سازی افزاره‌های nMOS و pMOS بر روی یک سطح مشترک.

خالص سیلیکون نیست و از نواحی مجزای کریستالی تشکیل‌شده است. ازلحاظ هدایت الکتریکی، رفتار آن شبیه فلزات است. در فن‌آوری CMOS نشان داده‌شده در شکل ۲-۲، بستر (ویفر) اولیه دارای کمی ناخالصی از نوع p است. ترانزیستور nMOS به‌طورمستقیم بر روی این بستر سیلیکونی ساخته می‌شود درحالی‌که ساخت ترانزیستور pMOS نیازمند یک مرحله اضافی برای ساخت بستر مکمل (n-well) است. به هنگام بمباران نواحی با ناخالصی شدید n یا p (n^+, p^+)، کمی ناخالصی با توجه به پدیده نفوذ به زیر ناحیه گیت راه می‌یابد (در ناحیه با طول L_D) و طول ناحیه گیت موجود در بین درین و سورس را از L به L_{eff} کاهش می‌دهد. به‌عنوان‌مثال، در پروسه 0.18µm، مقدار مؤثر طول گیت برابر با L_{eff} = 0.15µm است. حداقل L مجاز در یک فرآیند ساخت مشخص، با L_{drawn} نشان داده می‌شود. مقدار آن برابر است با:

$$L_{drawn} = L_{eff} + 2L_D \qquad (۱-۲)$$

با اعمال یک ولتاژ درین-سورس V_{DS} اولیه به ترانزیستور nMOS، جریانی برقرار نمی‌شود چراکه هنوز کانالی در زیر ناحیه G تشکیل نشده است. برای ایجاد کانال ربط دهنده S به D، باید ولتاژ زیر ناحیه گیت G را نسبت به S افزایش داد. با افزایش تدریجی v_{GS}، در ابتدا حفره‌ها از زیر ناحیه گیت دور شده و

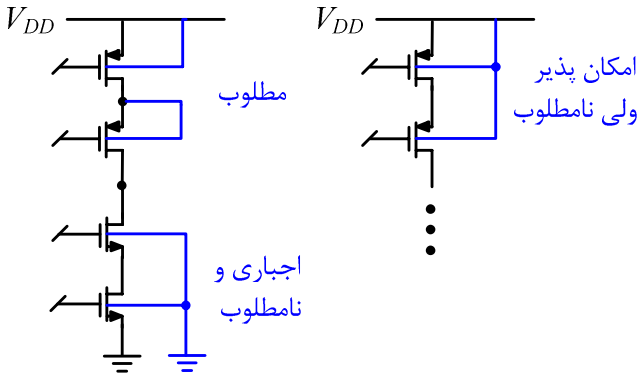
سپس الکترون‌ها از طریق S جذب ناحیه زیر گیت می‌شوند. ترانزیستورهای MOS کلیدهای بسیار خوبی برای قطع و وصل جریان هستند چراکه پایانه کنترل آنها (در این حالت پایانه G) به اکسید سیلیکون متصل شده است و به دلیل عایق بودن جریانی نمی‌کشد. با افزایش تدریجی v_{GS} و تشکیل کانال در زیر ناحیه G، به‌تدریج مقاومت درین سورس DS کوچک شده و کلید از حالت اتصال باز به اتصال کوتاه تغییر وضعیت می‌دهد.

دیود تشکیل‌شده بین پیوندهای مختلف ترانزیستور ماسفت با بالک، در هر وضعیتی باید خاموش بمانند. با روشن شدن دیود هر پیوند، عملکرد رفتاری ترانزیستور تحت تأثیر جریان‌های نشتی ایجادشده شکل دیگری به خود می‌گیرد. لذا:

۱- در ترانزیستور nMOS، باید پایانه بالک را به پایین‌ترین ولتاژ موجود در مدار (ولتاژ زمینه مشترک B) متصل نمود. با این کار، همه دیودها بایاس معکوس شده و از پایانه بالک جریان نمی‌کشند (به‌عنوان‌مثال، در مداری با ولتاژ تغذیه $V_{DD} = 0–3V$، ولتاژ بالک باید برابر با $V_B = 0V$ باشد).

۲- در ترانزیستور pMOS، باید پایانه بالک را به بالاترین ولتاژ موجود در مدار (ولتاژ زمینه مشترک) وصل نمود (به‌عنوان‌مثال در مداری با ولتاژ تغذیه $V_{DD} = 0–3V$، ولتاژ بالک را باید برابر با $V_B = 3V$ در نظر گرفت).

*) **نکته:** در پروسه ساخت n-well که از ویفری با ناخالصی p کم (p^-) استفاده می‌شود، بستر (Well) برای همه ترانزیستورهای nMOS مشترک است. لذا به‌اجبار باید B همه ترانزیستورهای nMOS را به پایین‌ترین ولتاژ ممکن تا زمین مدار متصل نمود؛ اما با توجه به این‌که هر pMOS در یک Well مجزا پیاده‌سازی می‌شود، پایانه بالک مجزا از دیگری دارد. لذا می‌توان B را به بالاترین ولتاژ موجود درهمان Well که برابر با ولتاژ پایانه سورس S است، متصل نمود. در عمل، اگر B به ولتاژی غیر از S وصل شود، اثر بدنه به وجود می‌آید که باعث تغییر جزئی در برخی پارامترهای ترانزیستور ازجمله ولتاژ آستانه (v_{TH}) آن می‌شود. این پدیده، همان‌گونه که در شکل ۲-۳ نمایش داده‌شده است، نامطلوب است. برای جلوگیری از ایجاد اثر بدنه در ترانزیستورهای nMOS، می‌توان از پروسه‌ای موسوم به Dual-Well استفاده نمود. ترانزیستور nMOS این پروسه، هرکدام در یک چاه جداگانه ساخته می‌شوند و اثر بدنه ندارند؛ اما این روش ساخت، دارای یک مرحله اضافی‌تر بوده و گران‌قیمت است.

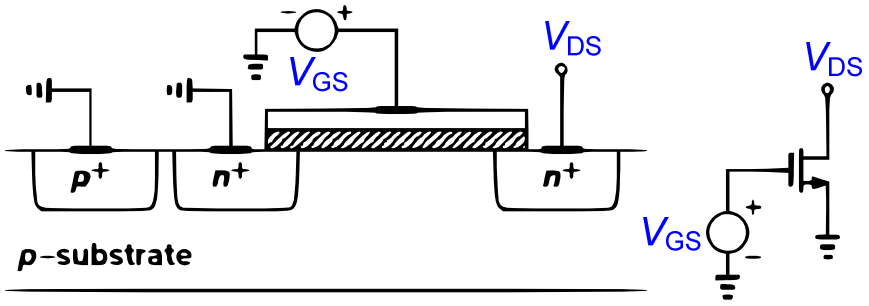


شکل ۲-۳ اثر بدنه در ترانزیستورهای *n*MOS و *p*MOS و محدودیت‌های فرآیند ساخت *CMOS*.

۲-۱) نواحی کاری ترانزیستور از دید ولتاژ گیت-سورس v_{GS}:

ولتاژ آستانه، مرز میان روشن و خاموش شدن یک ترانزیستور ماسفت را مشخص می‌کند. برای تعریف دقیق آن لازم است که نواحی کاری ترانزیستور موجود در شکل ۲-۴ مشخص شوند. برحسب v_{GS} ترانزیستور، نواحی کاری مختلف یک ترانزیستور nMOS به‌صورت زیر تقسیم‌بندی می‌شوند:

۱- تجمع حفره‌ها در زیر ناحیه گیت (Accumulation)؛ این حالت به ازای $v_{GS} < 0$ اتفاق می‌افتد؛ در این وضعیت تعداد بارهای مثبت جمع شده در زیر ناحیه گیت، از میزان عادی این بارها در زمینه با ناخالصی p (p-sub) است.



شکل۲-٤ نحوه بدست آوردن ولتاژ آستانه در یک ترانزیستور *n*MOS.

۲- تخلیه زیر ناحیه گیت از حفره (Depletion)؛ این حالت به ازای $0 < v_{GS} < v_1$ اتفاق می‌افتد؛ حفره‌ها از زیر ناحیه گیت دور شده و فقط آینه بار مثبت موجود در بالای ناحیه G را به‌صورت یون منفی در پایین سطح گیت داریم.

۳- وارونگی ضعیف (Weak Inversion)؛ این حالت به ازای $v_1 < v_{GS} < v_{TH}$ اتفاق می‌افتد؛ با افزایش ولتاژ و تشکیل میدان، الکترون‌ها از سمت سورس به زیر ناحیه گیت جذب می‌شوند. لذا این ناحیه تغییر ماهیت داده و به‌تدریج کانال حاوی الکترون زیر ناحیه گیت تشکیل می‌شود.

۴- وارونگی قوی (Strong Inversion)؛ این حالت به ازای $v_{GS} > v_{TH}$ اتفاق می‌افتد؛ با جذب و گسترده شدن الکترون‌ها از S به D، کانال الکترونی در زیر ناحیه گیت کامل می‌شود (این وضعیت معادل با روشن بودن ترانزیستور است).

با توجه به تقسیم‌بندی بالا، ولتاژ آستانه یا v_{TH} مرز بین وارونگی ضعیف و وارونگی قوی را مشخص می‌کند. درواقع، v_{TH} ولتاژ حداقلی است که به ازای آن، چگالی الکترون‌ها در زیر ناحیه گیت به چگالی حفره‌ها در p_{sub} رسیده و ناحیه زیر گیت ازلحاظ الکتریکی خنثی می‌شود. برای یک ترانزیستور nMOS، این ولتاژ کمیتی با مقدار مثبت و برای ترانزیستور pMOS، این ولتاژ کمیتی با مقدار منفی است. می‌توان نشان داد:

$$V_{TH} = \varphi_{MS} + 2\varphi_F + \frac{Q_{dep}}{C_{ox}} \qquad (۲-۲)$$

متغیرهای موجود در رابطه بالا عبارت‌اند از:

φ_{MS}: تفاوت ولتاژ (توابع ولتاژ) گیت پلی سیلیکون و زمینه سیلیکون

$$\varphi_F = (\frac{kT}{q}) \ln(\frac{N_{sub}}{n_i}) \qquad (۳-۲)$$

N_{sub}: ناخالصی زمینه

q: بار الکترون

Q_{dep}: بار ناحیه تهی

$C_{ox} = \varepsilon_{ox}/t_{ox}$

خازن واحد سطح اکسید گیت با مقدار تقریبی $(1\sim7\ \mathrm{fF/\mu m^2})$

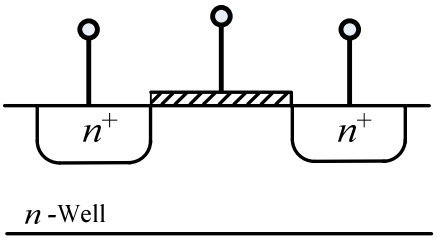
ε_{ox}: نفوذپذیری اکسید

قطر اکسید :t_{ox}

*) **نکته:** تمامی روابط مربوط به ترانزیستور nMOS را می‌توان به روابط pMOS تبدیل نمود اگر جای متغیرهای $v_{GS} \rightarrow v_{SG}$، $v_{DS} \rightarrow v_{SD}$ و $v_{TH} \rightarrow |v_{TH}|$ تعویض گردند.

*) **نکته:** سازوکار عملکرد و نحوه روشن شدن ترانزیستور pMOS، شبیه به موارد توضیح داده‌شده در بالا و تنها با تعویض جای الکترون با حفره خواهد بود.

*) **نکته:** ساخت مستقیم ترانزیستور nMOS بر روی بستر با زمینه n-Well (ساختار شکل ۲-۵) ممکن نیست زیرا تنها دو ناحیه Depletion و Accumulation وجود خواهند داشت. لذا به دلیل عدم وجود حفره، ناحیه کاری Inversion موجود نخواهد بود.



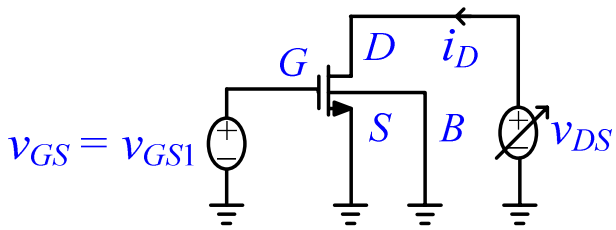
شکل۲-۵ ساختار بدون ناحیه وارونگی *Inversion*.

*) **نکته:** در عمل با تزریق ماده نوع n به زیر ناحیه گیت، یک ترانزیستور nMOS با کانال مصنوعی ایجاد می‌شود. با این کار می‌توان v_{TH} ترانزیستور را تا حد صفر و یا حتی کمتر نیز کاهش داد. چنین ترانزیستورهای ماسفتی (ماسفت تهی) کمتر کاربرد دارند چراکه به ازای ولتاژ گیت-سورس صفر، باز هم جریان تابع ولتاژ درین-سورس داشته و در حالت عادی خاموش نمی‌شوند. لذا قابلیت استفاده به‌عنوان کلید را ندارند.

۲-۲) نواحی مختلف کاری ترانزیستور از دید ولتاژ درین-سورس v_{DS}

فرض کنیم که v_{GS} را به مقدار کافی افزایش داده‌ایم به‌طوری‌که از v_{TH} بیشتر شده و کانالی در زیر ناحیه G شکل گرفته است. با افزایش v_{DS} جریانی از طریق کانال و با حرکت حامل‌ها بین D و S ایجاد می‌شود. با توجه به اینکه در ترانزیستور nMOS، کانال ساخته‌شده در زیر G از جنس الکترون است، جهت جریان به وجود آمده عکس جهت حرکت الکترون‌ها (با سرعت V) از سورس به درین است. لذا این جریان وارد شونده از سمت D است (شکل ۲-۶).

$$I = Q_d V \qquad (۴-۲)$$



شکل۲-٦: شیوه ایجاد شدن جریان در ترانزیستور *n*MOS.

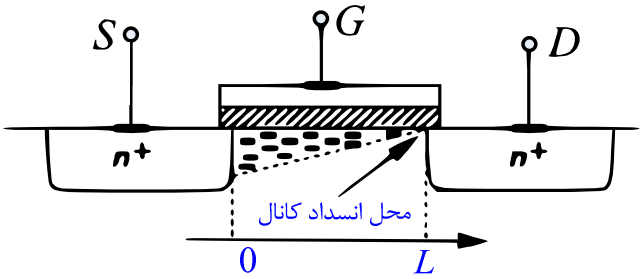
در ابتدای کار و به ازای v_{DS} کوچک، رابطه i_D با v_{DS} به‌صورت خطی بوده و ترانزیستور شبیه به یک مقاومت خطی رفتار می‌کند. لذا هر چه v_{DS} بیشتر شود، i_D نیز متناسب با آن افزایش می‌یابد. به این ناحیه، ناحیه تریود عمیق گفته می‌شود. اما آیا این وضعیت تا ابد ادامه می‌یابد؟ خیر.

با توجه به اینکه Bulk ترانزیستور به زمین متصل است، با افزایش بیشتر v_{DS}، دیود DB بیشتر بایاس معکوس شده و مطابق با شکل ۲-۷، عرض ناحیه تخلیه حول درین بزرگ و بزرگ‌تر می‌شود. لذا کانال شیب پیدا می‌کند. با افزایش بیشتر v_{DS} و به ازای $v_{GD} = v_{TH}$، ناحیه تخلیه به‌طور کامل کانال را فرا می‌گیرد. با افزایش بیشتر v_{DS} و به ازای $v_{GD} < v_{TH}$، ترانزیستور اشباع می‌شود. در ناحیه تهی، سرعت الکترون‌ها همان سرعت اشباع است چراکه میدان بزرگی در ناحیه‌ای با ابعاد کوچک ایجادشده است. لذا شرط اشباع شدن ترانزیستور *n*MOS:

$$v_{DG} > -v_{TH} \Longrightarrow v_{DS} > v_{GS} - v_{TH} = v_{DS,sat}\left(= v_{ov} = v_{eff}\right) \qquad (۵-۲)$$

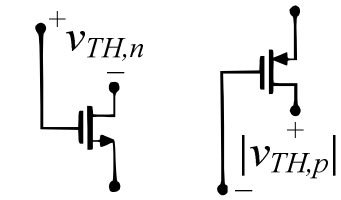
متغیر $v_{DS,sat} = v_{ov} = v_{eff}$ ولتاژ اشباع یا ولتاژ مؤثر ترانزیستور نامیده می‌شود. برای ترانزیستور *p*MOS داریم:

$$v_{SD} > v_{SG} - |v_{TH}| = v_{SD,\mathrm{sat}}\left(= v_{ov} = v_{eff}\right) \qquad (۶-۲)$$



شکل۲-۷ بار موجود در کانال با افزایش ولتاژ درین- سورس و اشباع ترانزیستور.

۲-۳) تعیین نقطه کار ترانزیستور به‌صورت گرافیکی و از روی وضعیت ولتاژها



شکل۲-۸ تعیین مرز ناحیه اشباع برای دو ترانزیستور

تا هنگامی‌که ترانزیستور در ناحیه اشباع است که v_D فاصله کافی از v_G داشته باشد. مطابق با شکل ۲-۸، این اختلاف می‌تواند حداکثر به حد یک v_{TH} برسد. به‌طور خلاصه:

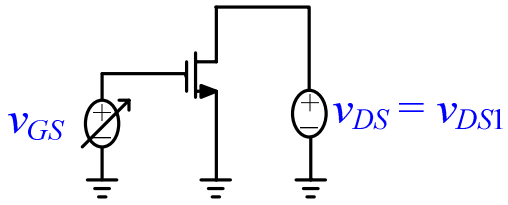
اشباع ترانزیستور pMOS، به ازای $v_D + |v_{TH}| < v_G$ برقرار است.

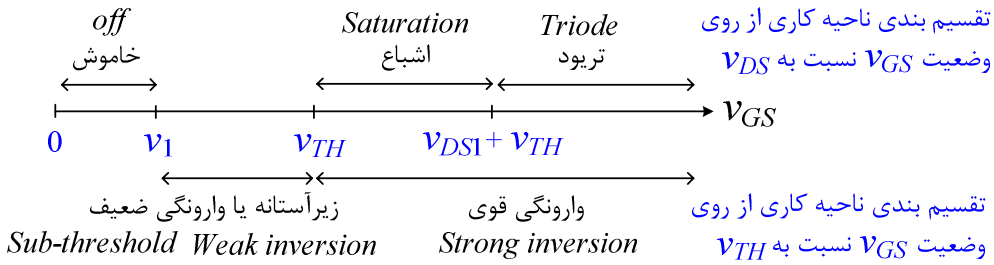
اشباع ترانزیستور nMOS، به ازای $v_D + v_{TH} > v_G$ برقرار است.

۲-۴) بدست آوردن رابطه جریان- ولتاژ ترانزیستور MOS

ساختار شکل ۲-۹ را در نظر بگیرید. فرض کنید که $v_{DS} = v_{DS1}$ را ثابت نگه‌داشته و به‌تدریج v_{GS} را از صفر افزایش دهیم. می‌خواهیم نواحی مختلف کاری ترانزیستور را بررسی کنیم. با توجه به شکل ۲-۱۰ می‌توان رابطه جریان با سرعت حامل‌های قطعه را به‌صورت زیر در نظر گرفت:

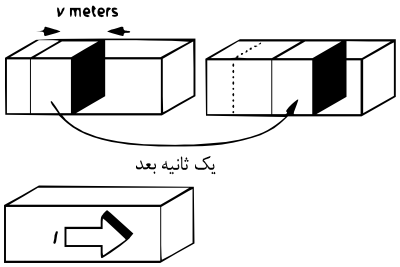
$$I = Q_d V \begin{cases} Q_d(C/m): \text{چگالی بار در هر متر} \\ V\ (m/s): \text{سرعت بر حسب متربرثانیه} \end{cases} \qquad (۲-۷)$$





شکل۲-۹: نواحی کاری مختلف ترانزیستور nMOS با افزایش تدریجی v_{GS}.

شکل۲-۱۰ مکان حامل‌ها در قطعه پس از گذشت یک ثانیه.



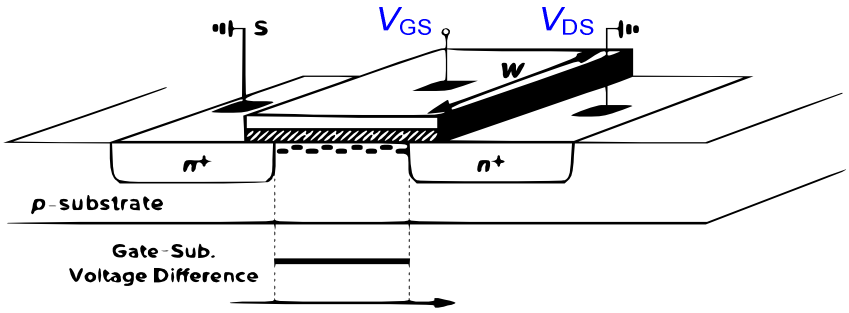
ناحیه زیر گیت ترانزیستور nMOS موجود در شکل ۲-۱۱ را با طول L و عرض W در نظر بگیرید. اگر همانند شکل فرض کنیم که $v_{DS} = 0$ باشد، با رسیدن ولتاژ گیت- سورس هر نقطه زیر ناحیه گیت به $v_{GS} = v_{TH}$ و عبور از ولتاژ مزبور، وارونگی رخ داده و در آن نقطه کانال تشکیل می‌شود. به ازای $v_{GS} \geq v_{TH}$، بار آینه‌شده در زیر G برابر است با:

$$Q_d = WC_{ox}(v_{GS} - v_{TH}) \qquad (۸-۲)$$

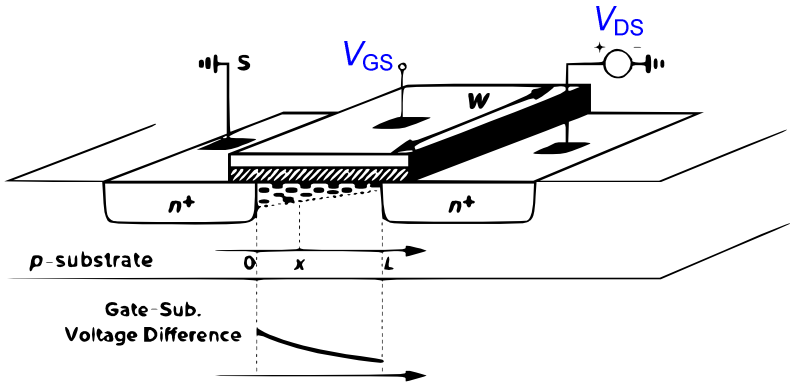
در رابطه بالا v_{GS} ولتاژ گیت-سورس ترانزیستور، C_{ox} خازن واحد سطح گیت و $C_{ox}W$ خازن گیت در واحد طول هستند. شکل ۲-۱۲ وضعیت کانال موجود در زیر گیت را به ازای $v_{DS} > 0$ نمایش می‌دهد. متغیر $v(x)$ در این شکل، ولتاژ کانال نسبت به S (که هم‌اینک به پتانسیل زمین متصل شده است) را نشان می‌دهد. برحسب مکان، این ولتاژ از $v(0) = 0$ در محل سورس تا $v(L) = v_D$ در محل درین تغییر می‌کند. ولتاژ گیت - کانال در هر نقطه برابر با $v_{GS} - v(x)$ است و رابطه بار برحسب x برابر با

$$Q_d(x) = WC_{ox}[v_{GS} - v(x) - v_{TH}] \overset{\text{بارمنفی}}{\Longrightarrow}$$
$$i_D = -WC_{ox}[v_{GS} - v(x) - v_{TH}]V \qquad (۹-۲)$$

است. با تعریف:



شکل۲-۱۱ بار کانال به ازای ولتاژ سورس و درین برابر ($v_{DS} = 0$).



شکل۲-۱۲ بار کانال یک ترانزیستور *nMOS* با ولتاژ سورس و درین نابرابر.

$$\begin{cases} E: \text{میدان الکتریکی } \left(\frac{V}{m}\right) = -\frac{dV}{dx} \\ V: \text{ولتاژ الکتریکی } (V) \\ \mu: \text{تحرک پذیری } \left(\frac{m^2}{Vs}\right) \end{cases} \Rightarrow \text{سرعت } v = \mu E = -\mu\frac{dV}{dx} \qquad (۱۰-۲)$$

و با در نظر گرفتن μ_n به‌عنوان تحریک‌پذیری الکترون خواهیم داشت:

$$i_D = WC_{ox}[v_{GS} - v(x) - v_{TH}]\mu_n\frac{dv(x)}{dx} \qquad (۱۱-۲)$$

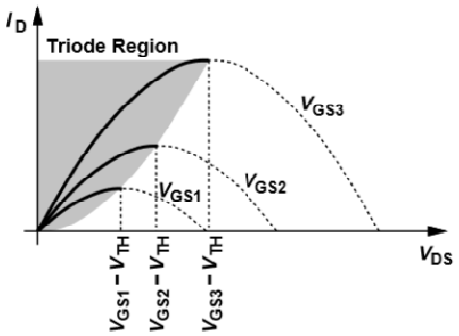
$$\int_0^L i_D dx = \int_0^{v_{DS}} WC_{ox}\mu_n[v_{GS} - v(x) - v_{TH}]dv\,(x) \qquad (۱۲-۲)$$

$$i_D = \mu_n C_{ox}\left(\frac{W}{L}\right)\left[(v_{GS} - v_{TH})v_{DS} - \frac{1}{2}{v_{DS}}^2\right] \qquad (۱۳-۲)$$

با محاسبه مشتق $\partial I_D/\partial v_{DS}$ و برابر با صفر قرار دادن آن، متوجه می‌شویم که رابطه به‌ازای $v_{DS} = v_{GS} - v_{TH}$ حداکثر می‌شود (شکل ۲-۱۳). این مقدار حداکثر برابر است با:

$$i_{D,max} = \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)(v_{GS} - v_{TH})^2 \qquad (۱۴-۲)$$

به ازای $v_{DS} > v_{GS} - v_{TH}$، ترانزیستور اشباع می‌شود. لذا نحوه تغییر جریان درین به صورت نشان داده شده در شکل ۲-۱۴ خواهد بود. با تعریف



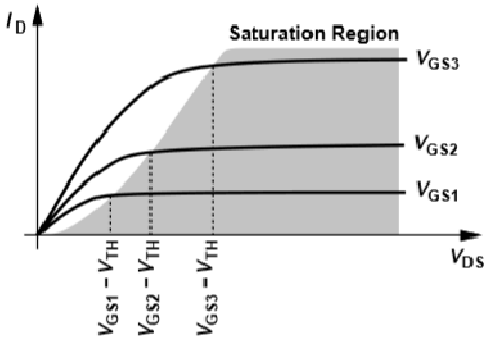
شکل۲-۱۳جریان درین برحسب ولتاژ درین-سورس در ناحیه تریود.

$$\beta_n = \mu_n C_{ox}\frac{W}{L}\ \beta_p = \mu_p C_{ox}\frac{W}{L}$$

ولتاژ آستانه $nMOS$: v_{THn}

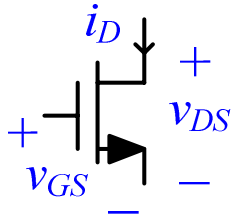
ولتاژ آستانه $pMOS$: v_{THp}

$$\mu_p \simeq 0.3\mu_n \rightarrow \beta_p \simeq 0.3\beta_n \qquad (۲-۱۶)$$



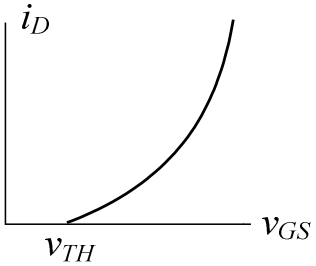
شکل۲-۱٤ اشباع جریان درین در ترانزیستور nMOS.

رابطه حاکم بر نواحی مختلف به شکل زیر تقسیم‌بندی می‌شوند:



$$nMOS\begin{cases} v_{DS} < v_{GS} - v_{TH}\ \ (Triode) \text{ ناحیه تریود} \\ \quad i_D = \beta_n\left[(v_{GS}-v_{THn})v_{DS} - \frac{1}{2}{v_{DS}}^2\right] \\ v_{DS} > v_{GS} - v_{TH}\ \ (Sat.) \text{ ناحیه اشباع} \\ \quad i_D = \frac{1}{2}\beta_n(v_{GS}-v_{THn})^2 = \frac{1}{2}\beta {v_{DS,sat}}^2 \end{cases}$$

$$(۲-۱۷)$$

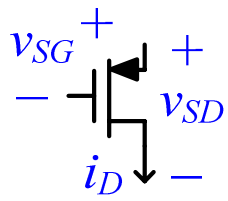


⇓ تعریف ولتاژ درین- سورس اشباع با توجه به تعریف بالا ⇓

$$v_{DS,sat} = \sqrt{\frac{2I_D}{\beta}},\quad v_{GS} = v_{TH} + \sqrt{\frac{2I_D}{\beta}}$$

$$(۲-۱۸)$$

با اشباع شدن ترانزیستور در حالت ایده آل، جریان i_D مستقل از ولتاژ v_{DS} می‌گردد. مشابه با اثبات بالا می‌توان نشان داد که روابط مشابهی برای ترانزیستور pMOS و تنها با تعویض نمادهای معادل وجود دارد:

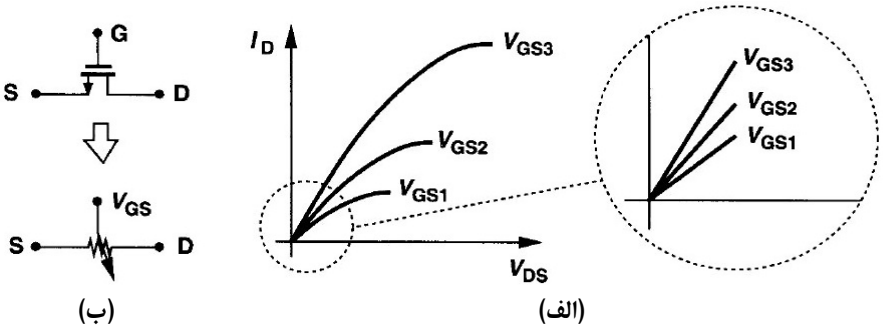


$$\begin{cases} i_D = \beta_p\left[(v_{SG} - |v_{TH}|)v_{SD} - \frac{1}{2}{v_{SD}}^2\right] & Triode \\ i_D = \frac{1}{2}\beta_p\left(v_{SD,sat}\right)^2 & Sat. \end{cases} \qquad (۱۹-۲)$$

در ناحیه تریود و به ازای v_{DS} های کوچک،

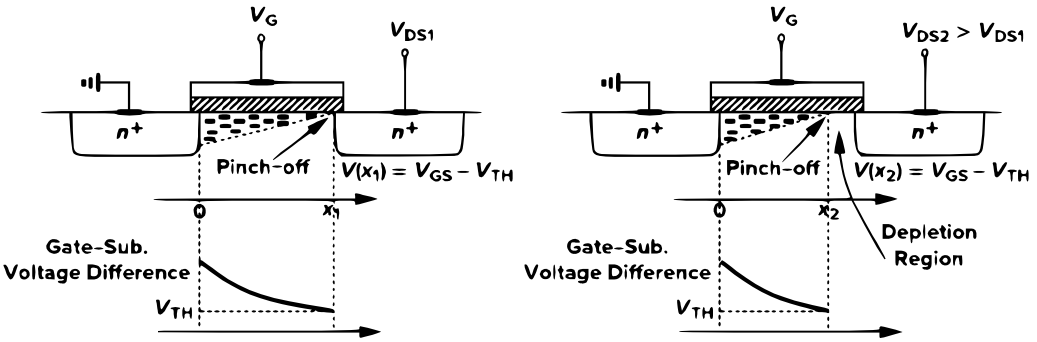
$$v_{DS} \ll 2(v_{GS} - v_{TH}) \rightarrow i_D \approx \beta_n(v_{GS} - v_{TH})v_{DS} \qquad (۲۰-۲)$$

خواهد بود. در این حالت، همان‌گونه که در شکل ۲-۱۵-الف دیده می‌شود، رابطه جریان درین با ولتاژ v_{DS} خطی است و ترانزیستور را می‌توان معادل با یک مقاومت کنترل شونده با ولتاژ v_{GS} در نظر گرفت (شکل ۲-۱۵-ب). به ناحیه موردنظر، ناحیه تریود عمیق گفته می‌شود.



شکل۲-۱۵(الف) عملکرد خطی در ناحیه تریود عمیق؛ (ب) ترانزیستور به‌عنوان مقاومت خطی کنترل‌شده.

۲-۵) مدولاسیون طول کانال: روابط جریانی بدست آمده در بالا، ارتباط $i_D - v_{DS}$ در ناحیه اشباع را با دقت بالا مدل‌سازی نمی‌کند. از رابطه $Q_d(x)$ مشاهده شد که میزان بار الکتریکی در مکان x ای که $v(x) = v_{GS} - v_{TH}$ شود به صفر می‌رسد. لذا با گسترده شدن ناحیه تهی به روی کانال در ناحیه اشباع، میزان بار کانال در مکان طول مؤثر کانال (L' به‌جای L) به صفر خواهد رسید (شکل ۲-۱۶). ازاین‌روی، در یک تحلیل دقیق باید انتگرال‌گیری را به ازای $x = [0, L']$ (و نه $x = [0, L]$) و نیز به



شکل۲-۱۶رفتار انسداد کانال.

ازای $v(x) = [0, v_{GS} - v_{TH}]$ انجام داد:

$$i_D = \frac{1}{2}\mu_n C_{ox}\frac{W}{L'}(v_{GS} - v_{TH})^2 \qquad (۲۱ - ۲)$$

واضح است که طول مؤثر کانال، وابسته به ولتاژ v_{DS} بوده و با افزایش آن، L' کاهش می‌یابد:

$$L' = L - \Delta L \sim v_{DS} \qquad (۲۲ - ۲)$$

$$\frac{\Delta L}{L} = \lambda v_{DS} \qquad (۲۳ - ۲)$$

لذا:

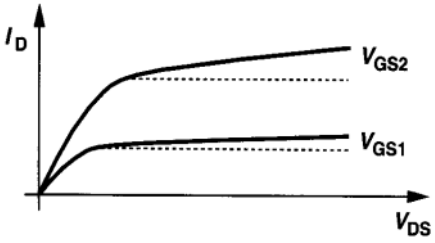
$$\frac{L}{L'} = \frac{L}{L - \Delta L} = \frac{1}{1 - \Delta L/L} \simeq \frac{1 + \Delta L/L}{L} = \frac{1}{L}(1 + \lambda v_{DS}) \qquad (۲۴ - ۲)$$

درنتیجه می‌توان نوشت:

$$i_D \simeq \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(v_{GS} - v_{TH})^2(1 + \lambda_n v_{DS}) \qquad (۲۵ - ۲)$$ در ناحیه اشباع nMOS

$$i_D \simeq \frac{1}{2}\mu_p C_{ox}\frac{w}{L}(v_{SG} - |v_{TH}|)^2\left(1 + \lambda_p v_{SD}\right) \qquad (۲۶ - ۲)$$ در ناحیه اشباع pMOS

به پارامتر λ ضریب مدولاسیون طول کانال می‌گویند. در حالت کلی $\lambda_n < \lambda_p$ است و جریان ترانزیستور nMOS اثر کمتری از تغییرات ولتاژ درین–سورس می‌پذیرد. شکل ۲-۱۷ اثر دو برابر شدن طول را بر روی تغییرات جریان ترانزیستور نشان می‌دهد. در حالت کلی، هرچه λ کوچک‌تر باشد ترانزیستور به حالت ایده‌آل نزدیک‌تر خواهد بود و این پارامتر برای ترانزیستورهای با L بزرگ‌تر، کوچک‌تر است.



شکل۲-۱۷ اثر دو برابر شدن طول کانال.

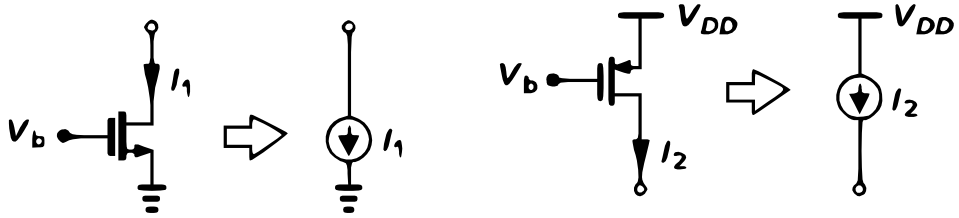
با تقریب $L \simeq L'$، ترانزیستور در ناحیه اشباع وابسته به v_{DS} آن نیست و می‌توان آن را معادل با یک منبع جریان ایده‌آل فرض کرد (شکل ۲-۱۸). هدایت انتقالی نشان‌دهنده قابلیت ترانزیستور در تبدیل تغییرات v_{GS} به جریان i_D در یک v_{DS} ثابت است. این متغیر در ناحیه اشباع به شکل زیر تعریف می‌شود:

$$g_m = \frac{\partial i_D}{\partial v_{GS}} \xrightarrow{v_{DS}=Cons.} = \mu_n C_{ox} \frac{W}{L}(V_{GS} - v_{TH}), \qquad (۲۷-۲)$$

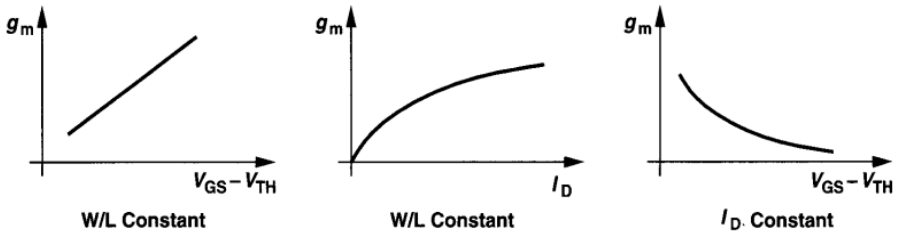
g_m بزرگ $\implies$ Δv_{GS} کوچک $\implies$ Δi_D بزرگ

$$g_m = \beta(V_{GS} - v_{TH}) = \frac{2I_D}{V_{GS} - v_{TH}} = \sqrt{2\beta I_D}. \qquad (۲۸-۲)$$

شکل ۲-۱۹ رابطه هدایت انتقالی را برحسب ولتاژ مؤثر و جریان درین و با ثابت نگاه‌داشتن هر یک از پارامترهای مداری نشان می‌دهد.



شکل۲-۱۸ معادل بودن ترانزیستور بدون مدولاسیون طول کانال در ناحیه اشباع با یک منبع جریان ایده آل.



شکل۲-۱۹ هدایت انتقالی ترانزیستور MOS برحسب ولتاژ مؤثر و جریان درین.

*) **نکته:** در ناحیه تریود عمیق، هدایت انتقالی را نمی‌توان از روابط بالا بدست آورد. در این ناحیه باید از رابطه جریان- ولتاژ در این ناحیه (رابطه بدست آمده قبل از شکل ۲-۱۵) مشتق‌گیری کرد:

$$g_m = \frac{\partial i_D}{\partial v_{GS}} = \mu_n C_{ox} \frac{W}{L} v_{DS}. \qquad (۲۹ - ۲)$$

۲-۶) اثرات مرتبه دوم در مشخصه ترانزیستورهای ماسفت

۱- اثر بدنه

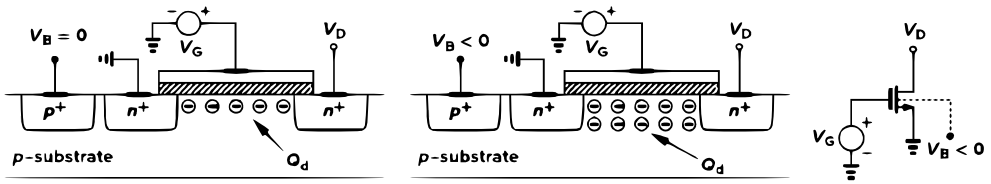
ولتاژ v_B باید برابر با v_S باشد در غیر این صورت اثر بدنه باعث تغییر مشخصه v_{TH} ترانزیستور می‌شود. درعمل وقتی $v_B < v_S$ باشد، پیوندها بیشتر بایاس معکوس می‌شوند چراکه حفره‌های بیشتری جذب ناحیه بالک خواهند شد (شکل ۲-۲۰). این مورد باعث افزایش Q_{dep} و درنتیجه افزایش v_{TH} خواهد شد، هرچند که ترانزیستور همچنان عملکرد ترانزیستوری خود را حفظ می‌کند. می‌توان نشان داد:

$$v_{TH} = v_{TH0} + \gamma \left(\sqrt{|2\varphi_F + v_{SB}|} - \sqrt{2|\varphi_F|} \right) \qquad (۳۰ - ۲)$$

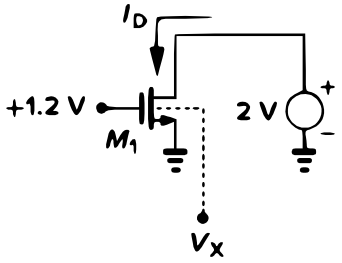
ولتاژ آستانه اولیه یا v_{TH0}، به شکل زیر بدست می‌آید:

$$v_{TH} \xrightarrow{v_{SB}=0} v_{TH0}$$

متغیر γ ضریب اثر بدنه با مقدار تقریبی $0.3 \sim 0.4\sqrt{\text{V}}$ است.



شکل۲-۲۰ اثر تغییر بار ناحیه تهی با کاهش ولتاژ بدنه ترانزیستور nMOS.



شکل۲- ۲۱ مدار مثال ۲-۱.

مثال ۲-۱: در مدار شکل ۲-۲۱، جریان I_D را در شرایطی رسم کنید که v_X مابین $[-\infty, 0]$ تغییر می‌کند.

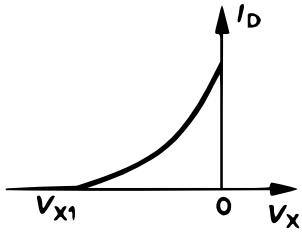
$$v_{TH0} = 0.6\text{V}, \quad \gamma = 0.4\sqrt{\text{V}}, \quad 2\varphi_F = 0.7\text{V}$$

فرض کنید که به ازای v_X خیلی منفی، v_{TH} به حدی زیاد شود که v_G از آن کوچک‌تر شده و ترانزیستور خاموش شود. این حالت به ازای شرایط زیر ایجاد می‌شود:

$$1.2\text{V} = 0.6\text{V} + 0.4\left(\sqrt{0.7 - v_{X1}} - \sqrt{0.7}\right)$$

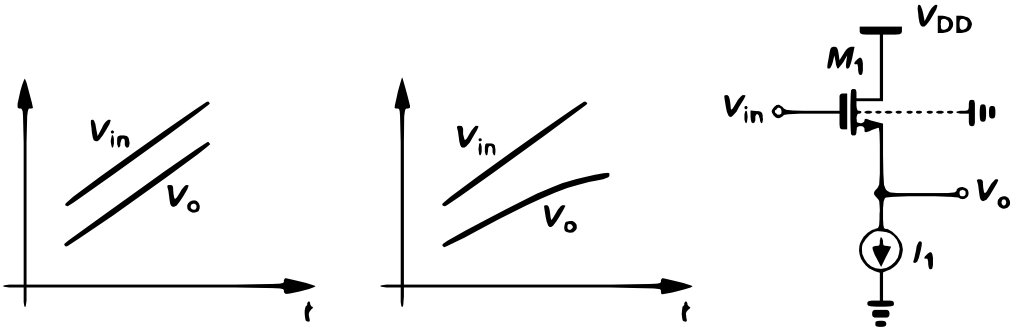
تا ولتاژ $v_{X1} = -4.76\text{V}$، جریان $I_D = 0$ خواهد بود. به ازای $v_{X1} < v_X < 0$، جریان I_D به‌تدریج زیاد می‌شود و داریم:

$$I_D = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}\left[v_{GS} - v_{TH0} - \gamma\left(\sqrt{2\varphi_F - v_X} - \sqrt{2\varphi_F}\right]^2\right.$$



شکل۲-۲۲: نحوه تغییر جریان با تغییر ولتاژ.

شکل ۲-۲۲ نمودار حاصل را با تغییرات v_X نشان می‌دهد. با توجه به مقدار v_{DS}، ترانزیستور در اشباع است و برای همین از رابطه بدست آمده برای ناحیه اشباع استفاده کردیم. اثر بدنه معمولاً ناخوشایند است. به‌عنوان‌مثال، در مدار شکل ۲-۲۳-الف با توجه به ثابت بودن I_1 توقع داریم که ولتاژ v_{GS} و درنتیجه اختلاف v_{in} و v_{out} ثابت باشد (شکل ۲-۲۳- ب)؛ اما به دلیل وجود اثر بدنه و تغییرات ولتاژ آستانه، نتیجه عملی همانند منحنی نشان داده‌شده شکل ۲-۲۳- ج خواهد بود.



(ج) (ب) (الف)

شکل۲-۲۳ (الف) مداری که در آن ولتاژ سورس- بدنه با ورودی تغییر می‌کند؛ (ب)ولتاژ خروجی بدون اثر بدنه؛ (ج) ولتاژ خروجی ورودی با اثر بدنه.

۲- مدولاسیون طول کانال

همان‌گونه که قبلاً اشاره شد، این اثر باعث وابستگی اندک i_D به v_{DS} می‌شود که خوشایند نیست:

$$g_m = \mu_n C_{ox} \frac{W}{L}(v_{GS} - v_{TH})(1 + \lambda v_{DS}) = \sqrt{\frac{2\beta I_{DS}}{1 + \lambda V_{DS}}} \qquad (۳۱ - ۲)$$

۳- هدایت در ناحیه زیر آستانه (وارونگی ضعیف)

در تحلیل قبل چنین فرض شد که ترانزیستور به ازای v_{GS} های کوچک‌تر از v_{TH}، کاملاً خاموش خواهد بود. در عمل به ازای $v_{GS} \approx v_{TH}$ و حتی کوچک‌تر از آن، i_D محدودی وجود دارد که مبنای ایجاد هدایت زیرآستانه خواهد بود. می‌توان نشان داد که به ازای $v_{DS} > 200\text{mV}$ داریم:

$$i_D = I_0 \exp\left(\frac{v_{GS}}{\varepsilon v_T}\right) \begin{cases} \varepsilon > 1 & \text{ضریب غیر ایده آل} \\ v_T = \dfrac{kT}{q} \end{cases} \qquad (۳۲ - ۲)$$

❋) **نکته:** با صرف‌نظر از ε، رابطه بالا شبیه به رابطه $i_C - v_{BE}$ در ترانزیستورهای دوقطبی است.

❋) **نکته:** برای کار در ناحیه زیر- آستانه باید v_{GS} را تا حد امکان کوچک انتخاب نمود. با توجه به رابطه $v_{GS} = v_{TH} + \sqrt{2I/\beta}$، این وضعیت به ازای I کوچک و یا نسبت W/L بزرگ ایجاد می‌شود.

❋) **نکته:** هدایت انتقالی در ناحیه زیرآستانه مشابه با ترانزیستورهای دوقطبی است:

$$g_m = \frac{\partial i_D}{\partial v_{GS}} = \frac{I_D}{\varepsilon v_T} \qquad (۳۳ - ۲)$$

برخلاف رابطه هدایت انتقالی در ناحیه اشباع ($g_m = \sqrt{2\beta I_D}$)، رابطه بالا متناسب با I_D و نه $\sqrt{I_D}$ است. لذا ممکن است ترغیب شویم که به‌منظور دستیابی به هدایت انتقالی بالاتر، ترانزیستور را در ناحیه زیرآستانه قرار دهیم. اما چون دستیابی به این هدف مستلزم I_D کوچک و یا نسبت W/L بسیار بزرگ است، خازن‌های پارازیت ترانزیستور بزرگ‌تر شده و سرعت به‌شدت تحت تأثیر قرار می‌گیرد.

۴- محدودیت‌های شکست ولتاژی

به ازای v_{GS} بالا، اکسید گیت می‌شکند. در ترانزیستورهای با L کوچک، با افزایش v_{DS} نواحی تهی آن

قدر اطراف D گسترش می‌یابد که نهایتاً به S رسیده و باعث ایجاد جریان بالا و غیرقابل‌کنترل I_D می‌شود. به این وضعیت شکست بهمنی $(punchthrough)$ می‌گویند.

۵- سایر اثرات مرتبه دوم

متأسفانه در فن‌آوری‌های فعلی، v_{TH} به همان سرعت کاهش v_{DD} مجاز کم نمی‌شود. یک راه ممکن ولی خطرناک برای کاهش v_{TH} آن است که v_{SB} را تا حدی که پیوندهای معکوس همچنان خاموش بمانند افزایش دهند. مشکل دیگر در فن‌آوری‌های نانو، وابستگی اندازه حرکت الکترون‌ها و حفره‌ها به میدان عمودی است که خود باعث تغییر در جریان ترانزیستور می‌شود. در یک ترانزیستور عادی، i_D تنها در اثر میدان افقی ناشی از ولتاژ v_{DS} به‌وجود می‌آید:

$$\mu \propto \frac{\mu_0}{v_{GS} - v_{TH}}. \qquad (۳۴ - ۲)$$

۲-۷) تحلیل سیگنال-کوچک ترانزیستورهای MOS

در بسیاری از مدارهای آنالوگ، ترانزیستورها در ناحیه اشباع بایاس می‌شوند و مدل ارائه‌شده در این قسمت به ناحیه کاری موردنظر اختصاص دارد. پارامترهای سیگنال- کوچک با اعمال تغییرات کوچک در یکی از جریان‌ها یا ولتاژها و بدست آوردن تأثیر آن بر روی پارامتر دیگر بدست می‌آیند.
یکی از این پارامترها هدایت انتقالی است که برابر با نسبت تغییرات کوچک i_D به v_{GS} است.

$$g_m = \frac{\partial i_D}{\partial v_{GS}} = \beta(V_{GS} - v_{TH}) = \sqrt{2\beta I_D} = \frac{2I_D}{V_{eff}}. \qquad (۳۵ - ۲)$$

این بدان معناست که برای ثابت ماندن $V_{eff} = V_{GS} - v_{TH}$، باید g_m و I_D را با هم افزایش دهیم.
پارامتر دیگر مقاومت r_O است که در اثر مدولاسیون طول کانال به وجود می‌آید. برای محاسبه آن باید تغییرات جزئی v_{DS} نسبت به i_D را محاسبه نمود.

$$r_O = \frac{\partial v_{DS}}{\partial i_D} = \frac{1}{\partial i_D / \partial v_{DS}} = \frac{1}{\frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS} - V_{TH})^2\lambda} \simeq \frac{1}{\lambda I_D}. \qquad (۳۶ - ۲)$$

مقاومت خروجی، تأثیر زیادی بر عملکرد مدارهای آنالوگ و ترانزیستورها دارد. به‌عنوان‌مثال، تغییرات r_O بهره و پاسخ فرکانسی تقویت‌کننده‌ها را تحت تأثیر قرار داده و آنها را کاهش می‌دهد. در عمل

$$r_O \propto \begin{cases} 1/I_D \\ L \\ \sqrt{V_{DS}} \end{cases} \quad (۳۷-۲)$$

ترانزیستورهای با جریان بایاس کمتر، ولتاژ دریـن- سـورس بالاتر و طول گیت بیشتر، مقاومت خروجی بالاتری دارند.

پارامتر دیگر، g_{mb} است که در اثر تغییرات جریان i_D به v_{BS} بـه وجـود مـی‌آیـد. تغییـرات v_{BS} باعـث ایجاد تغییر در v_{TH} ترانزیستور و متعاقب آن در جریان ترانزیستور می‌شود.

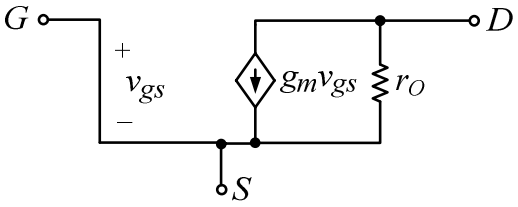
$$g_{mb} = \frac{\partial i_D}{\partial v_{BS}} = \frac{\partial i_D}{\partial v_{TH}} \times \frac{\partial v_{TH}}{\partial v_{BS}} = -\mu_n C_{ox} \frac{W}{L}(v_{GS} - V_{TH}) \frac{\partial v_{TH}}{\partial v_{BS}}, \quad (۳۸-۲)$$

$$\frac{\partial v_{TH}}{\partial v_{BS}} = \frac{\gamma}{2\sqrt{V_{SB} + |2\varphi_F|}} = \eta g_m, \quad (۳۹-۲)$$

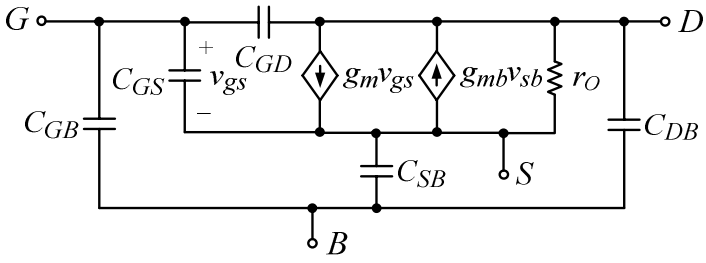
لذا

$$|g_{mb}| = g_m \frac{\gamma}{2\sqrt{V_{SB} + |2\varphi_F|}} = \eta g_m. \quad (۴۰-۲)$$

پارامتر η در حدود 0.2 است و در عملکرد بیشتر مدارها (به‌استثنای مدار گیـت- مشـترک) مضـر اسـت. خازن‌های موجود در مدل پیچیده‌تـر شـکل۲-۲۴، از سـاختار فیزیکـی ترانزیسـتور نشـات مـی‌گیرنـد. اگـر به‌صورت سه‌بعدی به ترانزیستور ماسفت نگاه کنیم، شکل ۲-۲۵ را خواهیم دید. در موقع ساخت، نواحی S

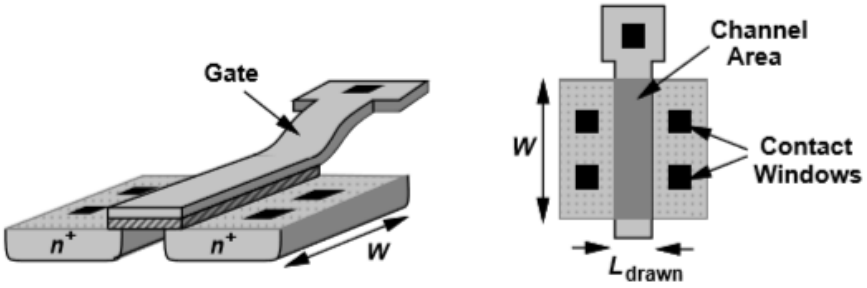


(الف)



(ب)

شکل ۲-۲٤: (الف): مدل ساده‌تر ترانزیستور ماسفت (فرکانس پایین)، (ب) مدل پیچیده‌تر ترانزیستور ماسفت.



شکل۲-۲۵: نمای سه‌بعدی و عمودی افزاره ماسفت.

و D توسط ناخالصی بمباران (Dope) می‌شوند. پس‌ازآن، برای آنکه ساختار کریستالی کمی ترمیم شود مقداری حرارت به آن اعمال گردیده و درنتیجه آن کمی ناخالصی به زیر ناحیه گیت نفوذ پیدا می‌کند. برای نواحی درین و سورس با سطح مقطع به ترتیب A_D و A_S، و محیط درین و سورس $P_D = 2(W + W_D)$ و P_S، می‌توان رابطه خازن‌ها را به صورت زیر نوشت:

$$C_{DB} = WW_DC_j + 2(W + W_D)C_{jsw}$$
$$= A_DC_j\left(\mathrm{F}/\mu\mathrm{m}^2\right) + P_DC_{jsw}\left(\mathrm{F}/\mu\mathrm{m}\right) \qquad (۴۱-۲)$$

$$C_{SB} = A_SC_j + P_DC_{jsw} \qquad (۴۲-۲)$$

در روابط بالا C_{jsw} و C_j به ترتیب خازن‌های پیوندی دیده‌شده از دیواره‌ها و از کف هستند. خازن C_j از نوع انتقالی است و به شکل زیر بدست می‌آید:

$$C_j = \frac{C_{j0}}{\sqrt{1+\frac{V_R}{V_0}}}, \qquad C_{jsw} = \frac{C_{jsw0}}{\sqrt{1+\frac{V_R}{V_0}}} \qquad C_{OV}\left(\mathrm{F}/\mu\mathrm{m}\right) = L_{OV}C_{OX}. \quad (۴۳-۲)$$

روابط بالا، برای دو خازن C_{GS} و C_{GD}، متفاوت از یکدیگر هستند و به شکل زیر بدست می‌آیند:

۱- در ناحیه تریود که کانال در حال شکل‌گیری است، C_{GB} به‌تساوی بین درین و سورس تقسیم می‌شود:

$$\begin{cases} C_{GD} = WC_{OV} + \frac{1}{2}WLC_{OX} \\ C_{GS} = WC_{OV} + \frac{1}{2}WLC_{OX} \end{cases} \qquad (۴۴-۲)$$

۲- با توجه به قطع کانال در ناحیه درین، خازن C_{GB} در ناحیه اشباع از رابطه زیر بدست می‌آید:

$$\begin{cases} C_{\mathrm{GS}} = WC_{OV} + \frac{2}{3}WLC_{OX} \\ C_{GD} = WC_{OV} \end{cases} \qquad (۲-۴۵)$$

۲-۸) مدل‌های Spice برای شبیه‌سازی رفتار ترانزیستورهای ماسفت

از چنین مدل‌هایی به‌منظور شبیه‌سازی رایانه‌ای ترانزیستورهای CMOS استفاده می‌شود. در این کتاب، از نرم‌افزار Hspice به‌منظور شبیه‌سازی مدارها استفاده‌شده است. درحال حاضر این مدل‌ها بسیار پیچیده هستند و شامل پارامترهای بسیار زیادی می‌باشند. یک مثال ساده از نحوه تعریف یک ترانزیستور با مدل Level 1 را در اینجا می‌آوریم:

نحوه تعریف خود ترانزیستور:

M_1 D G S B nch m=? چند ترانزیستور موازی

اگر ترانزیستور بزرگ باشد با تعریف m آن را به چند ترانزیستور W کوچک‌تر می‌شکنند.

$W_{real} = mW$

$+W = \cdots \quad L = \cdots$

$+A_D = \cdots \quad A_S = \cdots$

$+P_D = \cdots \quad P_S = \cdots$

نحوه تعریف مدل ترانزیستور:

.model nch LEVEL=1

VTO $= \cdots$ پارامتر ولتاژ آستانه به ازای $V_{TH}|V_{SB} = 0$

Gamma=… γ

PHI=… $2\varphi_F$

TOX $= \cdots$ t_{OX}

NSUB = … میزان ناخالصی زمینه

$L_D = \cdots$ انتشار جانبی سورس و درین (L_{OV})

$U_O = \cdots$ اندازه حرکت μ

LAMBDA = … λ

CJ = … $C_j(\mathrm{F/m^2})$

CJSW = … $C_{jsw}(\mathrm{F/m})$

MJ = … C_j توان رادیکال در توابع

MJSW = … C_{jsw} توان رادیکال در توابع

CGDO = … $C_{OV}(\mathrm{F/m})$ برای پیوند گیت–درین

CGSO = … C_{OV} برای پیوند گیت–سورس $(\mathrm{F/m})$

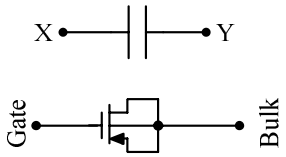
JS = … جریان نشتی پایانه‌های درین درین سورس بر سطح $(\mathrm{A/m^2})$

*) **نکته:** با توجه به‌اندازه حرکت بالاتر الکترون در مقابل حفره و β_n بالاتر آن، در همه حالات استفاده از ترانزیستورهای nMOS به دلیل بازدهی و سرعت بالاتر ترجیح داده می‌شود.

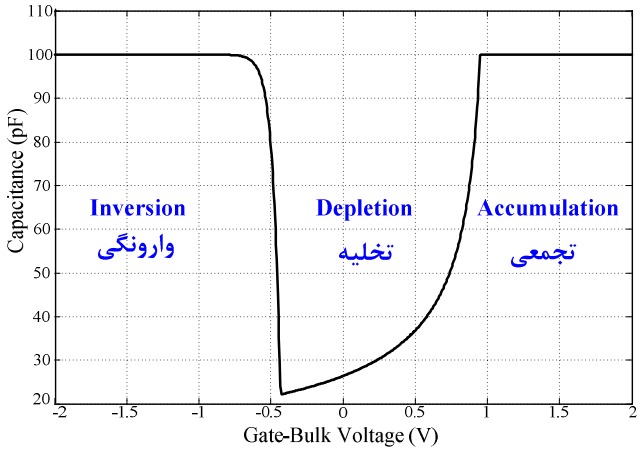
*) **نکته:** تمامی روابط به‌دست‌آمده در این فصل برای ترانزیستور با کانال بلند ($> 4\ \mu m$) صحیح هستند. برای ترانزیستورهای با کانال کوتاه روابط تقریبی می‌شوند و باید مدل‌سازی ترانزیستور به‌دقت و با پارامترهای بیشتر انجام شود. نرم‌افزارهای شبیه‌ساز، این کار را به‌درستی انجام می‌دهند.

۲-۹) ترانزیستور ماسفت به‌عنوان خازن

شکل ۲-۲۶ آرایش یک ترانزیستور ماسفت را به‌عنوان خازن نشان می‌دهد. به ازای ولتاژهای منفی V_{GB}، ناحیه تجمعی داریم و حفره‌ها به زیر ناحیه گیت کشیده می‌شوند. لذا خازن دیده‌شده بین پایانه‌های گیت و بالک، برابر با C_{ox} خواهد بود. به ازای ولتاژهای $v_{GS} > v_{TH}$، وارونگی قوی داریم و با شکل‌گیری کانال، مجدداً خازن C_{ox} دیده می‌شود. تنها مشکل خازن موردنظر آن است که به دلیل تخلیه حامل‌ها از زیر ناحیه گیت به ازای $0 < v_{GS} < v_{TH}$ (ناحیه زیرآستانه)، خازن دیده‌شده ترکیب سری C_{ox} با C_{dep} خواهد بود. لذا مقدار خازن در این ناحیه کوچک‌تر است. شکل ۲-۲۷ شبیه‌سازی رفتار خازن ماسکپ را در یک پروسه نانو نشان می‌دهد. به دلیل عرض کم t_{ox}، این خازن دارای چگالی بالا بوده و از مرتبه $5 - 7\ \mathrm{fF/\mu m^2}$ است. خازن مجتمع دیگر، خازن‌های MIM یا MOM موجود در پروسه‌های ساخت هستند که کاملاً خطی می‌باشند، اما چگالی به‌مراتب پایین‌تر $0.4 - 1\ \mathrm{fF/\mu m^2}$ دارند.



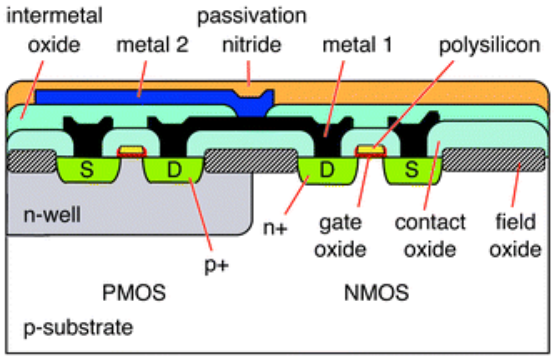
شکل۲-۲۶ ترانزیستور ماسفت به‌عنوان خازن.



شکل۲-۲۷ رفتار غیرخطی ترانزیستور ماسفت.

۲-۱۰) پروسه ساخت ترانزیستورهای ماسفت

ساخت ترانزیستور ماسفت بر روی ویفر خالص سیلیکونی و با استفاده از عناصر ناخالصی، اکسید سیلیکون و ماسک‌های طراحی صورت می‌گیرد. به‌منظور ساخت گیت ترانزیستور، بر روی کل ویفر اکسید سیلیکون قرار داده می‌شود. این کار را می‌توان با اکسید نمودن خود سطح نیز انجام داد. سپس از یک ماده حساس به نور (PR) استفاده شده و با استفاده از ماسک‌های طراحی، نوردهی در سطوح مشخصی از روی سطح انجام می‌شود تا در آن نقاط، ماده حساس به نور تغییر ماهیت داده و در محلول غیرقابل‌حل شود. سایر نواحی را در حلال حل می‌کنند و اکسید را در آن نقاط می‌تراشند. درنهایت کل سطح را با ناخالصی بمباران یا doping می‌کنند تا در نقاطی که اکسید تراشیده شده است، به داخل بستر راه یابند. حضور اکسید، خود نقش ماسک را برای ساخت درین و سورس و جدا کردن آنها از گیت دارد. به‌طور خلاصه



شکل۲-۲۸ نحوه ساخت ترانزیستورها در پروسه CMOS.

می‌توان مراحل ساخت ترانزیستورهای ماسفت را به قسمت‌های زیر تقسیم‌بندی نمود (شکل ۲-۲۸):

Mask1: Well

مشخص نمودن بستر برای ترانزیستورهای pMOS

Mask2: Gate Oxide

تراشیدن اکسید گیت

Mask3: Gate (Poly-Silicon)

از پلی سیلیکون برای ساخت گیت استفاده می‌کنند چراکه اگر فلز باشد در مراحل بعدی و با اعمال حرارت ذوب می‌شود.

Mask4:

ماسک مربوط به درین و سورس؛ در این مرحله خود گیت مانند محافظ در محل خود عمل می‌کند. در غیراین‌صورت ممکن است ماسک جدید کمی جابجا شده و گیت ایجادشده با درین و سورس همپوشانی داشته باشد. در این مرحله، ناخالصی n^+ و p^+ مربوط به بسترها نیز ریخته می‌شود.

Mask5:

ماسک مربوط به نواحی با ناخالصی p است.

Mask6:

ماسک مربوط به اتصالات فلزی بوده و ممکن است برای هر لایه، یک ماسک مجزا لازم باشد. در این مرحله تا ۱۰ لایه نیز ممکن است تعریف شود. به‌عنوان‌مثال، در فرآیند ساخت $0.13\mu m$ از یک لایه پلی

سیلیکون و هشت لایه فلز استفاده می‌شود. به‌صورت نمادین: $0.13\mu m$ 1p-8m

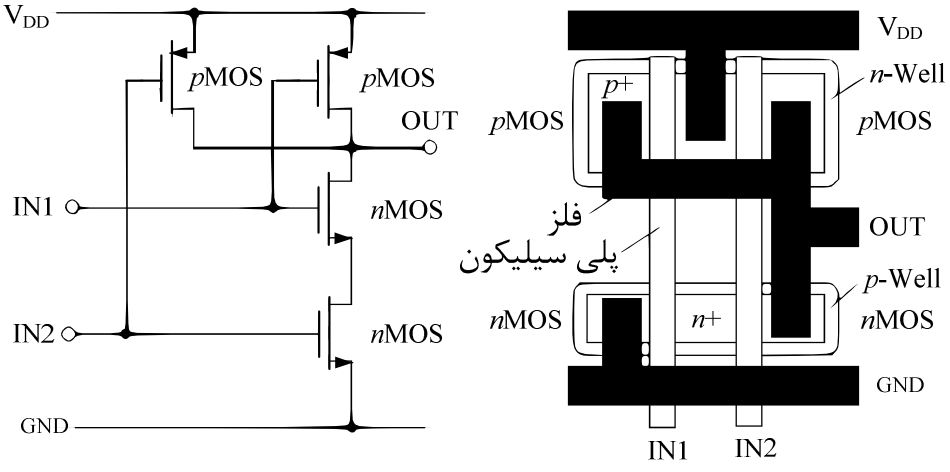
۲-۱۱) نحوه کشیدن نقشه خروجی مدار یا Layout

برای ساخت مدار مجتمع لازم است که نقشه مدار به کارخانه سازنده ارسال شود این نقشه مشخص می‌کند که در کدام نواحی باید ناخالصی ریخته شود و چه مناطقی باید با اکسید و فلز پوشانده شود.

۱- ترانزیستور

شکل ۲-۲۹ نحوه کشیدن یک گیت منطقی را به‌عنوان نمونه نشان می‌دهد.

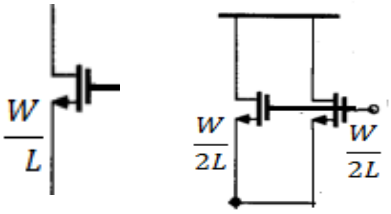
در عمل زیاد اتفاق می‌افتد که با نسبت‌های (W/L) بزرگ و از مرتبه ۳۰۰-۲۰۰ سروکار داریم. اولاً کارخانه سازنده اجازه تعریف چنین ترانزیستورهایی با W بزرگ نسبت به L را نمی‌دهد و ثانیاً با فرض ساخت، مقاومت گیت ترانزیستور حاصل خیلی بسیار یزرگ می‌شود. راه‌حل شکست ترانزیستور بزرگ‌تر به چندین ترانزیستور کوچک موازی است که این مورد در کشیدن نقشه نهایی بسیار رایج است. شکل ۲-۳۰ نحوه شکستن یک ترانزیستور بزرگ به دو ترانزیستور کوچک را به تصویر می‌کشد. شکل ۲-۳۱ نحوه پیاده‌سازی در سطح فیزیکی را نمایش می‌دهد.



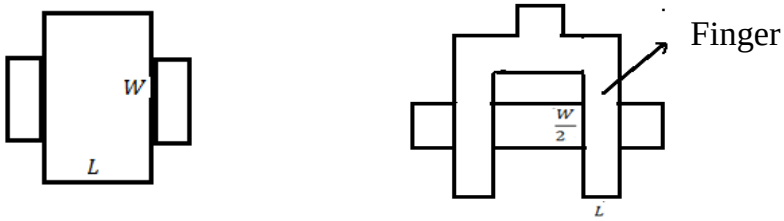
(ب) (الف)

شکل۲-۲۹ مدار اصلی و نحوه کشیدن Layout آن.

$$i = 2\left[\frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS}-V_{TH})^2\right] \quad (۴۶-۲)$$

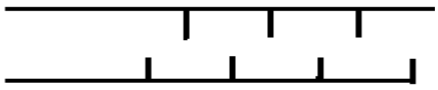


شکل۲-۳۰ نحوه شکستن یک ترانزیستور بزرگ به دو ترانزیستور کوچک موازی.



شکل ۲-۳۱ نحوه پیاده‌سازی یک ترانزیستور بزرگ‌تر با شکستن آن به دو ترانزیستور کوچک‌تر.

ازلحاظ تقارن (Matching)، زوج تفاضلی ورودی در تقویت‌کننده‌های تفاضلی از اهمیت ویژه‌ای برخوردار است. اما در هنگام ساخت ممکن است که دو ترانزیستور ازلحاظ ضخامت گیت t_{ox}، لیتوگرافی و حتی کیفیت و جنس اکسید با یکدیگر تفاوت داشته باشند. به همین دلیل، راهکارهای ارائه‌شده در Layout ترانزیستورها از اهمیت ویژه‌ای در افزایش تقارن برخوردار هستند. شکل ۲-۳۲ یکی از این راهکارها موسوم به Fingering را برای پیاده‌سازی چند ترانزیستور به تصویر می‌کشد. گیت دو ترانزیستورهای سری با یکدیگر مشترک هستند.



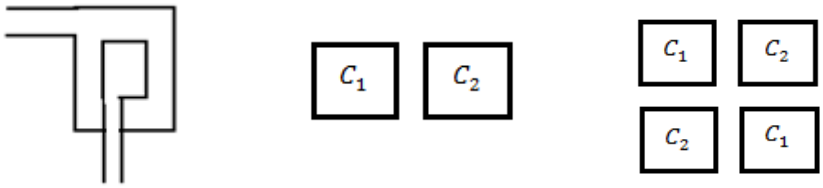
افزایش تقارن با
Fingering

شکل۲-۳۲مراحل اولیه Layout.

۲- خازن

به‌منظور ساخت خازن در پروسه CMOS، ساختارهای خازنی از نوع MIM یا PIP و با ظرفیت $\varepsilon A/d$ در دسترس هستند. این خازن‌ها دارای مقداری خازن پارازیت تا زمینه هستند. دقت بسیاری از مدارها

به‌دقت و میزان تقارن دو خازن وابسته است. لذا مطابق با شکل ۲-۳۳، معمولاً خازن‌ها به‌صورت مربعی ساخته می‌شوند.



شکل۲-۳۳ نحوه پیاده‌سازی و کاهش عدم تقارن دو خازن با پیاده‌سازی آنها به شکل کاملاً متقارن.

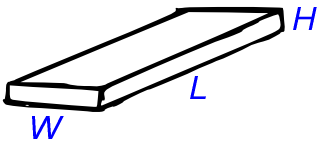
۳- مقاومت

مقاومت‌های مجتمع، معمولاً از جنس پلی (poly) هستند و مقاومت اهمی آنها به‌راحتی با بمباران یا Doping کنترل می‌شوند (شکل ۲-۳۴). روی عمق این مقاومت‌ها (H) کنترل نداریم و فقط طول L و عرض W آنها در دست طراح است. لذا با توجه به رابطه مقاومت می‌توان نوشت:

$$R = \frac{1}{\sigma H} \times \frac{L}{W} = R_* \frac{L}{W} \qquad (۴۷-۲)$$

$$R_* = sheet\ resistance$$

مقاومت زمینه درحد اهم



شکل۲-۳٤ پیاده سازی مقاومت

به ازای نسبت L/W ثابت، هر چه ابعاد مقاومت بزرگ‌تر باشد پیاده‌سازی آن دقیق‌تر است و تقارن بین دو مقاومت بهتر صورت می‌گیرد.

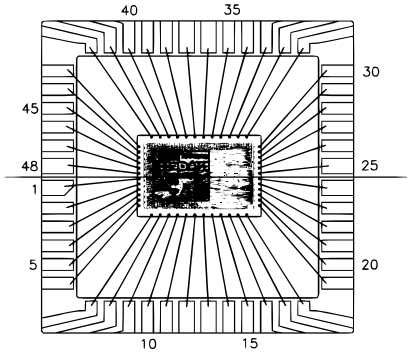
۴- سلف

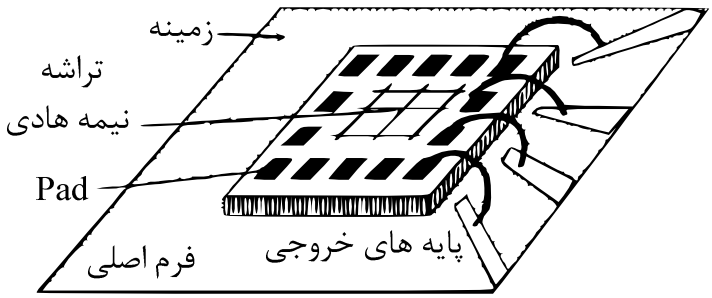
شکل ۲-۳۵ نمایی از یک سلف مجتمع و نحوه پیاده‌سازی آن را به‌صورت مارپیچی نشان می‌دهد. سلف-های مجتمع، ضریب کیفیت یا Q پایینی دارند چراکه مقاومت سری آنها بزرگ است. لذا به دلیل عدم وجود سلف مجتمع مطلوب، خیلی وقت‌ها در مدارها آن را با خازن معادل جایگزین می‌کنند.

شکل۲-۳۵ نمایی از یک سلف مجتمع.

۵- تراشه مرکزی

معمولاً ابعاد تراشه، بسیار کوچک‌تر از بدنه پلاستیکی سیاه‌رنگ اطراف آن است (شکل ۲-۳۶).

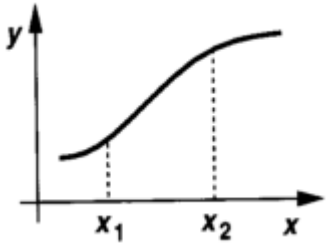




شکل۲-۳٦ نمای داخلی از بالا و از کنار یک آی سی.

فصل سوم: تقویت‌کننده‌های تک طبقه

در این فصل رفتار سیگنال-کوچک و سیگنال-بزرگ تقویت‌کننده‌های یک طبقه را موردبررسی قرار می‌دهیم. به‌طور خاص رفتار چهار نوع تقویت‌کننده معروف یعنی سورس- مشترک، گیت- مشترک، دنبال کننده سورس و کسکود بررسی می‌شوند. رفتار سیگنال-کوچک این تقویت‌کننده‌ها، با در نظر گرفتن مدل‌های ساده ترانزیستوری تا مدل‌های پیچیده (با در نظر گرفتن اثر بدنه و مدولاسیون طول کانال ترانزیستورها) موردبررسی قرار خواهند گرفت.



شکل۳-۱ رفتار ورودی-خروجی یک سیستم غیرخطی

۳-۱) مفاهیم اولیه

*) مدل‌سازی رفتار خطی: رفتار ورودی-خروجی برخی سیستم‌های غیرخطی ازجمله تقویت‌کننده‌های ترانزیستوری به‌صورت شکل ۳-۱ است. رابطه ورودی-خروجی این سامانه‌ها عبارت است از:

$$y(t) = \alpha_0 + \alpha_1 x(t) + \alpha_2 x^2(t) + \cdots + \alpha_n x^n(t). \qquad (۱-۳)$$

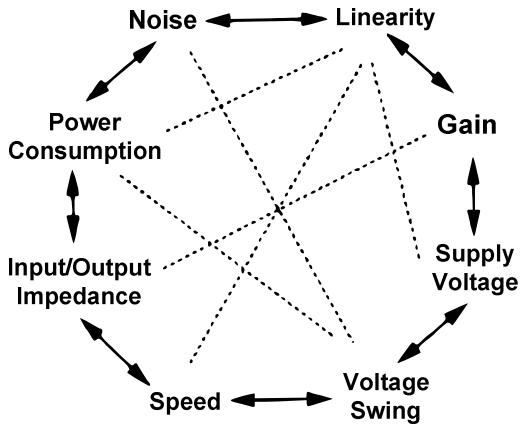
در بازه باریکی از سیگنال‌های ورودی (ناحیه خطی)، می‌توان از جملات مرتبه بالا صرف‌نظر نمود و رابطه بالا را به‌صورت زیر تخمین زد:

$$y(t) = \alpha_0 + \alpha_1 x(t). \qquad (۲-۳)$$

نقطه کار بدون تغییر باقی می‌ماند. در این شرایط می‌توان از جملات مرتبه بالا صرف‌نظر نمود و $\Delta y = \alpha_1 \Delta x$ در نظر گرفت.

بهره سیگنال کوچک ⟸ $\alpha_1 x(t) \ll \alpha_0$ ⟸ نقطه کار

*) مصالحه در طراحی آنالوگ: در حالی که تنها مصالحه موجود در مدارهای دیجیتال میان سرعت (Speed) و توان (Power) است، مدارهای آنالوگ دارای مصالحه‌های فراوان بین سرعت، خطی بودن (Linearity)، حد تغییرات ولتاژ (Voltage Swings)، بهره (Gain)، نویز (Noise)، ولتاژ تغذیه (Supply Voltage)، امپدانس ورودی- خروجی و توان مصرفی هستند (شکل ۳-۲).



شکل۳-۲: مصالحه میان پارامترهای مختلف در طراحی مدارهای آنالوگ.

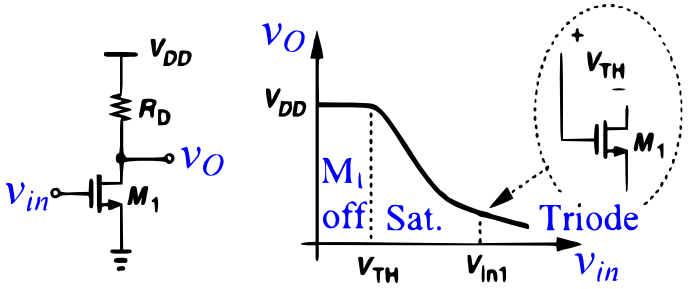
۳-۲) انواع تقویت‌کننده‌ها

در این قسمت رفتار سیگنال- بزرگ و سیگنال-کوچک برخی تقویت‌کننده‌های مهم را مطالعه می‌کنیم.

الف) تقویت‌کننده سورس مشترک (Common Source = CS)

۱- تقویت‌کننده سورس مشترک با بار مقاومتی

شکل ۳-۳ آرایش یک تقویت‌کننده سورس مشترک با بار مقاومتی را به تصویر می‌کشد. با افزایش تدریجی ولتاژ ورودی v_{in}، ترانزیستور M_1 نواحی کار متعددی از خاموش "off" تا اشباع "Sat" و تریود "Triode" را تجربه می‌کند. با توجه به وضعیت ترانزیستور، ولتاژ خروجی V_{out} نیز مقادیر مختلفی را تجربه می‌کند. در شرایط عادی و به ازای V_{DD} نه‌چندان پایین، ترانزیستور در ناحیه اشباع است و داریم:



شکل۳-۳: تقویت‌کننده سورس مشترک با بار مقاومتی.

$m_1: sat, V_{DD}$: نه خیلی پایین

$$v_O = V_{DD} - R_D i_D = V_{DD} - R_D \frac{1}{2}\mu_n C_{ox} \times \frac{W}{L}(V_{in} - V_{TH})^2. \qquad (۳-۳)$$

با توجه به وضعیت مرزی بین اشباع و تریود (فصل ۲)، برای ولتاژ ورودی مرزی V_{in1} می‌توان نوشت:

در نقطه مرزی Sat.→Triode: $V_{in1} - V_{TH} = V_{DD} - R_D \frac{1}{2}\mu_n C_{ox} \times \frac{W}{L}(V_{in1} - V_{TH})^2$ $(۴-۳)$

به ازای ولتاژهای بزرگ‌تر، ترانزیستور در ناحیه تریود قرار می‌گیرد. لذا می‌توان نوشت:

$$v_{in} > v_{in1}: v_O = V_{DD} - R_D \frac{1}{2}\left(\mu_n C_{ox}\frac{W}{L}\right)\left[(v_{in} - V_{TH})v_O - \frac{1}{2}{v_O}^2\right]. \quad (۵-۳)$$

به ازای $v_O \ll v_{in} - V_{TH}$، ترانزیستور در ناحیه تریود عمیق قرار می‌گیرد و شبیه به یک مقاومت کنترل‌شده با ولتاژ و با اندازه R_{on} رفتار می‌کند. لذا با توجه به قانون تقسیم مقاومتی خواهیم داشت:

$$v_O = \frac{R_{on}}{R_{on} + R_D} V_{DD}, \qquad R_{on} = \frac{1}{\mu_n C_{ox}\frac{W}{L}(v_{in} - V_{TH})}. \qquad (۶-۳)$$

معمولاً از ترانزیستور در ناحیه اشباع استفاده می‌شود. بهره ولتاژ در این ناحیه عبارت است از:

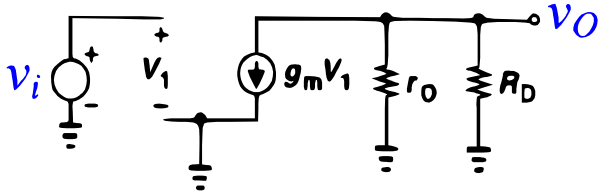
$$A_V = \frac{\partial v_O}{\partial v_{in}} = -R_D \mu_n C_{ox}\frac{W}{L}(v_{in} - V_{TH}) = -g_m R_D$$
$$= \left(\sqrt{2\mu_n C_{ox}\frac{W}{L} I_D}\right)\left(\frac{V_{RD}}{I_D}\right). \quad (۷-۳)$$

با توجه به رابطه بالا، می‌توان به روش‌های زیر بهره را افزایش داد که متأسفانه باعث افزایش اندازه خازن‌ها (C)، کاهش حد تغییرات ولتاژ خروجی (V_{Swing})، افزایش نویز و کاهش ولتاژ مؤثر ترانزیستور $V_{eff} = \sqrt{2I/\beta}$ (کشیده شدن ترانزیستور به ناحیه زیر آستانه) خواهد شد.

$$A_V \uparrow \equiv \begin{cases} \frac{W}{L}\uparrow & \equiv\ C \uparrow \\ V_{RD} \uparrow & \equiv\ V_{Swing} \downarrow \\ I_D \downarrow & \equiv\ Noise \uparrow, V_{eff} \downarrow \end{cases} \qquad (۸-۳)$$

با رسم مدل سیگنال-کوچک و تحلیل آن می‌توان بهره را به طرز ساده‌تری محاسبه نمود (شکل ۳-۴).

$$A_V = \frac{v_O}{v_i} = -g_m(R_D||r_O). \qquad (۹-۳)$$

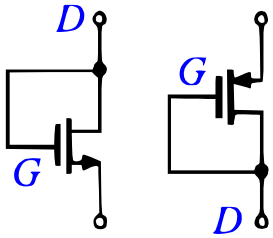


شکل ۳-۴ مدل سیگنال-کوچک مدار شکل ۳-۳.

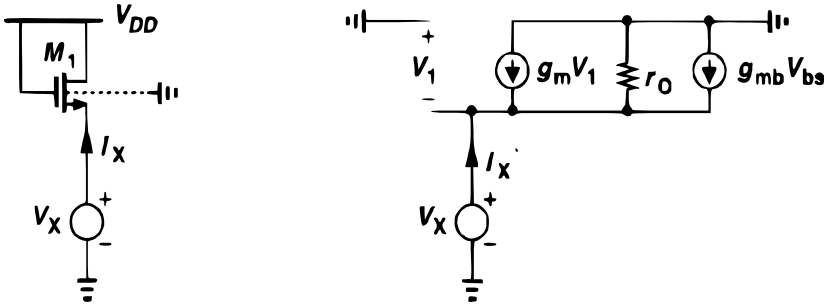
۲- تقویت‌کننده سورس- مشترک با بار دیودی

درصورتی‌که درین و گیت به یکدیگر وصل شوند اتصال دیودی ساخته می‌شود (شکل ۳-۵). رفتار چنین اتصالی تا حد زیادی شبیه به یک دیود ساده است. درواقع با توجه به برابر بودن ولتاژهای گیت و سورس، چنین ترانزیستوری همواره اشباع است. ازنقطه‌نظر ac، اتصال دیودی شبیه به یک مقاومت ساده رفتار می‌کند (شکل ۳-۶). اندازه این مقاومت به شرح زیر محاسبه می‌شود:

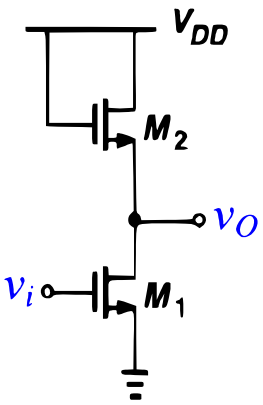
$$(g_m + g_{mb})v_X + \frac{v_X}{r_O} = i_X \Longrightarrow \frac{v_X}{i_X} = \frac{1}{g_m + g_{mb} + {r_O}^{-1}} \simeq \frac{1}{g_m + g_{mb}} \approx \frac{1}{g_m}. \qquad (۱۰-۳)$$



شکل ۳-۵ نحوه اتصال گیت و درین یک ترانزیستور به‌منظور ساخت اتصال دیودی.



شکل۳-٦ محاسبه مقاومت دیده‌شده از سمت سورس ترانزیستوری با اتصال دیودی.



بنابراین برای محاسبه بهره ولتاژ در تقویت‌کننده شکل ۳-۷ می‌توان نوشت (با صرف‌نظر از مدولاسیون طول کانال):

$$A_V = \frac{v_O}{v_i} = -g_{m1}\frac{1}{g_{m2}+g_{mb2}} = -\frac{g_{m1}}{g_{m2}}\left(\frac{1}{1+\eta}\right)$$
$$= -\sqrt{\frac{(W/L)_1}{(W/L)_2}}\left(\frac{1}{1+\eta}\right). \qquad (۱۱-۳)$$

$$\eta = \frac{g_{mb2}}{g_{m2}}. \qquad (۱۲-۳)$$

شکل ۳-۷ تقویت‌کننده سورس مشترک با بار دیودی از نوع *nMOS*.

از فصل قبل به یاد داریم که اثر بدنه زمانی به وجود می‌آید که ولتاژهای سورس و بالک متفاوت از یکدیگر باشند. برای ترانزیستور pMOS که بالک به سورس آن متصل است، چنین اثری وجود ندارد. لذا اگر در شکل ۳-۷ از حالت اتصال دیودی pMOS موجود در شکل ۳-۵ استفاده شود، اثر بدنه وجود نخواهد داشت و می‌توان نوشت:

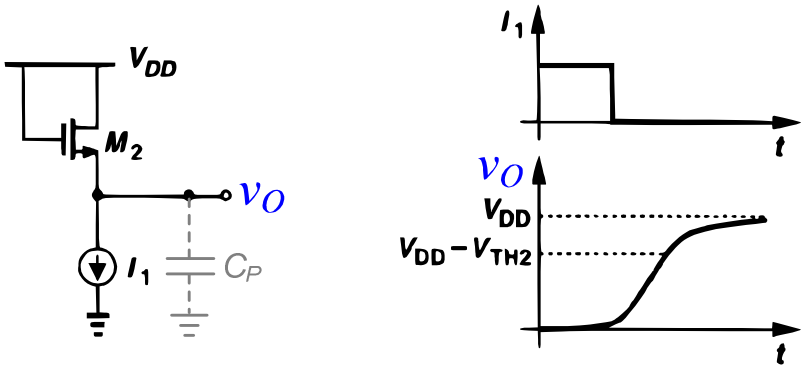
$$A_V = \frac{v_O}{v_i} = -\frac{\text{مقاومت دیده شده در درین}}{\text{مقاومت دیده شده در سورس}} = -\frac{1/g_{m2}}{1/g_{m1}} = -\sqrt{\frac{(W/L)_1}{(W/L)_2}}. \qquad (۱۳-۳)$$

عملکرد مدار بالا ازنقطه‌نظر سیگنال- بزرگ را می‌توان با در نظر گرفتن ترانزیستور M_1 به‌عنوان یک منبع جریان با اندازه I_1 و سپس صفر نمودن این جریان بررسی نمود. با در نظر گرفتن خازن پارازیت C_P خروجی و اعمال پالس جریان به مدار داریم:

$$I = I_1 \Longrightarrow v_O = V_{DD} - v_{GS2} \Longrightarrow v_O = V_{DD} - V_{TH2} - \sqrt{\frac{2I_1}{\beta_2}}, \qquad (۱۴-۳)$$

$$I = 0 \Longrightarrow v_O = V_{DD} - V_{TH2}. \qquad (۱۵-۳)$$

در عمل به ازای $I = 0$، عملکرد ترانزیستور در ناحیه زیرآستانه باعث می‌شود که ولتاژ v_O به سمت V_{DD} میل کند و شارژ شدن خازن به‌صورت کندتری ادامه یابد.



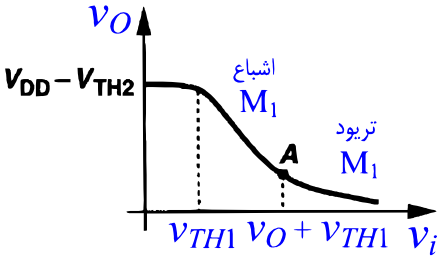
شکل۳-۸ عملکرد مدار شکل ۳-۷ با اعمال پالس به ورودی.

در عمل می‌توان منبع جریان I_1 را با ترانزیستور M_1 و منبع ولتاژ v_i معادل‌سازی نمود (شکل ۳-۷). اندازه جریان چنین منبع جریانی عبارت است از:

$$I_1 = \frac{1}{2}\beta_1(v_i - v_{TH1})^2 \qquad (۱۶-۳)$$

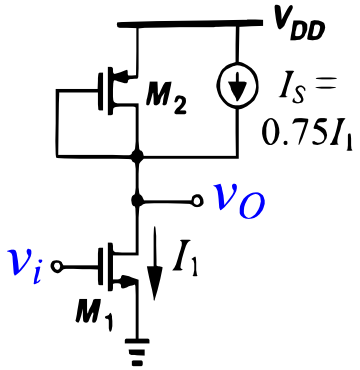
$$v_O = V_{DD} - V_{TH2} - \sqrt{\frac{2I_1}{\beta_2}}. \qquad (۱۷-۳)$$

لذا درمجموع رابطه ورودی- خروجی درمدار شکل ۳-۷ را می‌توان به شکل ۳-۹ در نظر گرفت.



شکل۳-۹ رابطه ورودی- خروجی تقویت‌کننده شکل ۳-۷.

مثال ۳-۱: مقدار ثابت ولتاژ خروجی و بهره ولتاژ را در مدار شکل ۳-۱۰ بدست آورید.



شکل۳-۱۰ تقویت‌کننده مثال ۳-۱.

مقدار ثابت ولتاژ خروجی از نوشتن رابطه نقطه کار بدست می‌آید درحالی‌که بهره ولتاژ، از تحلیل ac وبر مبنای مدار معادل سیگنال-کوچک مشخص می‌شود.

$$A_V = \frac{v_O}{v_i} = -\frac{\text{مقاومت دیده شده در درین}}{\text{مقاومت دیده شده در سورس}} \approx -\frac{g_{m1}}{g_{m2}} = -\sqrt{\frac{\beta_1 I_1}{\beta_2 I_2}} = -\sqrt{\frac{4\mu_n(\frac{W}{L})_1}{\mu_p(\frac{W}{L})_2}}. \quad (۱۸-۳)$$

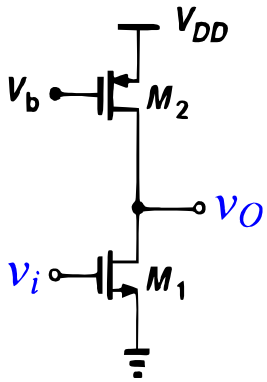
با لحاظ نمودن مدولاسیون طول کانال، بهره برابر است با:

$$A_V = -g_{m1}\left(\frac{1}{g_{m2}} \| r_{O1} \| r_{O2}\right). \quad (۱۹-۳)$$

با فرض آنکه دو ترانزیستور در ناحیه اشباع باشند می‌توان مقدار ثابت ولتاژ خروجی را بدست آورد:

$$I_1 = 4I_2 \Longrightarrow \mu_n \left(\frac{W}{L}\right)_1 (v_{GS1} - v_{TH1})^2 = 4\mu_p \left(\frac{W}{L}\right)_2 (v_{GS2} - v_{TH2})^2 \quad (۲۰-۳)$$

۳- تقویت‌کننده سورس مشترک با بار منبع جریان



گیت ترانزیستور بالا در مدار شکل ۳-۱۱، به‌جای آنکه به درین وصل شود به یک منبع ولتاژ ثابت متصل می‌گردد. لذا رفتار آن شبیه به یک منبع جریان ثابت است. ازآنجاکه ترانزیستور پایین نیز به‌صورت یک منبع جریان ثابت رفتار می‌کند لذا درمجموع مدار موردنظر شبیه به دو منبع ثابت و سری رفتار می‌کند. لذا اگر یکی از دو منبع تنها اندکی از دیگری بیشتر باشد جریان اضافی خازن بار را شارژ و یا دشارژ نموده و خروجی v_O برابر با ولتاژ تغذیه و یا زمین می‌شود.

شکل۳-۱۱ تقویت‌کننده سورس مشترک با بار منبع جریان.

تحلیل این مدار با فرض اشباع بودن دو ترانزیستور انجام می‌گیرد. در این حالت، امپدانس خروجی برابر با $r_{O1} \| r_{O2}$ شده و بهره ولتاژ از رابطه زیر بدست می‌آید:

$$A_V = -\frac{\text{مقاومت دیده شده در درین}}{\text{مقاومت دیده شده در سورس}} = -g_{m1}(r_{O1} \| r_{O2}). \quad (۲۱-۳)$$

ازآنجاکه

$$g_m = \sqrt{2\mu_n C_{ox}\left(\frac{W}{L}\right) I}, \qquad r_O = \frac{1}{\lambda I} \sim \frac{L}{I}. \qquad (۲۲-۳)$$

می‌توان به قیمت افزایش سطح و یا کاهش جریان، بهره را افزایش داد:

$$L \uparrow \Longrightarrow r_O \uparrow \Longrightarrow A_V \uparrow$$
$$I \downarrow \Longrightarrow r_O \uparrow \Longrightarrow A_V \uparrow$$

ولتاژ اشباع ترانزیستور برابر است با:

$$v_{DS}(sat) = \sqrt{\frac{2I}{\beta}}. \qquad (۲۳-۳)$$

با کاهش زیاد I، ولتاژ اشباع ترانزیستور نیز کم می‌شود. به ازای ولتاژهای اشباع خیلی پایین، ترانزیستور وارد ناحیه زیر آستانه شده و رفتار آن تغییر می‌کند. علاوه بر این، ولتاژ اشباع بزرگ باعث کاهش Swing ولتاژ خروجی می‌شود. لذا افزایش L باید با افزایش هم‌زمان W توأم باشد تا $r_O = 1/\lambda I$ زیاد شده و درعین‌حال $v_{DS,Sat}$ تغییر نکند. ولی این باعث افزایش ابعاد و بزرگ شدن خازن‌های پیوندی می‌شود. به دلیل برابر نبودن دو جریان در هنگام شبیه‌سازی این مدار، هر دو ترانزیستور اشباع نخواهند شد. امپدانس بالای گره خروجی باعث می‌شود که یکی از ترانزیستورها به ناحیه تریود وارد شود و خروجی برابر با ولتاژ زمین یا ولتاژ تغذیه گردد. لذا باید آن‌قدر دو جریان را تغییر داد که هردو ترانزیستور اشباع شوند.

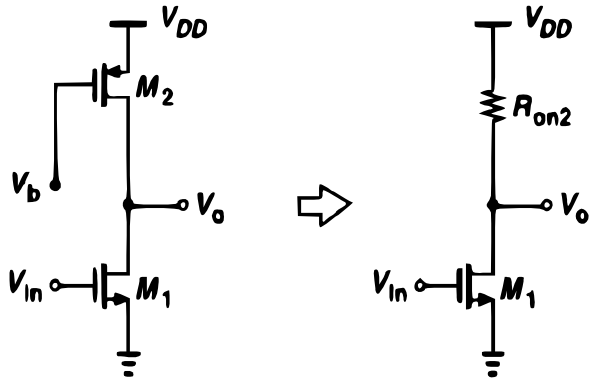
*) تعریف بهره ذاتی ترانزیستور: برابر با حاصل‌ضرب $g_m r_O$ است و نشان می‌دهد که بهره قابل‌دستیابی حداکثر به چه مقداری محدود می‌شود. این پارامتر به شکل زیر به پارامترهای ترانزیستوری مربوط می‌شود:

$$g_m r_O = \sqrt{2\mu_n C_{ox}\left(\frac{W}{L}\right) I} \times \frac{1}{\lambda I} = \left[\sqrt{\frac{2\mu_n C_{ox}}{I}\left(\frac{W}{L}\right)}\right]\frac{1}{\lambda}. \qquad (۲۴-۳)$$

در صورتی که $L \uparrow \Longrightarrow g_m r_O \uparrow$ خواهد شد چراکه وابستگی λ به L، بیشتر از وابستگی آن به g_m است. درمجموع $\lambda \propto 1/L$ و $g_m r_O \propto \sqrt{L}$ است و لذا $I \uparrow \Longrightarrow g_m r_O \downarrow$ خواهد شد.

۴- تقویت‌کننده سورس مشترک با بار ترانزیستوری در وضعیت تریود

می‌توان به‌جای تقویت‌کننده سورس مشترک با بار دیودی از ساختار شکل ۳-۱۲ استفاده کرد. ولتاژ



شکل۳-۱۲ تقویت‌کننده سورس مشترک با بار ترانزیستوری در وضعیت تریود عمیق، معادل‌سازی ترانزیستور M_2 با مقاومت اهمی.

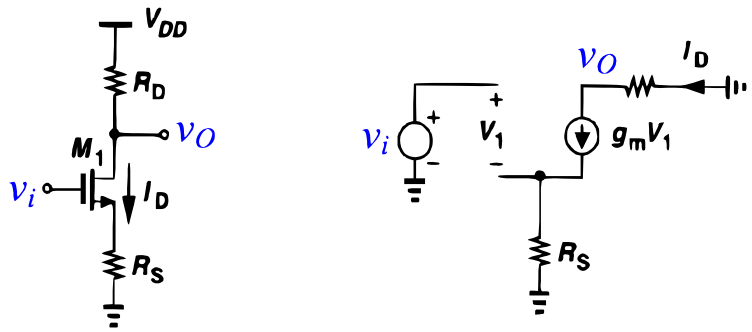
بایاس V_b به‌گونه‌ای تنظیم می‌شود که ترانزیستور M_2 را در ناحیه تریود عمیق قرار دهد. لذا ولتاژ خروجی حداکثر می‌تواند تا $v_{\mathrm{Omax}} = V_{DD}$ افزایش یابد. درصورتی‌که در تقویت‌کننده سورس مشترک با بار دیودی، به‌منظور روشن نگاه‌داشتن ترانزیستور M_2، خروجی می‌توانست حداکثر تا $v_{\mathrm{Omax}} = V_{DD} - |v_{TH}|$ بالا رود. تنها مشکل ساختار شکل ۳-۱۲، وابستگی زیاد مقاومت ترانزیستور M_2 یعنی R_{on2} به پارامترهای فیزیکی است که باعث می‌شود که بهره وابسته به این پارامترها شود:

$$R_{on2} = \frac{1}{\mu_{\mathrm{p}} C_{ox}\left(\frac{W}{L}\right)_2 (V_{DD} - V_b - |V_{TH}|)} \Longrightarrow A_V = -\frac{\text{مقاومت درین}}{\text{مقاومت سورس}}$$

$$= -g_{m1}(r_{O1} \| R_{on2}). \qquad (۲۵-۳)$$

۵- تقویت‌کننده سورس مشترک با مقاومت سورس

شکل۳-۱۳ آرایش چنین تقویت‌کننده‌ای را به همراه مدار معادل سیگنال کوچک آن نشان می‌دهد. مقاومت سورس R_S نقش فیدبک منفی و افزایش پایداری حرارتی را در این مدار دارد چراکه با کاهش ولتاژ آستانه و افزایش جریان در اثر افزایش دما:



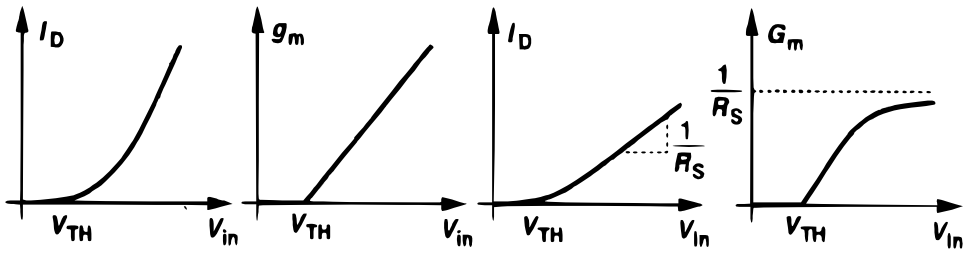
شکل۳-۱۳ تقویت‌کننده سورس‌مشترک با مقاومت سورس.

لذا جریان i_D مجدداً کاهش می‌یابد. با کاهش v_i، جریان هم مجدداً کم می‌شود. در نزدیکی $v_i \simeq v_{TH}$، جریان صفر و $g_m \approx 0$ و $1/g_m$ بزرگ خواهد شد. بهره این مدار عبارت است از:

$$A_V = -\frac{\text{مقاومت دیده شده در درین}}{\text{مقاومت دیده شده در سورس}} = \frac{-R_D}{R_S + {}^{1}/_{g_m}} = \frac{-g_m R_D}{1 + g_m R_S} = -G_m R_D.$$

$$(۲۶ - ۳)$$

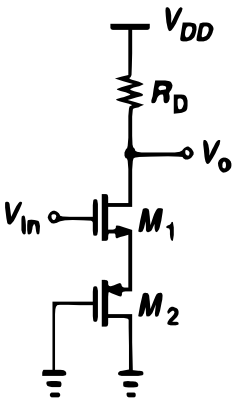
به ازای g_m کوچک، بهره شبیه تقویت‌کننده سورس مشترک بدون مقاومت سورس است. ولی با افزایش g_m و کاهش $1/g_m$، اثر R_S زیاد شده و به ازای $g_m \to \infty$، بهره به سمت $A_V = -R_D/R_S$ میل می‌کند. شکل ۳-۱۴ اثر تغییر جریان و هدایت انتقالی را با وجود مقاومت R_S و بدون وجود آن نشان می‌دهد. با وجود R_S، حداکثر مقدار G_m به $1/R_S$ محدود می‌شود. درصورتی‌که بدون وجود این مقاومت، حداکثر هدایت انتقالی نامحدود است.



(الف) با مقاومت R_S **(ب) بدون مقاومت R_S**

شکل۳-۱۴ اثر تغییر جریان و هدایت انتقالی کلی مدار در حضور و یا عدم حضور مقاومت R_S.

مثال ۳-۲: بهره مدار ۳-۱۵ را با فرض $\lambda = \gamma = 0$ بدست آورید.



ترانزیستور M_2 در آرایش دیودی معادل با یک مقاومت با مقدار $1/g_{m2}$ است. لذا بهره برابر است با

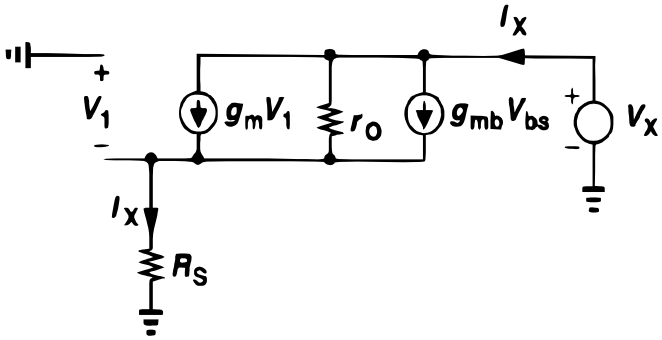
$$A_V = -\frac{\text{مقاومت دیده شده در درین یا بار}}{\text{مقاومت دیده شده در سورس}} = -\frac{R_D}{\frac{1}{g_{m1}} + \frac{1}{g_{m2}}}.$$

شکل۳-۱۵ تقویت‌کننده مثال ۳-۲.

مثال ۳-۳: مقاومت خروجی دیده‌شده از پایانه V_O را در مدار شکل ۳-۱۵ بدست آورید.

شکل ۳-۱۶ مدار معادل سیگنال-کوچک تقویت‌کننده شکل ۳-۱۵ را از پایانه خروجی نشان می‌دهد. مقاومت خروجی برابر با نسبت $R_O = V_x/I_x$ است. می‌توان نوشت:

$$v_1 = v_{gs} = -R_S I_x$$
$$v_{bs} = -R_S I_x$$
$$V_x = r_O[I_x + (g_m + g_{mb})R_S I_x] + R_S I_x$$
$$R_O = V_x/I_x = R_S + r_O[1 + (g_m + g_{mb})R_S] \approx r_O[1 + (g_m + g_{mb})R_S]. \quad (۲۷-۳)$$

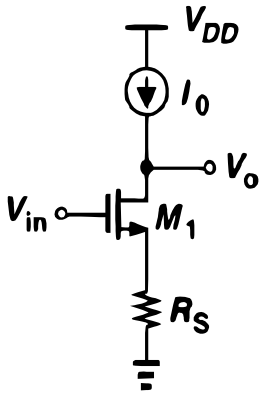


شکل۳-۱۶ مدار معادل سیگنال-کوچک تقویت‌کننده شکل ۳-۱۵.

مثال ۳-٤: بهره را در مدار شکل ۳-۱۷ بدست آورید.

با توجه به مقدار بدست آمده برای مقاومت خروجی در مثال قبل:

$$A_V = -\frac{\text{مقاومت دیده شده در درین}}{\text{مقاومت دیده شده در سورس}} = -\frac{r_O(1+g_mR_S)}{R_S+\frac{1}{g_m}}$$
$$= -g_m r_O. \qquad (۲۸-۳)$$

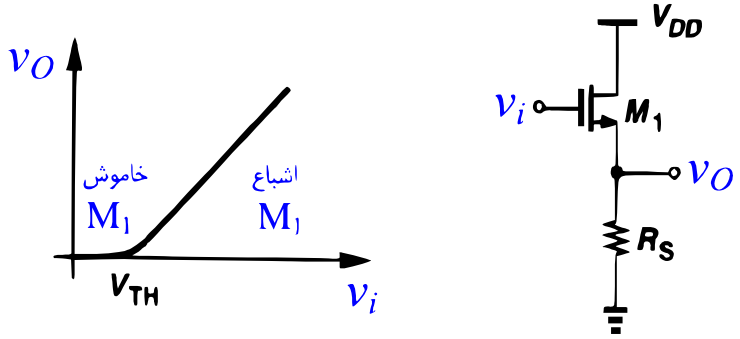


شکل۳-۱۷ تقویت‌کننده مثال ۳-٤.

بهره به مقاومت R_S بستگی ندارد. وجود منبع جریان ثابت I_0 باعث ثابت ماندن جریان عبوری از این مقاومت شده و افت ولتاژ سیگنال کوچک بر روی آن را صفر می‌کند.

ب) تقویت‌کننده درین‌مشترک یا دنبال‌کننده سورس (Source Follower = SF)

کاربرد عمده آن به‌عنوان بافر ولتاژ و شیفت دهنده سطح ولتاژ dc است و از آن، هنگامی‌که نیاز به تغذیه یک بار سنگین وجود دارد، استفاده می‌شود. شکل ۳-۱۸-الف نمونه‌ای از این تقویت‌کننده را نمایش می‌دهد. به ازای ولتاژهای ورودی کوچک، ترانزیستور M_1 خاموش است و با افزایش تدریجی ولتاژ ورودی و عبور آن از V_{TH} به‌تدریج این ترانزیستور روشن می‌شود. درمجموع می‌توان مشخصه سیگنال بزرگ این ساختار را به‌صورت شکل ۳-۱۸-ب در نظر گرفت:



(الف) (ب)

شکل۳-۱۸ تقویت‌کننده درین مشترک یا دنبال‌کننده سورس به همراه مشخصه ورودی- خروجی آن.

$$v_O = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(v_i - v_O - v_{TH})^2 R_S = v_i - v_{GS}. \qquad (۲۹-۳)$$

مقاومت دیده‌شده در سورس عبارت از $R_S||\,1/g_{mb} + 1/g_m$ است. لذا بهره ولتاژ برابر است با:

$$A_V = \frac{\text{مقاومت دیده شده در بار}}{\text{مقاومت دیده شده در سورس}} = \frac{R_S\|\frac{1}{g_{mb}}}{R_S\|\frac{1}{g_{mb}} + \frac{1}{g_m}} = \frac{g_m R_S}{1 + (g_m + g_{mb})R_S}.$$

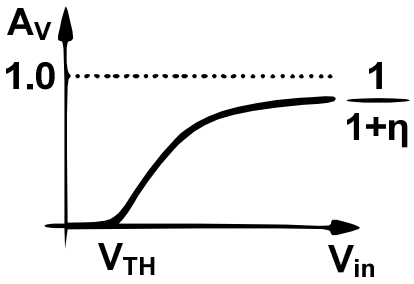
$$(۳۰-۳)$$

به ازای ولتاژهای ورودی مختلف، رابطه بهره عبارت است از:

$$v_{in} \approx v_{TH} \Longrightarrow g_m = 0 \Longrightarrow A_V = 0,$$
$$v_{in} \gg v_{TH} \Longrightarrow g_m = \infty \Longrightarrow A_V = \frac{g_m}{g_m + g_{mb}} = \frac{1}{1 + g_{mb}/g_m} = \frac{1}{1+\eta}.$$

$$(۳۱-۳)$$

شکل ۳-۱۹ رابطه بهره ولتاژ با ولتاژ ورودی را نمایش می‌دهد. همان‌گونه که دیده می‌شود میزان بهره این ساختار حداکثر به مقدار واحد محدود می‌شود و لذا نمی‌توان از آن به منظور تقویت ورودی استفاده کرد. جریان i_D در ساختار شکل ۳-۱۸ وابسته به سیگنال خروجی است و این باعث ایجاد شدن خطای غیرخطی می‌شود (چراکه v_{GS} خود به خروجی وابسته است). برای حل این مشکل می‌توان از منبع جریان ثابت به‌جای مقاومت استفاده نمود تا v_{GS} ثابت شود:



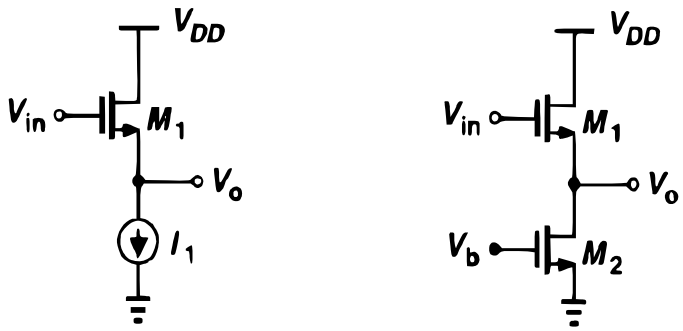
$$v_{GS} = v_{TH} + \sqrt{\frac{2I}{\beta}}.$$

$$(۳۲-۳)$$

شکل ۳-۱۹ رابطه بهره با ولتاژ ورودی.

حداکثر ولتاژ خروجی در شکل ۳-۲۰، به قطع ترانزیستور M_1 و حداقل آن به اشباع M_2 محدود می‌شود:

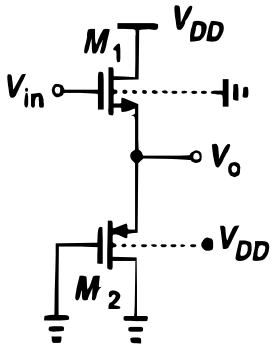
$$v_{Omax} = v_{DD} - v_{TH} - v_{DS,sat1}$$
$$v_{Omin} = v_{DS.sat2} \qquad (۳۳-۳)$$



شکل۳-۲۰ استفاده از منبع جریان به‌جای مقاومت و نحوه پیاده‌سازی منبع جریان.

درنتیجه حداکثر نوسان (Swing) ولتاژ خروجی برابر است با:

$$v_{Swing} = v_{Omax} - v_{Omin} = v_{DD} - v_{TH} - v_{DS,sat1} - v_{DS,sat2} \qquad (۳۴-۳)$$



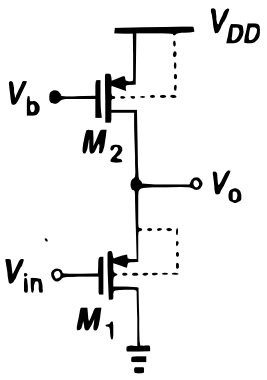
شکل۳-۲۱ تقویت‌کننده مثال ۳-۵.

مثال ۳-۵: بهره مدار موجود در شکل ۳-۲۱ را بدست آورید.

$$A_V = \frac{\text{مقاومت دیده شده در بار}}{\text{مقاومت دیده شده در سورس}} = \frac{\frac{1}{g_{m2}} \| \frac{1}{g_{mb2}} \| \frac{1}{g_{mb1}} \| r_{O1} \| r_{O2}}{\frac{1}{g_{m1}} + \frac{1}{g_{m2}} \left\| \frac{1}{g_{mb2}} \right\| \frac{1}{g_{mb1}} \| r_{O1} \| r_{O2}}. \qquad (۳۵-۳)$$

* خصوصیات تقویت‌کننده سورس مشترک: بهره بالا - امپدانس ورودی بالا - امپدانس خروجی متوسط
* خصوصیات تقویت‌کننده درین مشترک: بهره نزدیک به یک - امپدانس ورودی بالا - امپدانس خروجی کم
* اشکالات تقویت‌کننده درین مشترک عادی: غیرخطی بودن به دلیل وابستگی v_{TH} به ولتاژ خروجی (به خاطر دلیل وجود اثر بدنه؛ برای کاهش این اثر باید تا حد امکان تغییرات v_{GS} را با جریان بایاس کم کرد)، محدود بودن دامنه نوسان خروجی.

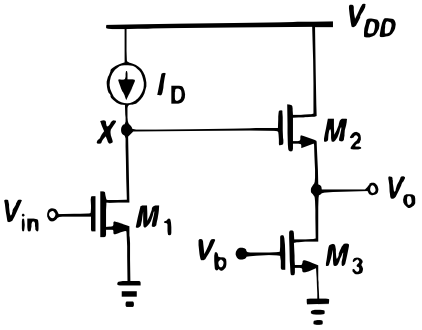
*) دنبال کننده سورس (SF) بدون اثر بدنه



در این حالت از ترانزیستورهای pMOS استفاده می‌شود تا در فن‌آوری CMOS اثر بدنه‌ای وجود نداشته باشد (شکل ۳-۲۲).

از کاربردهای دنبال‌کننده سورس، استفاده از آن به‌عنوان بافر ولتاژ در خروجی یک تقویت‌کننده سورس مشترک است (شکل ۳-۲۳). امپدانس خروجی تقویت‌کننده حاصل به حداقل می‌رسد.

شکل۳-۲۲ آرایش SF بدون اثر بدنه.



حداقل ولتاژ مجاز در گره X، به ولتاژ موردنیاز برای روشن ماندن M_2 و در اشباع ماندن M_3 محدود می‌شود:

$$v_{Xmin} = v_{GS2} + v_{DS,sat3}. \quad (۳۶-۳)$$

شکل۳-۲۳ استفاده از دنبال‌کننده سورس به‌عنوان بافر ولتاژ در خروجی یک تقویت‌کننده سورس مشترک.

لذا آرایش دنبال‌کننده سورس، $swing$ ولتاژ خروجی را محدود می‌کند. بهره ولتاژ آن عبارت است از:

$$\frac{v_X}{v_i} = -g_{m1}r_{O1}, \qquad \frac{v_O}{v_X} = \frac{r_{O3} \| \frac{1}{g_{mb2}} \| r_{O2}}{r_{O3} \| \frac{1}{g_{mb2}} \| r_{O2} + \frac{1}{g_{m2}}} \Longrightarrow A_V = \frac{v_O}{v_i} = \frac{v_X}{v_i} \times \frac{v_O}{v_X}.$$

$$(۳۷-۳)$$

درمجموع معایب ساختار دنبال کننده سورس به‌قرار زیر است:

۱- غیرخطی بودن ناشی از اثر بدنه،

۲- کم شدن حداکثر نرخ تغییرات ولتاژ خروجی،

۳- عدم کارایی بالا در تأمین جریان بار.

ج) آرایش گیت- مشترک (Common-Gate, CG)

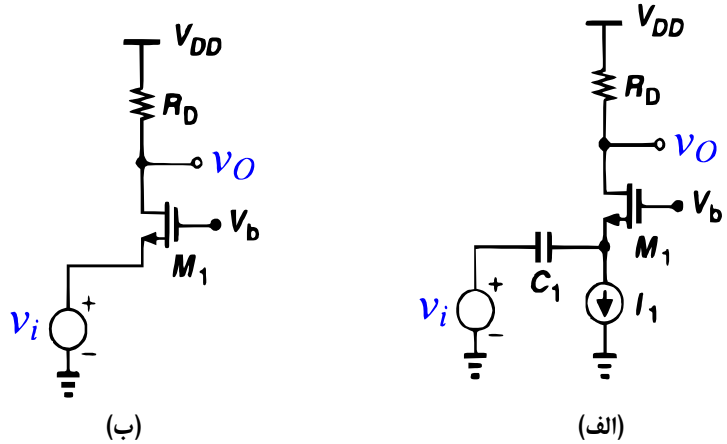
شکل ۳-۲۴ نحوه پیاده‌سازی آرایش گیت- مشترک را به تصویر می‌کشد. پایانه گیت بین پایانه ورودی سورس و خروجی درین مشترک است. در شکل ۳-۲۴-الف، ترانزیستور M_1 به‌صورت مستقیم و با منبع جریان ثابت I_1 تغذیه می‌شود درحالی‌که جریان بایاس ترانزیستور در شکل ۳-۲۴- ب وابسته به ولتاژ بایاس V_b و v_i است. برای هر دو ساختار و با فرض در ناحیه اشباع بودن ترانزیستور، جریان ترانزیستور و ولتاژ خروجی سیگنال بزرگ برابر هستند با:

$$i_D = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_b - v_i - V_{TH})^2 \qquad (۳۸-۳)$$

$$v_O = V_{DD} - R_D i_D = V_{DD} - R_D\frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_b - v_i - V_{TH})^2. \qquad (۳۹-۳)$$

شکل ۳-۲۵ نحوه تغییرات ولتاژ خروجی را با تغییر ولتاژ ورودی برای شکل ۳-۲۴- ب نمایش می‌دهد. به ازای ولتاژهای v_i کوچک، تفاوت v_{GS} نسبتاً بزرگ بوده و ترانزیستور در ناحیه تریود قرار دارد. این وضعیت ادامه می‌یابد تا با افزایش v_i، $v_O > v_b - v_{TH}$ شده و ترانزیستور به ناحیه اشباع وارد شود. درنهایت با عبور v_i از $v_b - v_{TH}$، ولتاژ $v_{GS} < v_{TH}$ شده و ترانزیستور خاموش می‌شود. لذا $v_O = V_{DD}$ خواهد شد. با توجه به رابطه بدست آمده برای v_O می‌توان نوشت:

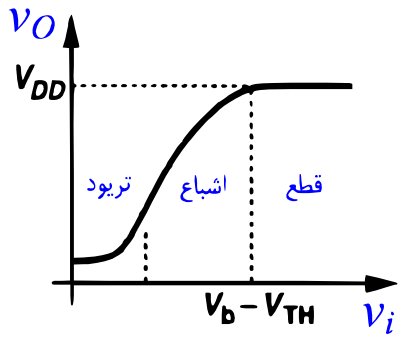
$$\frac{\partial v_O}{\partial v_i} = -\mu_n C_{ox}\frac{W}{L}(v_b - v_i - v_{TH})\left(-1 - \frac{\partial v_{TH}}{\partial v_i}\right)R_D. \qquad (۴۰-۳)$$



شکل۳-۲٤ نحوه پیاده‌سازی تقویت‌کننده گیت مشترک؛ (الف) با منبع جریان؛ (ب) بدون منبع جریان.

با توجه به رابطه ارائه‌شده در فصل قبلی بین v_{TH} و v_{SB}، بهره ولتاژ از رابطه زیر بدست می‌آید:

$$\frac{\partial v_{TH}}{\partial v_i} = \frac{\partial v_{TH}}{\partial v_{SB}} = \eta \Rightarrow \frac{\partial v_O}{\partial v_i} = g_m R_D (1+\eta). \qquad (۴۱-۳)$$



شکل۳-۲۵ رابطه ورودی- خروجی در مدار شکل ۳-۲۴- ب.

رابطه‌ای مشابه نیز از تحلیل سیگنال- کوچک ساختار قابل‌دستیابی است:

$$A_V = \frac{v_O}{v_i} = \frac{\text{مقاومت دیده شده در درین یا بار}}{\text{مقاومت دیده شده در سورس}} = \frac{R_D}{\frac{1}{g_m} \| \frac{1}{g_{mb}}} = (g_m + g_{mb}) R_D \qquad (۴۲-۳)$$

وجود اثر بدنه با اندازه تقریبی $g_{mb} \approx 0.2 g_m$، باعث افزایش بهره گیت مشترک می‌شود.

*) **نکته:** امپدانس ورودی ساختار گیت مشترک برابر با $1/(g_m + g_{mb})$ و نسبتاً پایین است. این امپدانس ورودی پایین البته در برخی کاربردها مانند تقویت‌کننده‌های جریانی می‌تواند سودمند باشد.

*) **نکته:** در مدارهای شکل ۳-۲۴، ولتاژ خروجی حداکثر به $v_{Omax} = v_{DD}$ و حداقل به مرز اشباع ترانزیستور یعنی $v_{Omin} = v_b - v_{TH}$ محدود می‌شود. بنابراین

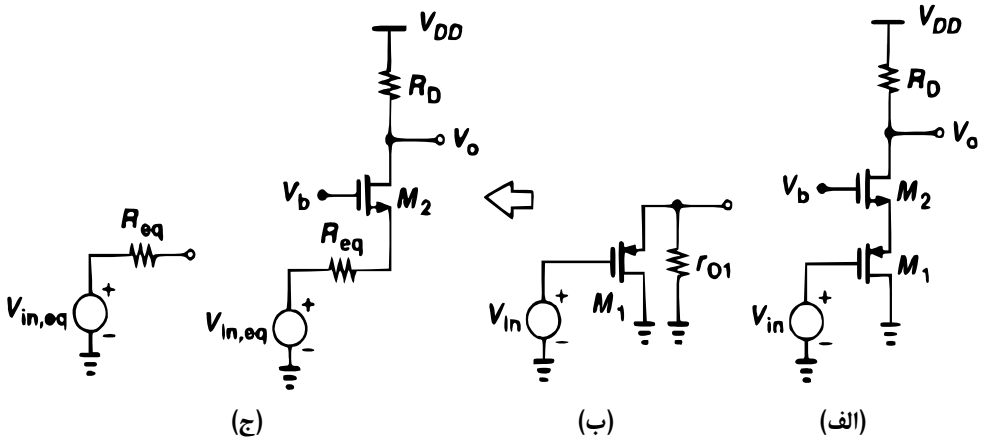
$$swing = v_{Omax} - v_{Omin} = v_{DD} - v_b + v_{TH}. \qquad (۴۳-۳)$$

*) خصوصیات تقویت‌کننده گیت مشترک:

بهره ولتاژ بالا - مقاومت ورودی کم - مقاومت خروجی متوسط به بالا.

مثال ۳-۶: بهره ولتاژ را در مدار شکل ۳-۲۶-الف محاسبه کنید.

می‌توان مدار معادل تونن از سمت سورس ترانزیستور M_2 را، همان‌گونه که در شکل ۳-۲۶-ب نشان داده‌شده است، رسم نمود و به مدار شکل ۳-۲۶-ج دست یافت. اندازه ولتاژ و مقاومت تونن حاصل عبارت‌اند از:



شکل۳-۲۶ تقویت‌کننده مثال ۳-۶.

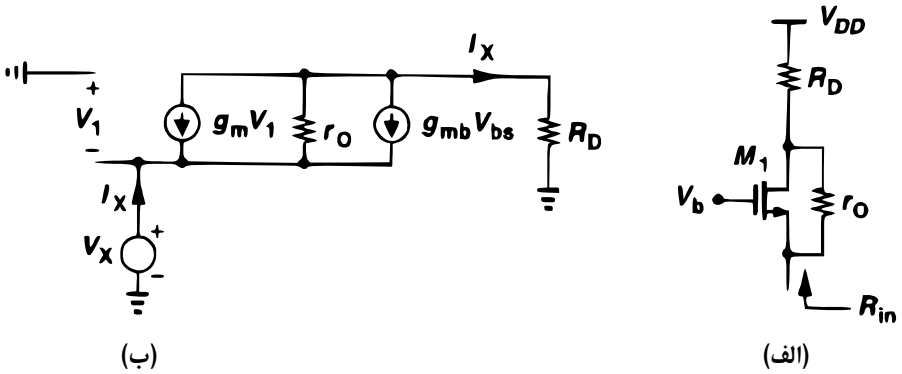
$$v_{in,eq}=\left(\frac{r_{O1}\|\frac{1}{g_{mb1}}}{r_{O1}\|\frac{1}{g_{mb1}}+\frac{1}{g_{m1}}}\right)v_{in},\qquad R_{eq}=r_{O1}\left\|\frac{1}{g_{m1}}\right\|\frac{1}{g_{mb1}}. \quad (۴۴-۳)$$

با توجه به مدار نهایی شکل ۳-۲۶-ج ، بهره ولتاژ عبارت است از:

$$\frac{v_O}{v_{in,eq}}=\frac{\text{مقاومت دیده شده در بار}}{\text{مقاومت دیده شده در سورس}}=\frac{R_D}{R_{eq}+\frac{1}{g_{m2}}\|\frac{1}{g_{mb2}}}\Longrightarrow$$

$$\frac{v_O}{v_{in}}=\left(\frac{r_{O1}\|\frac{1}{g_{mb1}}}{r_{O1}\|\frac{1}{g_{mb1}}+\frac{1}{g_{m1}}}\right)\frac{R_D}{R_{eq}+\frac{1}{g_{m2}}\|\frac{1}{g_{mb2}}}. \quad (۴۵-۳)$$

*) محاسبه مقاومت دیده‌شده از سورس (مقاومت ورودی) آرایش گیت‌مشترک در حضور r_O: می‌خواهیم در تقویت‌کننده گیت- مشترک شکل ۳-۲۷-الف، مقاومت دیده‌شده از سمت سورس را در حضور مقاومت خروجی r_O محاسبه کنیم. شکل ۳-۲۷-ب مدار معادل سیگنال-کوچک این ساختار را به تصویر می‌کشد. برای محاسبه مقاومت سورس باید نسبت V_x/I_x را بدست آورد. با توجه به قانون جریان می‌توان نوشت:



(ب) (الف)

شکل۳-۲۷ محاسبه مقاومت دیده‌شده از سورس در حضور r_O.

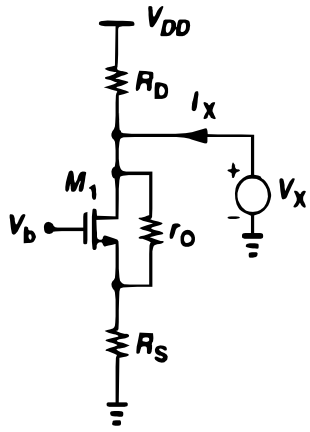
$$I_x = (g_m + g_{mb})V_x + \frac{V_x - R_D I_x}{r_O} \Longrightarrow \left(1 + \frac{R_D}{r_O}\right) I_x = (g_m + g_{mb})V_x$$

$$\Longrightarrow R_{in} = \frac{V_x}{I_x} = \frac{1}{g_m + g_{mb}}\left(1 + \frac{R_D}{r_O}\right). \quad (۴۶ - ۳)$$

نتیجه بالا مهم است و نشان می‌دهد که به ازای R_D بزرگ و یا r_O کوچک، مقاومت ورودی متفاوت از مقدار متعارف $1/g_m$ خواهد شد. به ازای $R_D = \infty$، مقاومت ورودی نامحدود می‌شود.

*) محاسبه مقاومت دیده‌شده از درین (مقاومت خروجی) آرایش گیت‌مشترک در حضور r_O:

قبلاً مقاومت دیده‌شده از درین به سمت پایین را برای یک ترانزیستور با مقاومت خروجی r_O محاسبه کردیم. مقاومت دیده‌شده از سمت بار آرایش گیت‌مشترک، حاصل موازی این مقاومت با مقاومت R_D است (شکل ۳-۲۸).

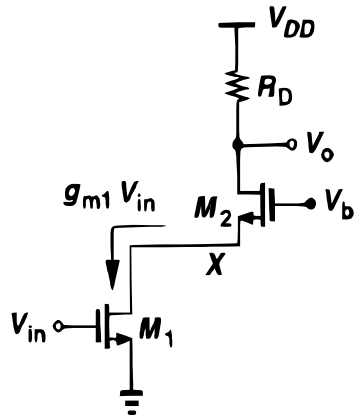


$$R_O = \frac{V_x}{I_x} = R_D || r_O[1 + (g_m + g_{mb})R_S] \quad (۴۷ - ۳)$$

شکل۳-۲۸ محاسبه مقاومت دیده‌شده از درین (مقاومت خروجی) آرایش گیت‌مشترک در حضور r_O.

د) تقویت‌کننده کسکود

سیگنال ورودی به تقویت‌کننده گیت مشترک می‌تواند از جنس جریان باشد این اتفاق در تقویت‌کننده کسکود شکل ۳-۲۹ می‌افتد و M_1 نقش مبدل ولتاژ ورودی به جریان را دارد. در این حالت M_2 نقش بافر جریان را بازی می‌کند. حداقل ولتاژ بایاس V_b به‌منظور در اشباع ماندن ترانزیستور M_1 در شکل ۳-۲۹ عبارت است از:



شکل۳-۲۹ تقویت‌کننده کسکود.

$$v_X > v_{in} - v_{TH1} \rightarrow M_1 \text{: اشباع} \Longrightarrow$$
$$v_b > v_{in} - v_{TH1} + v_{GS2}. \quad (۴۸-۳)$$

حداقل ولتاژ خروجی v_O به‌منظور در اشباع ماندن ترانزیستورهای M_2 و M_1 برابر است با:

$$v_O > v_b - v_{TH2} \rightarrow M_2 \text{: اشباع} \Longrightarrow v_{Omin} = v_b - v_{TH2}. \quad (۴۹-۳)$$

در بهترین حالت، باید v_b طوری تنظیم شود که M_1 در مرز ناحیه اشباع قرار گرفته و ولتاژ درین- سورس آن برابر با $v_{DS,sat}$ گردد. در این حالت حداقل ولتاژ v_O برابر با $2v_{DS,sat}$ خواهد بود. لذا در مقایسه با ساختار سورس- مشترک، سوییگ ولتاژ خروجی حداکثر به یک $v_{DS,sat}$ بیشتر محدود می‌شود.

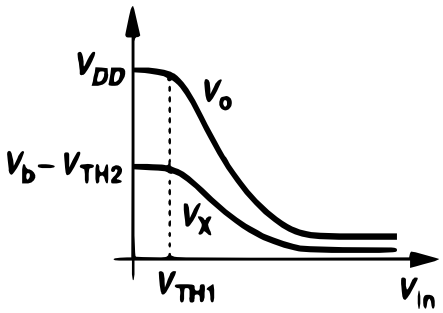
*) بررسی وضعیت نقطه کار تقویت‌کننده کسکود: به ازای $v_{in} < v_{TH1}$، ترانزیستور M_1 خاموش بوده و $v_O = v_{DD}$ و $v_X = v_b - v_{TH2}$ می‌شود. اما با عبور v_{in} از v_{TH1}، ترانزیستور M_1 وارد ناحیه اشباع می‌گردد و جریان I تقویت‌کننده متناسب با آن افزایش می‌یابد. با افزایش بیشتر v_{in} دو اتفاق ممکن است رخ دهد:

(الف) v_X به‌اندازه‌ای کم شود که M_1 به ناحیه تریود برود چراکه

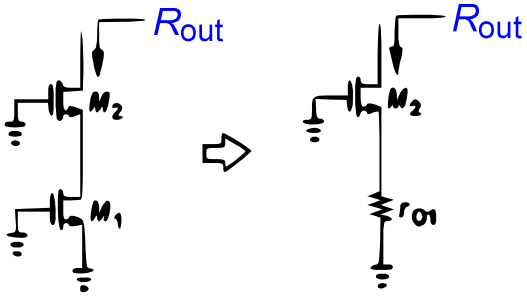
$$v_x = v_b - v_{gS} = v_b - v_{TH} - \sqrt{\frac{2I}{\beta}} \quad (۵۰-۳)$$

(ب) v_O آن‌قدر کم شود که M_2 را به ناحیه تریود منتقل کند.

شکل ۳-۳۰ رابطه ورودی- خروجی را با توجه به توضیحات بالا نمایش می‌دهد. مزیت اصلی ساختار کسکود افزایش مقاومت دیده‌شده از خروجی و به‌تبع آن افزایش بهره ولتاژ خواهد بود (شکل ۳-۳۱)؛ چراکه بهره با مقاومت خروجی در ارتباط است:



شکل۳-۳۰ رابطه ورودی-خروجی در شکل ۳-۲۹.



شکل۳-۳۱ افزایش مقاومت خروجی در ساختار کسکود.

$$A_V = G_m R_{out} \qquad (۵۱-۳)$$

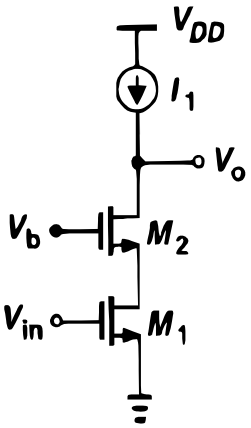
$$R_{out} = r_{O2}[1 + (g_{m2} + g_{mb2})r_{O1}] \approx g_{m2} r_{O2} r_{O1} \qquad (۵۲-۳)$$

بسته به میزان بهره ذاتی یعنی $g_{m2}r_{O2}$، ترانزیستور M_2 مقاومت خروجی r_{O1} را به میزان زیادی افزایش داده است. در عمل به‌جای دو ترانزیستور، می‌توان تعداد بیشتری ترانزیستور نیز بر روی یکدیگر قرار داد.

مثال ۳-۷: در ساختار شکل۳-۳۲ بهره ولتاژ را بدست آورید.

$$A_V = \frac{v_O}{v_{in}} = -\frac{\text{مقاومت دیده شده در بار}}{\text{مقاومت دیده شده در سورس}} = -g_{m1} \times r_{O2}(1 + g_{m2} r_{O1})$$

$$\simeq -g_{m1} \times (g_{m2} r_{O1} r_{O2}) \qquad (۵۳-۳)$$

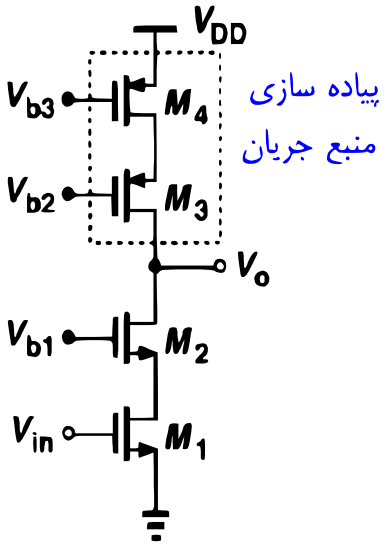


شکل۳-۳۲ تقویت‌کننده کسکود با بار منبع جریان ایده‌آل.

شکل ۳-۳۳ نحوه پیاده‌سازی منبع جریان بالا را به تصویر می‌کشد. مشابه با قسمت پایین، باز هم از یک ساختار کسکود به‌منظور پیاده‌سازی این قسمت استفاده شده است. از چنین ساختارهایی به‌طور گسترده در تقویت‌کننده‌های عملیاتی و به‌منظور افزایش بهره استفاده می‌شود. درمجموع به دلیل موازی بودن دو مقاومت بزرگ با اندازه بدست آمده در مثال شکل ۳-۳۲ بهره کلی برابر است با:

$$A_V = -g_{m1}[g_{m2}r_{O1}r_{O2} \| g_{m3}r_{O3}r_{O4}] \quad (۵۴-۳)$$

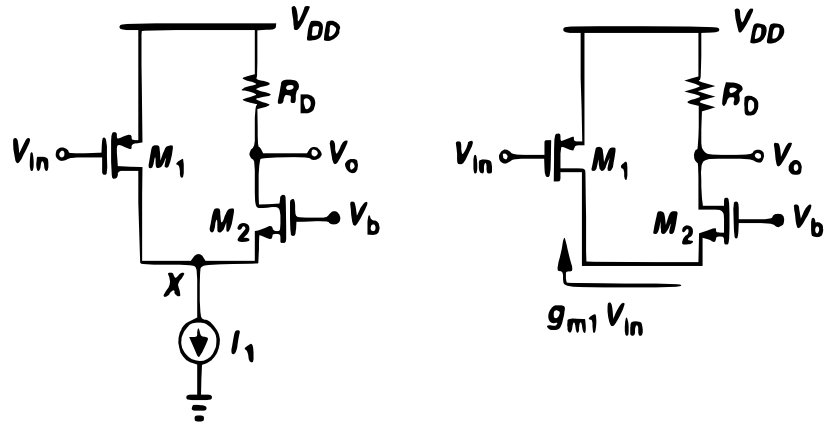
*) **نکته:** در افزایش مقاومت خروجی، کسکود کردن ترانزیستورها مؤثرتر از افزایش L تنها یک ترانزیستور است چراکه به‌عنوان‌مثال با چهار برابر کردن L ترانزیستور مقاومت خروجی تقریباً ۴ برابر می‌شود؛ اما با ثابت نگه‌داشتن L و کسکود کردن دو ترانزیستور، مقاومت خروجی $g_m r_O$ برابر می‌شود که می‌تواند به‌مراتب بالاتر باشد.



شکل۳-۳۳ تقویت‌کننده کسکود با بار فعال.

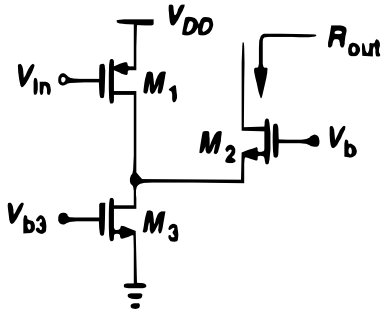
ه) تقویت‌کننده کسکود تاشده (Folded-Cascode)

در تقویت‌کننده‌کسکود معمولی شکل ۳-۲۹، ترانزیستورها از یک نوع بودند. در ساختار کسکود تاشده (شکل ۳-۳۴-الف) دو ترانزیستور می‌توانند از انواع مختلف باشند. در مدار عملی از منبع جریان I_1 به‌منظور بایاس (تغذیه) کردن دو ترانزیستور استفاده می‌شود (شکل ۳-۳۴-ب). مزیت مهم این تقویت‌کننده در آن است که می‌توان مقدار dc ولتاژ ورودی را تا حد صفر کاهش داد. مزیت دیگر مستقل شدن نقطه کار و جریان دو ترانزیستور M_2 و M_1 از یکدیگر است. لذا می‌توان آنها را راحت‌تر بایاس نمود. از مشکلات تقویت‌کننده کسکود تاشده جریان مصرف بالاتر نسبت به کسکود معمولی است چراکه تعداد شاخه‌ها بیشتر شده‌اند.



شکل۳-۳٤ آرایش کسکود تاشده و نحوه انتقال جریان سیگنال کوچک ورودی به خروجی آن.

مثال ۳-۸: مقاومت خروجی در شکل ۳-۳۵ را بدست آورید.



شکل۳-۳۵ تقویت‌کننده مثال ۳-۸.

با توجه به موازی بودن r_{O1} و r_{O3} در سورس ترانزیستور M_2:

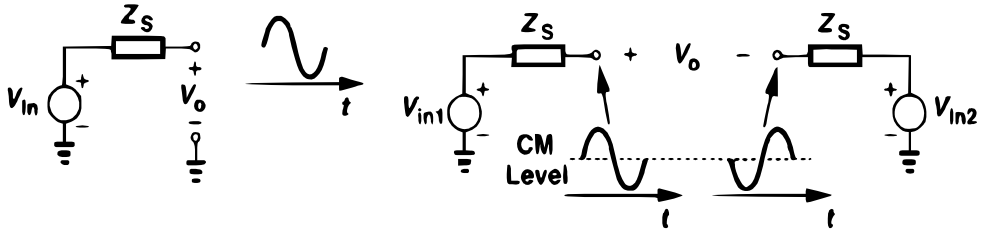
$$R_{out} = r_{O2}(1 + g_{m2}r_{O1}\|r_{O3})$$

$$(۵۵ - ۳)$$

در این حالت مقاومت بدست آمده کمی کوچک‌تر از مقاومت موجود در آرایش کسکود معمولی است.

فصل چهارم: تقویت‌کننده‌های تفاضلی

تاریخچه تقویت‌کننده‌های تفاضلی به زمان پیدایش لامپ‌های خلأ (ابتدای قرن بیستم میلادی) بازمی‌گردد. به دلیل مزایای گسترده آن، این ساختار هم‌اکنون به‌طور گسترده در مدارهای الکترونیکی به کار می‌رود. شکل۴-۱ نحوه پردازش سیگنال‌ها به‌صورت تمام تفاضلی و تک‌سر را با یکدیگر مقایسه می‌کند. ولتاژ تمام تفاضلی خروجی V_O در ساختار متقارن تمام تفاضلی، بین دو گره و با دامنه ولتاژ یکسان و با ۱۸۰ درجه اختلاف‌فاز حول یک ولتاژ مشترک با عنوان CM در نظر گرفته می‌شود. در عمل، به‌منظور حفظ تقارن کامل باید امپدانس دیده‌شده از ورودی تا دو گره خروجی (Z_S) نیز کاملاً یکسان باشد.

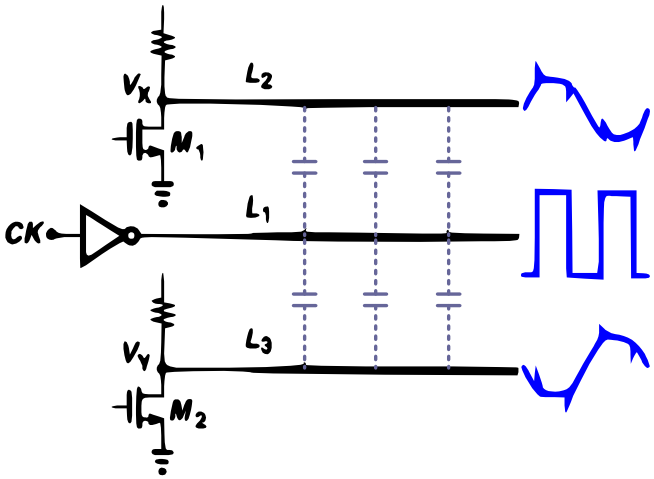


شکل٤-۱ مقایسه نحوه پردازش سیگنال‌ها به‌صورت تمام تفاضلی و تک‌سر.

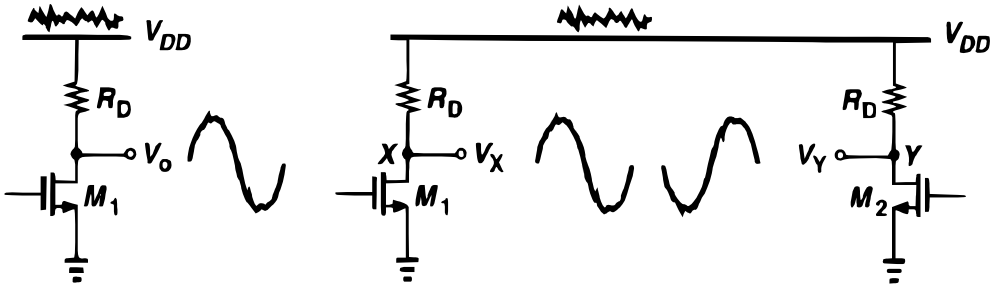
۴-۱) مزیت‌های انتقال سیگنال به‌صورت تمام تفاضلی

۱- ایمنی بالا به نویز

باوجودآنکه هرکدام از سیگنال‌ها به‌تنهایی نویزپذیری بالایی از یک منبع نویز مشخص دارند، اختلاف دو خروجی تقویت‌کننده تفاضلی همچنان بدون نویز باقی می‌ماند. لذا ساختار تمام تفاضلی تأثیری از نویز حالت مشترک نمی‌پذیرد. فرض کنید که سیگنال ساعت عبوری از خط L_1 در ساختار شکل ۴-۲، به‌صورت مشترک به همه قسمت‌ها منتقل شود. اگر تفاضل سیگنال‌های خطوط L_2 و L_3 را در نظر بگیریم، سیگنال خروجی تقویت‌کننده دست‌نخورده باقی می‌ماند. دقیقاً به همین دلیل است که در تقویت‌کننده‌های عملیاتی، خروجی تأثیر کمی از نویز مدمشترک موجود در منبع تغذیه (v_{DD}) می‌پذیرد.



شکل٤-۲ عدم حساسیت به نویز حالت مشترک در انتقال به‌صورت تفاضلی سیگنال.



شکل٤-۳ عدم تأثیرپذیری خروجی تقویت‌کننده‌های عملیاتی از نویز منبع تغذیه.

۲- افزایش حد بالای تغییرات $(swing)$ ولتاژ خروجی

استفاده از ساختار تمام تفاضلی، حد بالای تغییرات ولتاژ خروجی تقویت‌کننده‌ها را دو برابر می‌کند.در ساختار شکل ۴-۳، برای هر خروجی تک سر ولتاژ از بالا به V_{DD} و از پایین به $V_{DS,sat}$ محدود می‌شود. لذا برای حد بالای تغییرات خروجی تمام‌تفاضلی $(swing_{FD})$ خواهیم داشت:

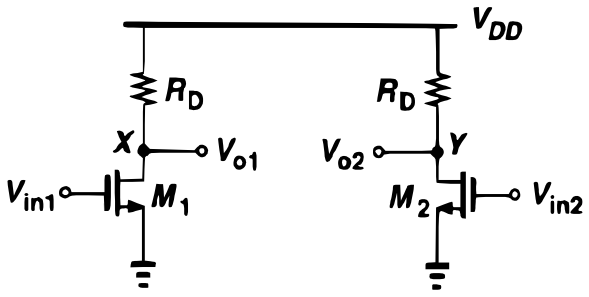
$$swing_1 = V_{DD} - V_{DS,sat} \rightarrow swing_{FD} = 2swing_1 = v_x - v_y. \qquad (۱-۴)$$

۳- بایاس آسان‌تر و خطی بودن بیشتر

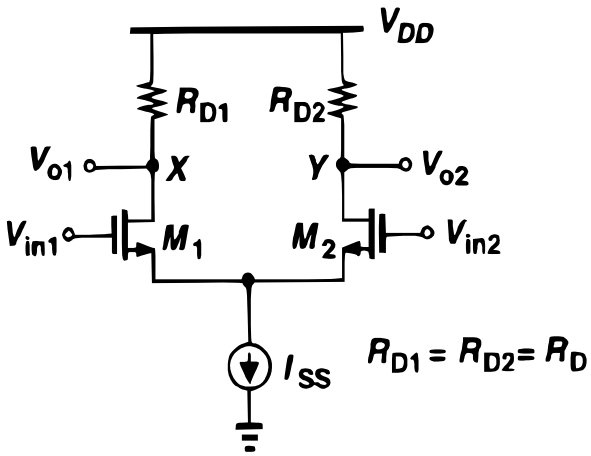
ممکن است چنین تصور شود که مدار تمام تفاضلی سطح و توان مصرفی بیشتری را نسبت به مدار تک‌سر اشغال می‌کند. اما اگر قابلیت‌های این ساختار نسبت به حالت تک‌سر در نظر گرفته شود مشخص می‌شود که این ساختار از کارآمدی بالاتری ازنقطه‌نظرهای سطح اشغالی و توان مصرفی برخوردار است. به‌عنوان‌مثال، اثرات غیر ایده‌آل در حالت تمام تفاضلی به‌اندازه‌ای تضعیف می‌شوند که برای دستیابی به آن در حالت تک سر به سطح بسیار بیشتری نیاز است.

۴-۲) زوج تفاضلی ساده

شکل ۴-۴ آرایش یک تقویت‌کننده تمام‌تفاضلی ساده را نمایش می‌دهد. در این آرایش اگر ولتاژ حالت مشترک دو سیگنال ورودی V_{in1} و V_{in2} به‌درستی تنظیم نشود ممکن است ولتاژ مدمشترک خروجی‌های V_{O1} و V_{O2} بسیار بالا و نزدیک به V_{DD} و یا بسیار پایین و نزدیک به $V_{DS,sat}$ گردد. لذا در موقع نوسان خروجی، دو خروجی خیلی زود از بالا یا پایین بریده می‌شوند. پس این ساختار به سیگنال حالت مشترک یا CM ورودی بسیار حساس است. برای کاهش حساسیت مدار شکل ۴-۴، از یک منبع جریان I_{SS} در سورس دو ترانزیستور همانند شکل ۴-۵ استفاده می‌شود. با این کار، جریان هر ترانزیستور برابر $I_{SS}/2$ گردیده و می‌تواند به ترتیب حداکثر و حداقل تا I_{SS} و 0 تغییر کند. درنتیجه برخلاف ساختار قبل، خروجی از تغییرات CM ورودی تأثیر نمی‌پذیرند و به دلیل ثابت ماندن جریان دو ترانزیستور، ولتاژ CM خروجی ثابت می‌ماند.



شکل ٤-٤ آرایش یک تقویت‌کننده تمام‌تفاضلی.



شکل ٤-٥ استفاده از یک منبع جریان I_{SS} در سورس دو ترانزیستور به‌منظور غیر حساس نمودن خروجی به ورودی CM.

*) تحلیل تقویت‌کننده تمام تفاضلی شکل ۴-۵: ورودی تمام تفاضلی می‌تواند هر مقداری داشته باشد:

$$v_{in1} - v_{in2} \in [-\infty, +\infty]$$

در وضعیتی که $v_{in1} \ll v_{in2}$ است، ترانزیستور M_1 کامل خاموش شده و کل I_{SS} از M_2 می‌گذرد:

$$v_{in1} \ll v_{in2}:\ M_1: \text{OFF}, M_2: \text{ON}$$

در این حالت:

$$I_{D2} = I_{SS} \Longrightarrow V_{O2} = V_{DD} - R_D I_{SS}\ ,\ V_{O1} = V_{DD}. \qquad (۲-۴)$$

به‌تدریج با افزایش v_{in1} نسبت به v_{in2}، ترانزیستور M_1 روشن شده و V_{O1} و V_{O2} با هم برابر می‌شوند. در حالتی که $v_{in1} \gg v_{in2}$ است، ترانزیستور M_2 به‌طور کامل خاموش شده و کل جریان I_{SS} از M_1 می‌گذرد:

$$v_{in1} \gg v_{in2}:\ M_1: \text{ON}, M_2: \text{OFF}$$

لذا:

$$V_{O1} = V_{DD} - R_{D1} I_{SS}\ ,\ V_{O2} = V_{DD} \qquad (۳-۴)$$

در حالت تعادل و به ازای $v_{in1} \approx v_{in2}$ خواهیم داشت:

$v_{in1} \approx v_{in2}$: M_1: ON, M_2: ON

$$I_{D1} \approx I_{D2} \approx \frac{I_{SS}}{2} \Longrightarrow v_{O1} \approx v_{O2} \approx V_{DD} - R_D \frac{I_{SS}}{2} \qquad (۴-۴)$$

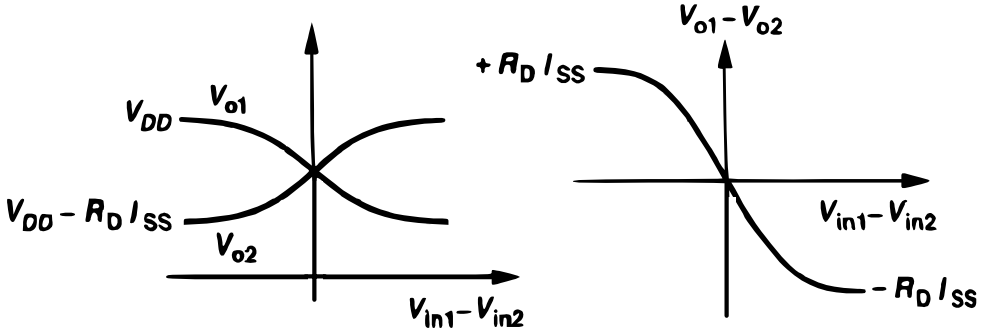
شکل ۴-۶ وضعیت ولتاژهای خروجی تک سر و تمام تفاضلی را با افزایش ولتاژهای ورودی از مقدارهای بسیار کم تا بسیار زیاد نمایش می‌دهد. از این شکل‌ها معلوم می‌شود که:

۱- حداکثر و حداقل تغییرات v_{O1} و v_{O2} مستقل از ولتاژ CM ورودی است.

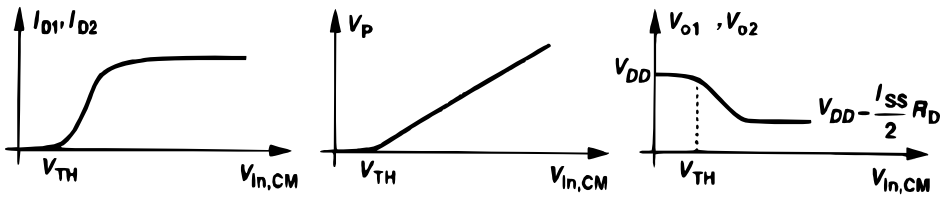
۲- حداکثر بهره به ازای $v_{in1} = v_{in2}$ بدست می‌آید چراکه شیب منحنی در اطراف صفر حداکثر است.

هرچند که در حالت تعادل، CM ورودی نقشی در تعیین CM خروجی ندارد، اما به‌منظور تغذیه صحیح ترانزیستورها، CM ورودی دارای یک حداقل مقدار مشخص است. با این کار ترانزیستورها روشن مانده و در ناحیه اشباع باقی می‌مانند (شکل ۴-۷).

$$V_{GS1} + V_{DS,sat3} < v_{in,CM} < min\left[V_{DD}, V_{DD} - \frac{R_D I_{SS}}{2} + V_{TH}\right]. \qquad (۵-۴)$$



شکل ٤-٦ وضعیت ولتاژهای خروجی تک سر و تمام تفاضلی با افزایش ولتاژهای ورودی از کم تا زیاد.



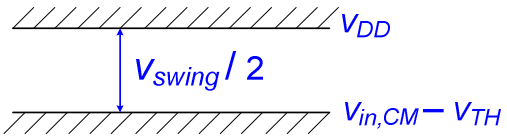
شکل٤-٧ تغییر مقدار متغیرهای مختلف با تغییر اندازه ولتاژ حالت مشترک ورودی.

با افزایش زیاد $v_{in,CM}$، به‌تدریج v_G به‌اندازه یک v_{TH} از ولتاژ درین $v_D = v_{DD} - R_D I_{SS}/2$ بیشتر می‌شود و دو ترانزیستور به ناحیه تریود وارد می‌شوند.

*) **نکته:** در ساختار شکل ۴-۵، حد بالای ولتاژ خروجی از پایین به $v_{in,CM} - v_{TH}$ محدود می‌شود اما می‌تواند تا v_{DD} بالا برود (شکل ۴-۸). لذا حد بالای نوسان در حالت تمام تفاضلی عبارت است از:

$$v_{Swing} = 2\left(v_{DD} - v_{in,CM} + v_{TH}\right). \qquad (۶-۴)$$

برای همین بهتر است که $v_{in,CM}$ را تا حد امکان کوچک انتخاب کنیم. اما با توجه به‌شرط روشن ماندن ترانزیستورهای ورودی ممکن است خیلی امکان‌پذیر نباشد.



شکل ٤-۸: نحوه محدود شدن هر یک از ولتاژهای خروجی تک سر به مقادیر حداکثر و حداقل.

*) تحلیل سیگنال بزرگ تقویت‌کننده شکل ۴-۵: برای این تقویت‌کننده می‌توان نوشت:

$$i_{D1} + i_{D2} = I_{SS} \qquad (۷-۴)$$

$$v_{in1} - v_{in2} = v_{GS1} - v_{GS2} = \sqrt{\frac{2i_{D1}}{\mu_n C_{ox}\frac{W}{L}}} - \sqrt{\frac{2i_{D2}}{\mu_n C_{ox}\frac{W}{L}}}. \qquad (۸-۴)$$

با در نظر گرفتن این محدودیت‌ها و با در ترکیب دو رابطه بالا، اختلاف بین دو جریان ($i_{D1} - i_{D2}$) از رابطه زیر بدست می‌آید.

$$i_{D1} - i_{D2} = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(v_{in1} - v_{in2})\left[\sqrt{\frac{4I_{SS}}{\mu_n C_{ox}\frac{W}{L}} - (v_{in1} - v_{in2})^2}\right] \qquad (۹-۴)$$

از روی این رابطه می‌توانیم هدایت انتقالی تفاضلی ساختار یا $G_m = \partial\Delta i_D/\partial\Delta v_{in}$ را بدست آوریم. همان‌گونه که دیده می‌شود $\Delta i_D = i_{D1} - i_{D2}$ تابع فردی از $v_{in1} - v_{in2}$ است. به ازای $v_{in1} \approx v_{in2}$ هر دو ترانزیستور در ناحیه اشباع بوده و بهره (شیب نمودار ۴-۶) حداکثر خواهد بود:

$$v_{in1} \simeq v_{in2} \Longrightarrow i_{D1} - i_{D2} \simeq \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(v_{in1} - v_{in2})\sqrt{\frac{4I_{SS}}{\mu_n C_{ox}\frac{W}{L}}}$$

$$\Longrightarrow G_m = \frac{i_{D1} - i_{D2}}{v_{in1} - v_{in2}} = \sqrt{\mu_n C_{ox}\frac{W}{L}I_{SS}}. \quad (۱۰ - ۴)$$

شکل۴-۹ نحوه تغییر هدایت انتقالی تفاضلی و جریان درین ترانزیستورها را با تغییر اختلاف دو ورودی و بر اساس رابطه بالا نمایش می‌دهد. با توجه به رابطه $i_{D1} - i_{D2}$، مرز صفر شدن G_m این ساختار (ΔV_{in1}) برابر است با

$$\Delta V_{in1} = \sqrt{\frac{2I_{SS}}{\mu_n C_{ox}\frac{W}{L}}} \quad (۱۱ - ۴)$$

در حالت تعادل، ولتاژ اشباع دو ترانزیستور برابر بوده و از رابطه زیر بدست می‌آید:

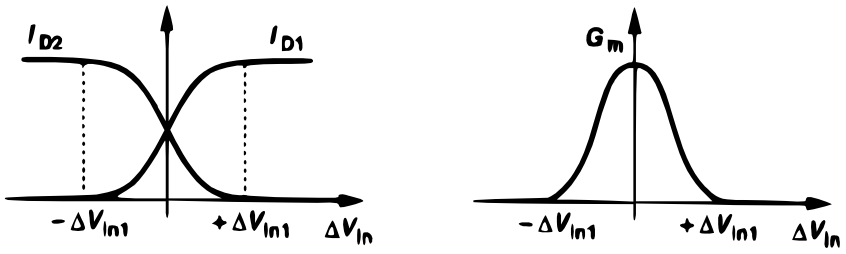
$$v_{DS,sat1,2} = \sqrt{\frac{2I_{D1,2}}{\mu_n C_{ox}\frac{W}{L}}} = \sqrt{\frac{I_{SS}}{\beta}} = \frac{\Delta v_{in1}}{\sqrt{2}} \quad (۱۲ - ۴)$$

لذا برای افزایش Δv_{in1} می‌توان $v_{DS,sat}$ دو ترانزیستور را افزایش داد. برای این کار باید:

$$\frac{W}{L}\downarrow, I_{SS}\uparrow$$

بهره ولتاژ از حاصل‌ضرب هدایت انتقالی تفاضلی در مقاومت بار (درین) بدست می‌آید:

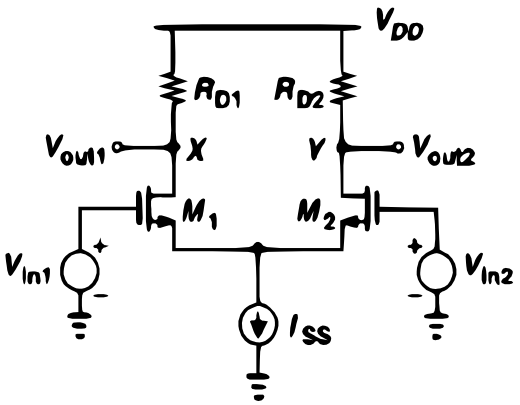
$$A_V = \frac{\partial \Delta v_O}{\partial \Delta v_{in}} = \frac{\partial \Delta i_D}{\partial \Delta v_{in}}.\frac{\partial \Delta v_O}{\partial \Delta i_D} = G_m R_D = R_D\sqrt{\mu_n C_{ox}\frac{W}{L}I_{SS}}. \quad (۱۳ - ۴)$$



شکل٤-۹ نحوه تغییر هدایت انتقالی تفاضلی و جریان درین ترانزیستورها با تغییر اختلاف دو ورودی.

*) تحلیل سیگنال- کوچک تقویت‌کننده تفاضلی شکل ۴-۵:

تقویت‌کننده شکل ۴-۱۰ را در نظر بگیرید. برای تحلیل این ساختار و بدست آوردن رابطه بهره سیگنال-کوچک $A_V = \Delta v_O / \Delta v_{in}$ دو روش وجود دارد:



شکل٤-۱۰ تحلیل سیگنال-کوچک تقویت‌کننده تفاضلی.

۱- روش اول: تحریک مدار با استفاده از دو منبع سیگنال مستقل از هم: در این حالت باید اثر v_{in1} را بر روی v_{O1} و v_{O2} به‌طور جداگانه مطالعه کنیم. سپس همین کار را برای v_{in2} انجام دهیم و درنهایت از قاعده جمع آثار استفاده نماییم.

این روش به‌خصوص برای حالتی که $R_D \neq R_{D1} \neq R_{D2}$ بوده و یا دو ترانزیستور یکسان نباشند مناسب است. با فرض یکسان بودن مقاومت‌ها فرض کنید که فقط v_{in1} در مدار موجود باشد. مقاومت دیده‌شده در سورس ترانزیستور M_2 برابر با $1/g_{m2}$ خواهد بود. لذا خواهیم داشت:

$$\frac{v_{O1}}{v_{in1}} = -\frac{\text{مقاومت دیده شده در درین یا بار}}{\text{مقاومت دیده شده در سورس}} = \frac{-R_D}{\frac{1}{g_{m1}} + \frac{1}{g_{m2}}}. \qquad (۱۴-۴)$$

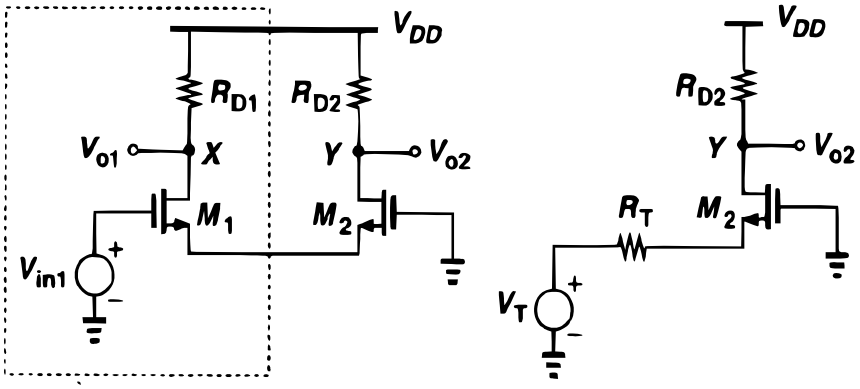
برای بدست آوردن اثر v_{in1} بر روی v_{O2}، معادل تونن منبع v_{in1} در سورس ترانزیستور M_2 را همانند شکل ۴-۱۱ بدست می‌آوریم:

$$V_T \simeq v_{in1}, \;\; R_T = 1/g_{m1}. \qquad (۱۵-۴)$$

با این کار، ساختار تبدیل به یک تقویت‌کننده گیت- مشترک می‌شود (شکل ۴-۱۱). لذا می‌توان نوشت:

$$\frac{v_{O2}}{v_{in1}} \simeq \frac{v_{O2}}{v_T} = \frac{\text{مقاومت دیده شده در درین یا بار}}{\text{مقاومت دیده شده در سورس}} = \frac{R_D}{\frac{1}{g_{m1}} + \frac{1}{g_{m2}}}. \qquad (۱۶-۴)$$

هم‌اکنون می‌توان اثر v_{in1} را بر روی $v_{O1} - v_{O2}$ بدست آورد:



شکل٤-١١ برای بدست آوردن اثر v_{in1} بر روی v_{O2} با معادل‌سازی.

$$v_{O1} - v_{O2} \xrightarrow{v_{in1}} = \frac{-2R_D}{\frac{1}{g_{m1}} + \frac{1}{g_{m2}}} v_{in1}. \qquad (۱۷ - ۴)$$

به ازای $g_m = g_{m1} = g_{m2}$ می‌توان نوشت:

$$v_{O1} - v_{O2} \xrightarrow{v_{in1}} = -g_m R_D v_{in1}. \qquad (۱۸ - ۴)$$

به همین ترتیب و با توجه به تقارن:

$$v_{O1} - v_{O2} \xrightarrow{v_{in2}} = g_m R_D v_{in2}. \qquad (۱۹ - ۴)$$

پس طبق قاعده جمع آثار بهره ولتاژ تمام تفاضلی از رابطه زیر بدست می‌آید:

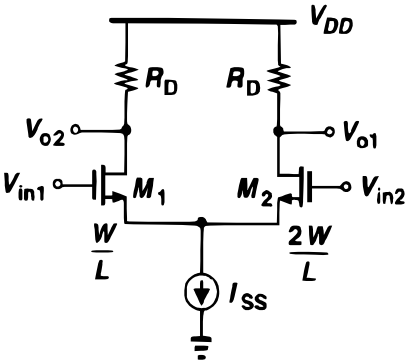
$$\frac{v_{O1} - v_{O2}}{v_{in1} - v_{in2}} = \frac{\Delta v_O}{\Delta v_{in}} = \frac{-2R_D}{\frac{1}{g_{m1}} + \frac{1}{g_{m2}}} = -g_m R_D. \qquad (۲۰ - ۴)$$

مثال ۴-۱: بهره ولتاژ تفاضلی را در مدار شکل ۴-۱۲ بدست آورید.

با توجه به متفاوت بودن ترانزیستورها جریان به‌تساوی بین آنها تقسیم نمی‌شود. بـه ازای $V_{in1} = V_{in2}$ و $V_{GS1} = V_{GS2}$:

$$I_{D1} = \frac{1}{3} I_{SS}, \qquad I_{D2} = \frac{2}{3} I_{SS}. \qquad (۲۱ - ۴)$$

لذا هدایت انتقالی ترانزیستورها متفاوت از یکدیگر و به‌صورت $g_{m2} = 2g_{m1}$ خواهد بود. هم‌اکنون



شکل٤-۱۲ تقویت‌کننده تفاضلی مثال ٤-۱.

می‌توان رابطه بهره مدار شکل ۴-۱۲ را برحسب پارامترهای مداری بدست آورد. در مدارهای تمام‌تفاضلی بهره تمام تفاضلی همواره برابر با مجموع مقاومت‌های موجود در درین تقسیم بر مجموع مقاومت موجود در سورس است:

$$|A_V| = \frac{2R_D}{\frac{1}{g_{m1}} + \frac{1}{g_{m2}}} \qquad (۲۲-۴)$$

۲- روش دوم: استفاده از روش نیم مدار و زمین فرض نمودن گره مشترک سورس: در مثال بالا اگر ابعاد دو ترانزیستور برابر بودند با استفاده از روش نیم مدار و زمین فرض کردن گره مشترک، بهره تفاضلی همانند یک تقویت‌کننده سورس- مشترک ساده و از رابطه زیر بدست می‌آمد:

$$A_V = -g_m(R_D \parallel r_{O1}). \qquad (۲۳-۴)$$

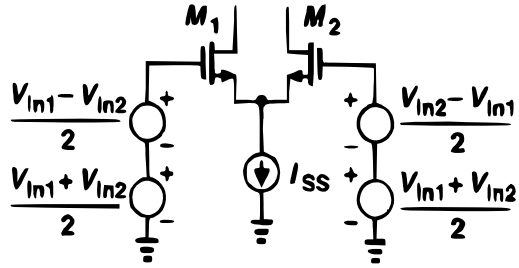
تاکنون تنها بهره حالت تفاضلی (DM) را در مثال‌های این فصل بدست آوردیم. ورودی اعمال‌شده به هر تقویت‌کننده تفاضلی را می‌توان به‌صورت مجموع یک سیگنال تفاضلی با یک سیگنال حالت مشترک (CM) در نظر گرفت (شکل ۴-۱۳):

$$\begin{cases} v_d = v_{in1} - v_{in2} \\ v_{CM} = \frac{1}{2}(v_{in1} + v_{in2}) \end{cases} \qquad (۲۴-۴)$$

$$v_{in1} = \frac{1}{2}v_d + \frac{1}{2}v_{CM}, \qquad v_{in2} = -\frac{1}{2}v_d + \frac{1}{2}v_{CM}. \qquad (۲۵-۴)$$

لذا طبق خاصیت جمع آثار می‌توانیم یک‌بار اثر v_d و بار دیگر اثر v_{CM} را در ورودی در نظر بگیریم.

*) تحلیل حالت مشترک: یکی از مزایای مهم تقویت‌کننده‌های تفاضلی تضعیف سیگنال‌های حالت مشترک است. در تقویت‌کننده شکل ۴-۱۰ فرض کنید که مدار متقارن باشد اما منبع جریان مقاومت خروجی محدود و برابر با R_{SS} داشته باشد (شکل ۴-۱۳). در این شرایط مقاومت R_{SS} را می‌توان حاصل

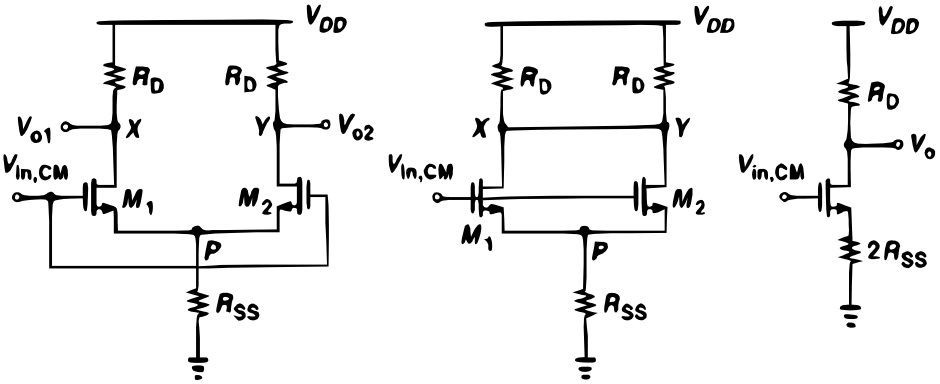


شکل٤-۱۳ ورودی‌های یک تقویت‌کننده تفاضلی در حالت کلی.

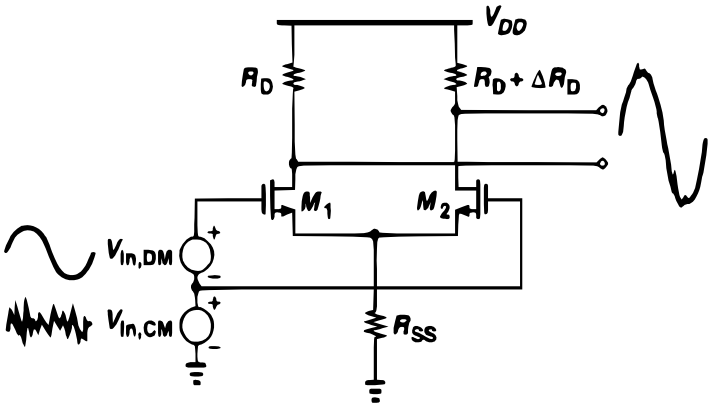
موازی دو مقاومت $2R_{SS}$ در نظر گرفت و مدار را به‌صورت کاملاً متقارن فرض کرد. با توجه به تقارن کامل ساختار، هم‌اکنون می‌توان دو سمت راست و چپ را از یکدیگر جدا نمود و هر طرف را به‌صورت نشان داده‌شده در سمت راست شکل ۴-۱۴ در نظر گرفت. بهره ولتاژ مدار حاصل برابر است با:

$$A_{CM} = \frac{v_O}{v_{CM}} = -\frac{\text{مقاومت دیده شده در درین یا بار}}{\text{مقاومت دیده شده در سورس}} = \frac{-R_D}{2R_{SS} + \frac{1}{g_m}}. \qquad (۲۶-۴)$$

سیگنال CM منتقل‌شده به خروجی در این حالت هر دو ورودی را با هم تغییر داده و باعث تغییر نقطه کار و محدود کردن نرخ تغییرات ولتاژ خروجی در حالت تفاضلی می‌شود $(v_{O,DM} = v_{O1} - v_{O2})$. در یک مدار کاملاً متقارن، این موضوع ممکن است کمی اعوجاج بر روی سیگنال DM ایجاد کند هرچند که سیگنال‌های CM و DM در هم نفوذ نمی‌کنند. در وضعیتی که مدار کاملاً متقارن نباشد، مشکل



شکل٤-۱٤ تحلیل مدار تمام تفاضلی به ورودی سیگنال حالت مشترک.



شکل٤-١٥ تقویت‌کننده تفاضلی با دو مقاومت بار متفاوت.

بزرگ‌تر است و تغییر در CM ورودی باعث تغییر در DM خروجی می‌شود. در مدار شکل ۴-۱۵ فرض کنید که مقاومت‌ها متفاوت از یکدیگر باشند. با توجه به تقارن مدار در قسمت پایین، گره مشترک همچنان زمین است و بهره ولتاژ حالت مشترک از نسبت مقاومت بار موجود در هر خروجی به مقاومت موجود در سورس بدست می‌آید:

$$\frac{v_{O1}}{v_{in,CM}} = \frac{-R_D}{2R_{SS} + \frac{1}{g_m}}, \qquad \frac{v_{O2}}{v_{in,CM}} = \frac{-(R_D + \Delta R_D)}{2R_{SS} + \frac{1}{g_m}}. \qquad (۲۷ - ۴)$$

روابط بالا نشان می‌دهند که تغییرات CM ورودی در یک مدار نامتقارن باعث به وجود آمدن تغییرات DM در ولتاژ خروجی می‌شود ($v_{O,DM} = v_{O1} - v_{O2}$). در حالت کلی، اثر CM ورودی به دو شکل در مدار تمام تفاضلی ظاهر می‌شود:

الف- محدود بودن مقاومت خروجی منبع جریان؛ ب- نامتقارن بودن مدار.

مورد اول خود را به‌صورت تغییر در سیگنال حالت مشترک دو خروجی نشان می‌دهد درحالی‌که مورد دوم باعث تبدیل سیگنال CM به DM می‌گردد. پس مورد دوم (ناشی از نامتقارن بودن مدار) جدی‌تر است. در خصوص تبدیل CM به DM، دو نکته مهم وجود دارند:

۱- با افزایش فرکانس سیگنال CM ورودی، خازن موازی با مقاومت R_{SS} منبع جریان امپدانس کوچک‌تری خواهد داشت و تغییرات منبع جریان I_{SS} بیشتر می‌شود. درنتیجه نقطه کار ترانزیستورهای

ورودی و g_m آنها تغییرات بیشتری خواهد داشت. لذا تغییرات بهره حالت مشترک و تبدیل سیگنال CM به DM در فرکانس‌های بالاتر جدی‌تر خواهد بود.

۲- نامتقارن بودن مدار، هم از مقاومت‌های بار و هم از ترانزیستورهای ورودی نشات می‌گیرد که مورد دوم جدی‌تر است.

فرض کنیم که مقاومت‌ها دقیقاً یکسان بوده و عدم تقارن موجود در مدار تنها ناشی از ترانزیستورهای ورودی باشد (شکل ۴-۱۶-الف). با توجه به برابر بودن دو ورودی، می‌توان آنها را به یکدیگر و به ولتاژ ورودی $v_{in,CM}$ متصل نمود (شکل ۴-۱۶-ب). برحسب سیگنال حالت مشترک ورودی‌ها $v_{in,CM}$ و ولتاژ سورس ترانزیستورها v_p، جریان سیگنال-کوچک درین ترانزیستورهای ورودی به شکل زیر است:

$$i_{d1} = g_{m1}\big(v_{in,CM} - v_p\big),\ \ i_{d2} = g_{m2}\big(v_{in,CM} - v_p\big). \qquad (۲۸-۴)$$

از طرفی:

$$v_p = R_{SS}(i_{d1} + i_{d2}) = (g_{m1} + g_{m2})\big(v_{in,CM} - v_p\big)R_{SS}. \qquad (۲۹-۴)$$

لذا خواهیم داشت:

$$v_p = \frac{(g_{m1} + g_{m2})R_{SS}}{1 + (g_{m1} + g_{m2})R_{SS}}\, v_{in,CM}. \qquad (۳۰-۴)$$

پس خروجی‌ها برابر هستند با:

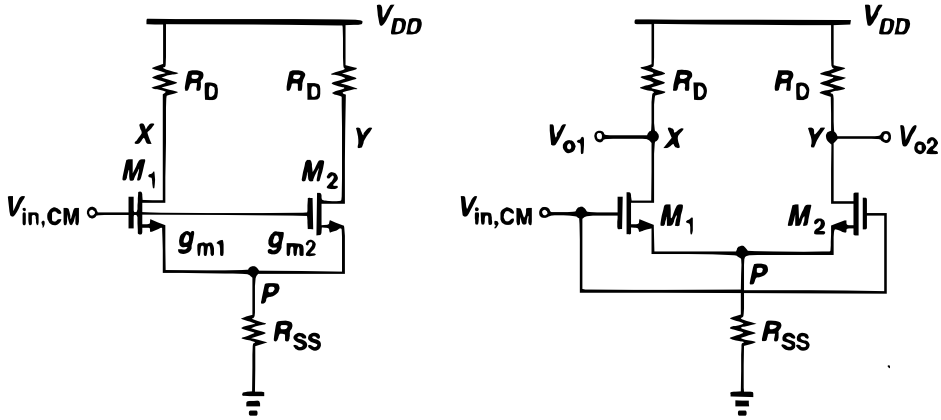
$$v_{O1} = -R_D i_{d1} = -g_{m1}\big(v_{in,CM} - v_p\big)R_D = \frac{-g_{m1}}{(g_{m1} + g_{m2})R_{SS} + 1} R_D v_{in,CM}, \qquad (۳۱-۴)$$

$$v_{O2} = -R_D i_{d2} = -g_{m2}\big(v_{in,CM} - v_p\big)R_D = \frac{-g_{m2}}{(g_{m1} + g_{m2})R_{SS} + 1} R_D v_{in,CM}. \qquad (۳۲-۴)$$

بنابراین، بهره تبدیل سیگنال حالت- مشترک به سیگنال تفاضلی برابر است با:

$$v_{O1} - v_{O2} = \Delta v_{O,DM} = \frac{-(g_{m1} - g_{m2})}{(g_{m1} + g_{m2})R_{SS} + 1} R_D v_{in,CM}$$

$$\Longrightarrow A_{CM-DM} = -\frac{R_D \Delta g_m}{(g_{m1} + g_{m2})R_{SS} + 1}. \qquad (۳۳-۴)$$



شکل٤-١٦ عدم تقارن ناشی از ترانزیستورهای ورودی.

اگر در فرکانس‌های بالا منبع جریان را تنها با یک خازن C_p (بدون مقاومت R_{SS}) مدل‌سازی کنیم برای محاسبه A_{CM-DM} باید در رابطه بالا مقاومت R_{SS} را با امپدانس خازن $1/C_p\omega$ جایگزین کنیم. با توجه به امپدانس نسبتاً پایین‌تر $1/C_p\omega$ در فرکانس‌های بالاتر، میزان تبدیل نویز و اعوجاج CM در DM در فرکانس‌های بالا بیشتر خواهد بود.

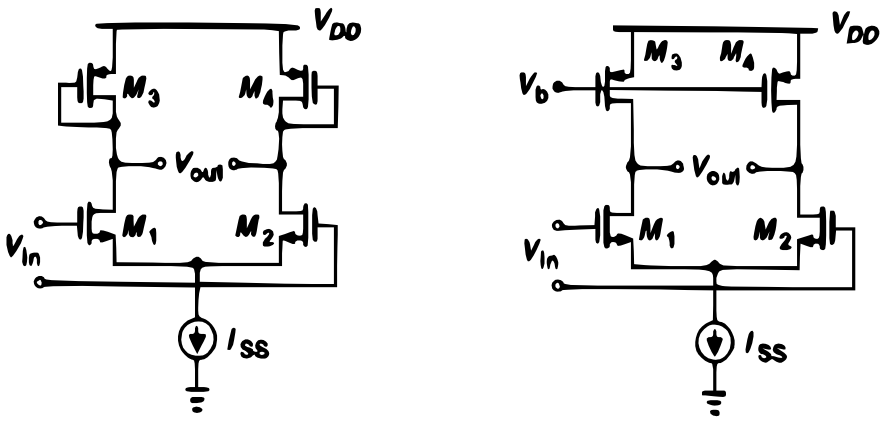
با توجه به اهمیت فوق‌العاده تبدیل سیگنال حالت مشترک به تفاضلی، تعریف دقیق پارامتر $CMRR$ یا نسبت حذف سیگنال حالت مشترک به‌صورت زیر است:

$$CMRR = \left|\frac{A_{DM}}{A_{CM-DM}}\right| = \frac{g_m R_D}{|A_{CM-DM}|} \qquad (۳۴-۴)$$

به کمک رابطه بالا می‌توان $CMRR$ را برای یک تقویت‌کننده تفاضلی محاسبه نمود.

۴-۳) زوج تفاضلی با بار فعال ماسفت

مقاومت‌های R_D در شکل ۴-۱۶را می‌توان با دو بار فعال جایگزین نمود. بارهای فعال می‌توانند ترانزیستورهایی در آرایش اتصال دیودی و یا با بایاس ثابت و به‌صورت منبع جریان باشند (شکل‌های ۴-۱۷-الف و ۴-۱۷- ب). با رسم نیم مدار تفاضلی در شکل ۴-۱۷- الف می‌توان نوشت:



(ب) (الف)

شکل٤-۱۷ آرایش زوج تفاضلی با بار فعال ماسفت.

$$A_V = -g_{mN}\left(r_{O,N} \parallel r_{O,P}\right). \qquad (۳۵-۴)$$

با رسم نیم مدار تفاضلی در حالت اتصال دیودی (شکل ۴-۱۷-ب)، بهره ولتاژ تفاضلی برابر است با:

$$A_V = -g_{mN}\left(\frac{1}{g_{mP}} \parallel r_{O,N} \parallel r_{O,P}\right) \simeq -\frac{g_{mN}}{g_{mP}} = -\sqrt{\frac{\mu_n(\frac{W}{L})_N}{\mu_p(\frac{W}{L})_P}}. \qquad (۳۶-۴)$$

لذا برای افزایش بهره در مدار با اتصال دیودی باید ابعاد ترانزیستورهای pMOS را کاهش داد:

$$\left(\frac{W}{L}\right)_P \downarrow \Longrightarrow A_V \uparrow, v_{DS,sat,P} \uparrow$$

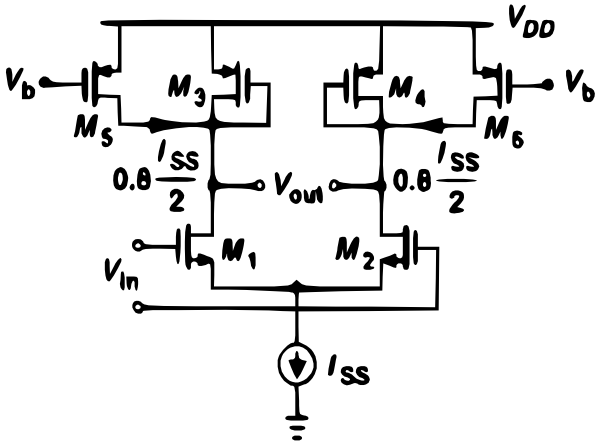
با افزایش ولتاژ اشباع ترانزیستورهای pMOS هم حد بالا نوسان ولتاژ خروجی $(Swing)$ و هم بازه حالت مشترک یا CM ورودی محدود می‌شود.

$$v_{Swing} = 2\left(v_{DD} - v_{DS,sat,p} - v_{DS,sat,N} - v_{DS,SS}\right). \qquad (۳۷-۴)$$

برای افزایش بهره بدون تغییر در $v_{DS,sat}$ باید با کاهش $(\frac{W}{L})_p$ و جریان این ترانزیستور را نیز به همان نسبت کاهش دهیم چرا که:

$$v_{DS,sat} = \sqrt{2I/\mu_p C_{OX}(W/L)}.$$

شکل ۴-۱۸ ایده کاهش جریان ترانزیستورهای pMOS را با موازی نمودن منبع جریان با آنها نمایش می‌دهد.



شکل٤-۱۸ ایده کاهش جریان ترانزیستورهای pMOS با موازی نمودن منبع جریان با آنها.

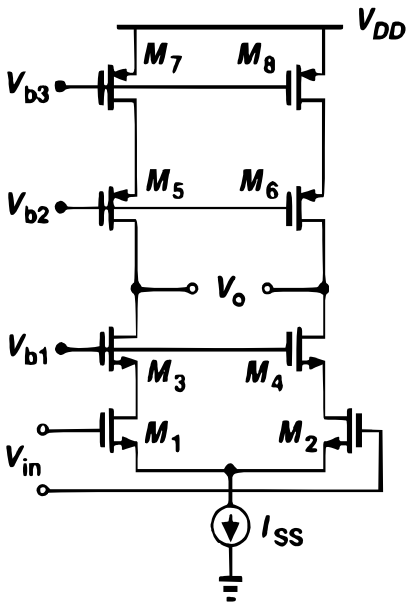
در مدار شکل ۴-۱۸ دو منبع جریان M_5 و M_6 با ترانزیستورهای در آرایش دیودی M_3 و M_4 موازی شده‌اند. بنابراین اگر مثلاً جریان منابع جریان $0.8\, I_{SS}/2$ باشد، به ازای یک $v_{DS,sat}$ ثابت برای ترانزیستورهای دیودی، جریان آنها 0.2 برابر شده است و به همان نسبت می‌توان ابعاد آنها را نیز 0.2 برابر نمود. درنتیجه g_m این ترانزیستورها 0.2 برابر می‌شود و می‌توان بهره آنها را پنج برابر نمود.

*) **نکته:** بهره ولتاژ تفاضلی در مدار شکل ۴-۱۹ برابر است با:

$$A_V = g_{m1}[g_{m3}r_{O3}r_{O1} \parallel g_{m5}r_{O5}r_{O7}]. \qquad (۳۸-۴)$$

همان‌طور که در فصل قبل دیدیم با کسکود کردن ترانزیستورها، بهره افزایش می‌یابد اما به همان نسبت $swing$ ولتاژ نیز کمتر می‌شود.

تقویت‌کننده‌هایی همانند شکل ۴-۱۹، ولتاژ حالت مشترک خروجی تعریف‌شده از قبل ندارند و باید این ولتاژ با اعمال فیدبکی موسوم به فیدبک حالت مشترک (CMFB) از قبل تعریف شود. توضیح در مورد این نوع فیدبک به فصل‌های آینده موکول می‌شود.



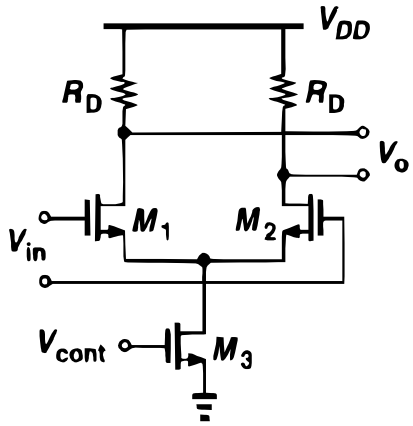
شکل٤-۱۹ تقویت‌کننده تفاضلی با بار فعال کسکود.

۴-۴) سلول گیلبرت

دو مورد در سازوکار عملیاتی زوج تفاضلی مهم است:

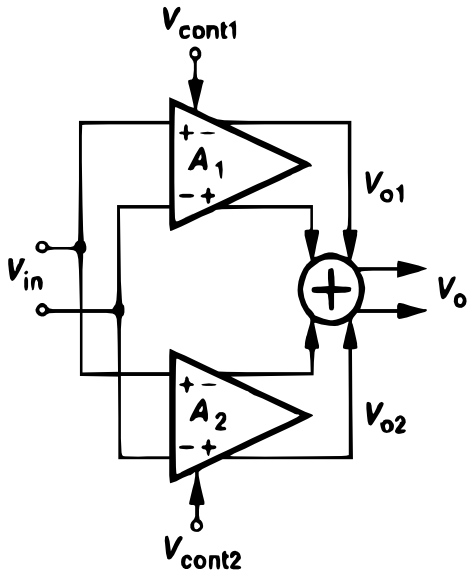
۱- بهره سیگنال-کوچک، وابسته به جریان منبع جریان (ترانزیستور $tail$) می باشد.

۲- ترانزیستورهای ورودی جریان منبع جریان $(tail)$ را به سمت یکی از دو خروجی هدایت می‌کنند.



تقویت‌کننده تفاضلی شکل ۴-۲۰ با ورودی تفاضلی v_{in} و ولتاژ کنترل (v_{cont}) را در نظر بگیرید. با تغییر v_{cont} از صفر تا یک مقدار حداکثر (که توسط $swing$ ولتاژ و ابعاد ترانزیستور تعیین می‌شود) جریان این مدار از $I_{D3} = 0$ تا یک مقدار حداکثر تغییر می‌کند. به‌تبع آنها بهره مدار نیز تغییر می‌کند و وابسته به v_{cont} می‌شود.

شکل٤-۲۰ نمونه‌ای از تقویت‌کننده تفاضلی با بهره متغیر (VGA).



شکل٤-۲۱ تقویت‌کننده تفاضلی با بهره مثبت یا منفی (VGA)

شکل ۴-۲۰ نمونه‌ای از تقویت‌کننده با بهره متغیر (VGA) را نشان می‌دهد. اگر بخواهیم تقویت‌کننده‌ای طراحی کنیم که بهره آن از مقادیر منفی تا مقادیر مثبت تغییر کند باید دو تا از زوج‌های تفاضلی شکل ۴-۲۰ را (با خروجی‌های برعکس) ترکیب کنیم. شکل ۴-۲۱ بلوک دیاگرام تقویت‌کننده حاصل را به‌صورت مصور نشان می‌دهد. خروجی برابر است با

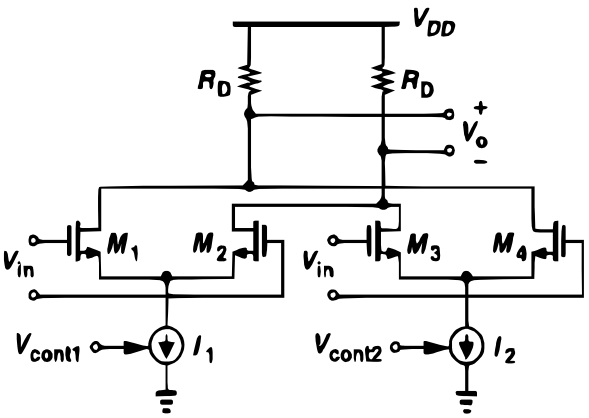
$$v_O = v_{O1} + v_{O2} = A_1 v_{in} + A_2 v_{in} = (A_1 + A_2) v_{in} \qquad (۳۹ - ۴)$$
$$A_1 + A_2 \in (-\infty, +\infty).$$

برای پیاده‌سازی عملی ساختار شکل ۴-۲۱، مدار شکل ۴-۲۲ پیشنهاد شده است. رابطه ولتاژ خروجی برحسب ولتاژهای V_{O1} و V_{O2} عبارت است از:

$$V_{O1} + V_{O2} = R_D(I_{D1} + I_{D4}) - R_D(I_{D2} + I_{D3}). \qquad (۴۰ - ۴)$$

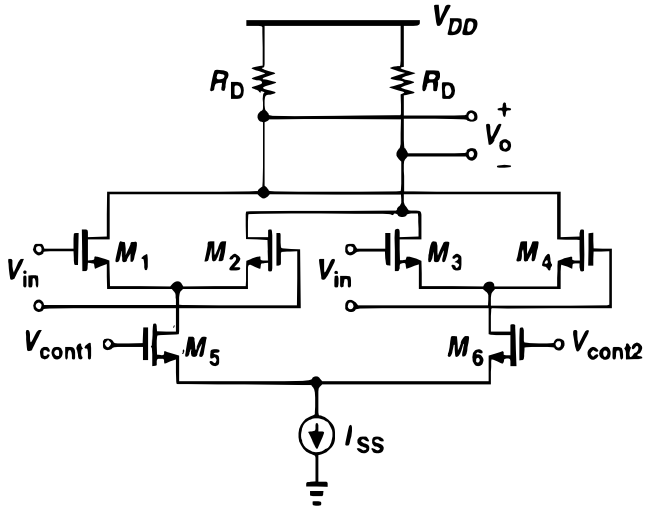
در این مدار و در حالت‌های مختلف رابطه بهره ولتاژ به شکل زیر خواهد بود:

$$\begin{cases} I_1 = 0 \rightarrow v_O = g_m R_D v_{in} \\ I_1 = I_2 \rightarrow v_O = 0 \\ I_2 = 0 \rightarrow v_O = -g_m R_D v_{in} \end{cases} \quad (۴۱-۴)$$



شکل٤-۲۲ پیاده‌سازی عملی ساختار شکل ٤-۲۱.

شکل ۴-۲۳ آرایش قابل پیاده‌سازی سلول گیلبرت را با جایگزینی منابع جریان کنترل شونده نمایش می‌دهد. کنترل بر روی جریان‌های I_1 و I_2 با استفاده از دو ترانزیستور انجام می‌شود. با تغییر $V_{cont} = V_{cont1} - V_{cont2}$ سهم هر شاخه از کل جریان I_{SS} تعیین می‌شود.



شکل ٤-۲۳ آرایش سلول گیلبرت.

$$V_{cont1} = V_{cont2} \ : A = 0$$
$$V_{cont} \gg 0 \implies V_{cont1} \gg V_{cont2} : I_{D5} = I_{SS} \implies A = g_m R_D$$
$$V_{cont} \ll 0 \implies V_{cont1} \ll V_{cont2} : I_{D6} = I_{SS} \implies A = -g_m R_D.$$

$$(۴۲ - ۴)$$

*) **نکته:** سلول گیلبرت در اصل یک ضرب‌کننده آنالوگ است چراکه بهره تابعی از V_{cont} است و می‌توان نوشت:

$$V_O = V_{in} \times f(V_{cont}). \qquad (۴۳ - ۴)$$

با بسط $f(V_{cont})$ به‌صورت سری تیلور و صرف‌نظر از جملات مرتبه بالا، $f(V_{cont}) = \alpha V_{cont}$ خواهد بود. لذا $V_O = \alpha V_{in} V_{cont}$ است.

*) **نکته:** با توجه به‌قراردادن چندین ترانزیستور بر روی‌هم، سلول گیلبرت $Swing$ ولتاژ کمتری نسبت به زوج تفاضلی ساده دارد. می‌توان مکان اتصال V_{cont} و V_{in} در بالا و پایین را با یکدیگر تعویض نمود و باز هم به یک تقویت‌کننده با بهره متغیر رسید.

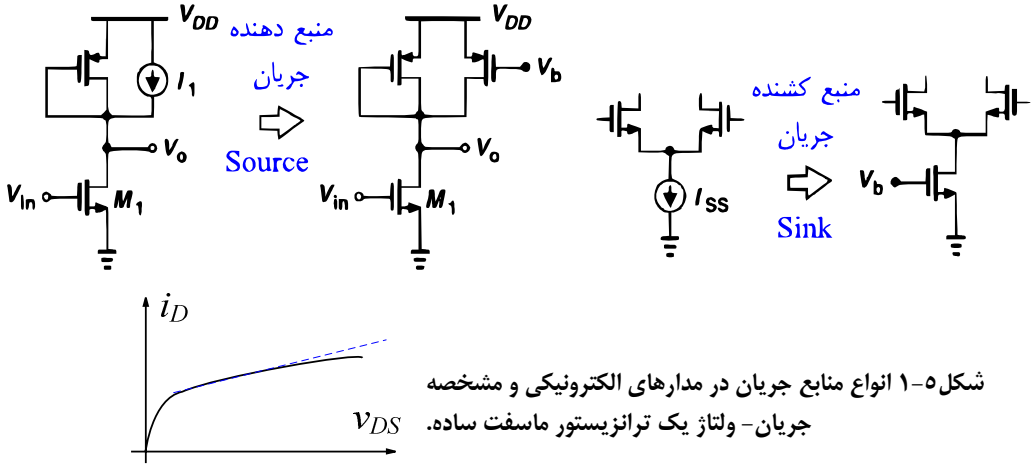
*) **نکته:** برای رسیدن به تبدیل بهتر ولتاژ V_{in} به جریان وابسته به آن در سلول گیلبرت، می‌توان از مقاومت در سورس ترانزیستورهای M_5 و M_6 نیز استفاده نمود.

فصل پنجم: آینه‌های جریان فعال و غیرفعال

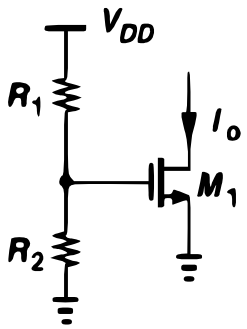
منابع جریان کاربرد گسترده‌ای در مدارهای الکترونیک آنالوگ جهت تغذیه و پردازش سیگنال‌ها دارند. از این منابع در پیاده‌سازی مبدل‌های داده (دیجیتال به آنالوگ و آنالوگ به دیجیتال) و تغذیه سایر بلوک‌ها استفاده می‌شود. عمده کاربرد آینه جریان در طراحی تقویت‌کننده‌های عملیاتی یا آپ‌امپ‌ها است. با استفاده از آینه‌های جریان بار فعال می‌توان مقاومت‌های بزرگی در حالت ac ساخت که به افت ولتاژ زیادی همانند مقاومت‌های عادی نیاز نداشته باشند. شکل ۵-۱ نحوه پیاده‌سازی انواع منبع جریان را در مدارهای الکترونیکی نشان می‌دهد. با توجه به نوع پمپاژ جریان به مدار، این منابع به انواع «دهنده» و «کشنده» جریان تقسیم‌بندی می‌شوند. مشخصه جریان-ولتاژ یک ترانزیستور ساده در آرایش منبع جریان نیز به نمایش گذارده شده است. با افزایش v_{DS} ، شیب منحنی به تدریج کم می‌شود چراکه ترانزیستور r_O وابسته به v_{DS} بوده و با افزایش v_{DS} زیاد می‌شود. مقاومت خروجی به پارامترهای زیر بستگی دارد:

$$r_O = \frac{1}{\lambda I} \propto \begin{cases} \frac{1}{\lambda I} \\ \frac{L}{\sqrt{V_{DS}}} \end{cases} \qquad (۱-۵)$$

در پروسه ساخت $0.18\ \mu m$ و با جریان $I = 100\mu A$ نمی‌توان به بیش از $20k$ مقاومت خروجی دست یافت.



شکل۵-۱ انواع منابع جریان در مدارهای الکترونیکی و مشخصه جریان- ولتاژ یک ترانزیستور ماسفت ساده.



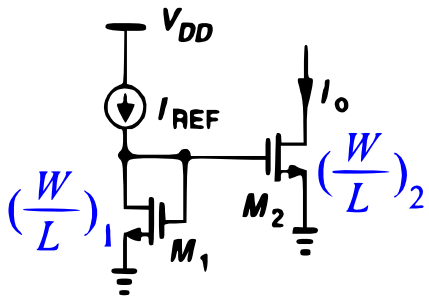
***) نکته:** طراحی منبع جریانی که بتواند جریان ثابتی در مقابل تغییرات v_{DD}، دما و پروسه ساخت (PVT) ایجاد کند پیچیده است. یک راه بسیار ساده برای تولید جریان و پیاده‌سازی یک منبع جریان کشنده، استفاده از ساختار شکل ۵-۲ است:

$$I_O = \frac{1}{2}\left(\mu_n C_{OX}\frac{W}{L}\right)\left(\frac{R_2}{R_1+R_2}V_{DD} - V_{TH}\right)^2 \qquad (۲-۵)$$

شکل۵-۲ یک راهکار آسان برای پیاده‌سازی منبع جریان.

واضح است که رابطه بالا، وابستگی زیادی را به تغییرات PVT نشان می‌دهد چراکه عبارت داخل پرانتز هم وابسته به V_{DD} و هم ولتاژ آستانه V_{TH} است. ولتاژ V_{TH}، تا 100 mV تغییرات بین ویفرهای مختلف دارد و علاوه بر آن پارامترهای μ_n و V_{TH} وابسته به دما می‌باشند. بنابراین این روش، مناسب برای پیاده-سازی منبع جریان دقیق نیست. حتی اگر ولتاژ گیت وابسته به V_{DD} نباشد باز هم I_O این ساختار دارای تغییرات زیادی در اثر تغییر دما و پروسه ساخت خواهد بود.

***) نکته:** روش مرسوم در مدارهای الکترونیکی، ساخت یک منبع جریان دقیق و کپی کردن جریان آن با آینه جریان است. در هنگام طراحی، همواره فرض بر آن است که یک منبع جریان دقیق در مداروجود دارد و از طریق آن می‌توان جریان دقیقی را آینه نمود. آینه جریان شکل ۵-۳، جریان تولیدشده توسط I_{REF} را از شاخه سمت چپ به شاخه سمت راست منتقل می‌کند.



شکل۵-۳ آرایش مداری آینه جریان ساده.

با فرض آنکه هر دو ترانزیستور در ناحیه اشباع بوده و مقاومت خروجی نامحدود است ($\lambda = 0$)، می‌توان نوشت:

$$I_{REF} = \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)_1 (V_{GS} - V_{TH})^2, \qquad (۳-۵)$$

$$I_O = \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)_2 (V_{GS} - V_{TH})^2. \qquad (۴-۵)$$

با توجه به برابر بودن $V_{GS1} = V_{GS2}$، ترانزیستور M_2 جریان I_{REF} را به نسبت زیر آینه می‌کند:

$$I_O = \frac{(W/L)_2}{(W/L)_1} I_{REF}. \qquad (۵-۵)$$

نکته مهم در رابطه بالا آن است که نسبت جریان‌ها وابسته به پروسه ساخت و دما نیست و لذا به‌دقت قابل‌کنترل می‌باشد. البته با توجه به وابستگی کم جریان ناحیه اشباع به V_{DS}، باید تا جای ممکن V_{DS} دو ترانزیستور را یکسان در نظر گرفت.

مشخصه‌های مهم یک منبع جریان عبارت از جریان خروجی I_O، مقاومت خروجی R_O و ولتاژ خروجی حداقل (V_{Omin}) هستند. درمجموع منبع جریان شکل ۵-۳ دارای محدودیت‌های زیر ازنقطه‌نظرهای مقاومت خروجی و ولتاژ خروجی حداقل است:

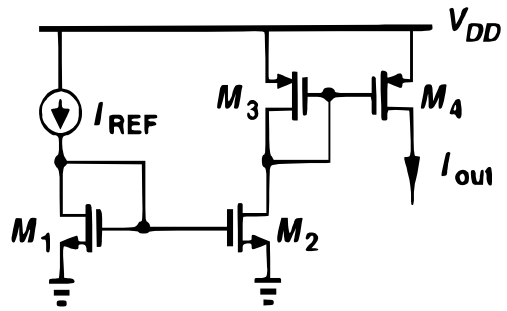
$$R_O = r_{ds} \Longrightarrow \Delta I_{out} = \frac{\Delta V_{out}}{R_O} \qquad (۶-۵)$$

$$V_{Omin} = V_{DS,sat}. \qquad (۷-۵)$$

مثال ۵-۱: جریان I_O را در مدار شکل ۵-۴ بدست آورید.

جریان I_{REF} دو دفعه آینه شده است. جریان جدید در هر بار در نسبت ترانزیستورها ضرب می‌شود. لذا:

$$I_O = \left[\frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1}\frac{\left(\frac{W}{L}\right)_4}{\left(\frac{W}{L}\right)_3}\right] I_{REF} \qquad (۸-۵)$$



شکل۵-٤ آرایش مداری مثال ۵-۱.

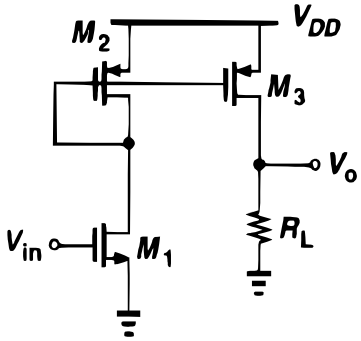
*) **نکته:** به‌منظور تقارن بیشتر دو ترانزیستور در فرآیندهای ساخت نانومتری و نیز به دلیل آنکه ولتاژ آستانه تابعی از طول گیت است ($V_{TH} = F(L)$)، L دو ترانزیستور موجود در یک آینه جریان را یکسان در نظر می‌گیرند:

$$L_1 = L_2 \qquad (۹-۵)$$

نسبت طول به عرض معمولاً از روی $V_{DS,sat} = \sqrt{2I/\mu_n C_{OX}(W/L)}$ تعیین می‌شود. به ازای یک $V_{DS,sat}$ مشخص، (W/L) باید ثابت نگاه داشته شود. لذا می‌توان W و L را باهم افزایش داد تا دو ترانزیستور بیشتر به هم شبیه شوند. این کار باعث افزایش خازن‌ها و خراب شدن پاسخ فرکانسی می‌شود.

*) **نکته:** معمولاً نسبت طول به عرض دو ترانزیستور آینه جریان را از ده بزرگ‌تر در نظر نمی‌گیرند چراکه نسبت ابعاد با تقریب زیادی همراه می‌شود. لذا برای دستیابی به جریان‌های بالا از روی جریان ورودی می‌توان در چند مرحله و توسط چند آینه جریان این کار را انجام داد.

مثال ۵-۲: بهره ولتاژ سیگنال- کوچک را در مدار شکل ۵-۵ حساب کنید.



شکل۵-۵ آرایش مداری مثال ۵-۲.

در این ساختار

$$I_{D1} = I_{D2} \qquad (۱۰-۵)$$

$$I_{D3} = I_{D2}\frac{(W/L)_3}{(W/L)_2} \qquad (۱۱-۵)$$

هستند. لذا جریان سیگنال-کوچک i_{d3} برابر است با:

$$i_{d3} = \frac{V_O}{R_L} = g_{m1}V_{in}\frac{(W/L)_3}{(W/L)_2} \Longrightarrow A_V = \frac{V_O}{V_{in}} = g_{m1}R_L\frac{(W/L)_3}{(W/L)_2} \qquad (۱۲-۵)$$

با افزایش نسبت ابعاد ترانزیستورهای آینه جریان، می‌توان به بهره ولتاژهای بالا رسید.

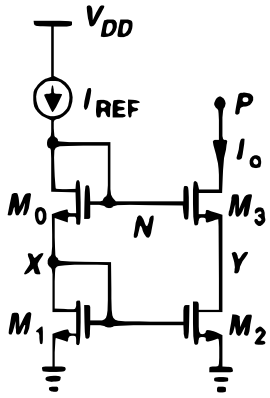
*) **نکته:** اگر اثر مدولاسیون طول کانال را نیز در آینه جریان شکل ۵-۳ لحاظ کنیم خواهیم داشت:

$$I_D = \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)(V_{GS}-V_{TH})^2(1+\lambda V_{DS})$$

$$\Longrightarrow \frac{I_{D2}}{I_{D1}} = \frac{(W/L)_2}{(W/L)_1}\left(\frac{1+\lambda V_{DS2}}{1+\lambda V_{DS1}}\right). \qquad (۱۳-۵)$$

علاوه بر V_{GS}، باید تا حد امکان V_{DS} دو ترانزیستور نیز برابر باشند.

*) **نکته:** به‌منظور برابر نمودن V_{DS} دو ترانزیستور، می‌توان از آینه جریان کسکود شکل ۵-۶ استفاده کرد. برای یکسان نمودن V_{DS} دو ترانزیستور M_1 و M_2، باید $V_X = V_Y$ گردد. از طرفی با توجه به قانون ولتاژ داریم:



شکل۵-٦ آینه جریان کسکود.

$$V_{GS0} + V_X = V_{GS3} + V_Y \qquad (۱۴-۵)$$

پس به ازای

$$V_{GS1} = V_{GS2} \rightarrow \frac{I_O}{I_{REF}} = \frac{(W/L)_2}{(W/L)_1}$$

و با فرض

$$V_{GS0} = V_{GS3} \rightarrow \frac{I_O}{I_{REF}} = \frac{(W/L)_3}{(W/L)_0} \qquad (۱۵-۵)$$

باید

$$\frac{(W/L)_3}{(W/L)_0} = \frac{(W/L)_2}{(W/L)_1} \qquad (۱۶-۵)$$

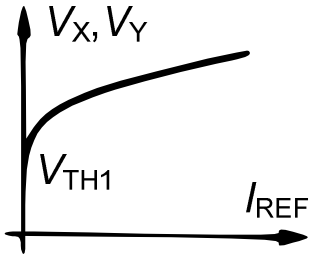
باشد تا ولتاژ V_{GS} ترانزیستورهای متناظر برابر شده و $V_X = V_Y$ گردد. این نتیجه حتی با وجود اثر بدنه M_0 و M_3 برقرار است چراکه افزایش V_{TH} دو ترانزیستور به‌واسطه اثر بدنه نیز به یک اندازه است.

*) **نکته:** مشابه با شکل ۵-۶، آینه جریان کسکود «دهنده» و با ترانزیستورهای pMOS نیز موجود است.

مثال ۵-۳: در مدار شکل ۵-۶، V_X و V_Y را به‌عنوان تابعی از I_{REF} رسم کنید.

$$V_X = V_Y = V_{GS1,2} = V_{TH1} + \sqrt{2I_{REF}/\beta_1} \qquad (۱۷-۵)$$

شکل ۵-۷ رابطه ولتاژهای موردنظر را برحسب I_{REF} نشان می‌دهد.



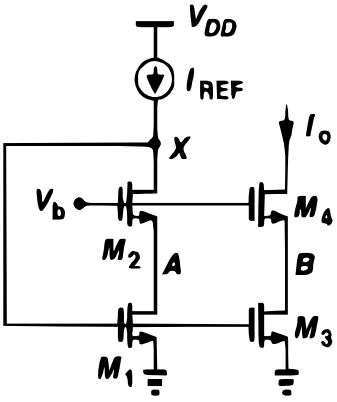
شکل۵-۷ ولتاژهای V_X و V_Y برحسب I_{REF}.

*) **نکته:** مشکل آینه جریان کسکود، نیاز آن به حداقل ولتاژ $V_{GS2}+V_{DS,sat3}$ به‌منظور بایاس مطلوب است. مقدار این ولتاژ تقریباً برابر با $V_{TH}+2V_{DS,sat}$ است که در مقایسه با منبع جریان ساده شکل ۵-۴ (با حداقل ولتاژ موردنیاز $2V_{DS,sat}$)، به‌اندازه یک V_{TH} بیشتر خواهد بود. این مشکل در آینه جریان اصلاح‌شده شکل ۵-۸ وجود ندارد چرا که به ازای $V_b=V_{GS2}+V_{DS,sat1}$ و به طور معادل $V_b=V_{GS4}+V_{DS,sat3}$، ترانزیستورهای M_1 و M_2 در مرز حداقل اشباع خواهند بود. از طرفی برای در اشباع ماندن ترانزیستور M_2، باید $V_{GS1}\geq V_b-V_{TH2}$ باشد. برای در اشباع ماندن M_1 باید $V_b-V_{GS2}\geq V_{DS,sat1}$ باشد. لذا:

$$V_{GS2}+V_{DS,sat1}\leq V_b\leq V_{GS1}+V_{TH2} \quad (۱۸-۵)$$

معادله بالا وقتی دارای جواب است که داشته باشیم:

$$V_{GS2}+V_{DS,sat1}\leq V_{GS1}+V_{TH2}. \quad (۱۹-۵)$$



شکل۵-۸ آینه جریان اصلاح‌شده کسکود.

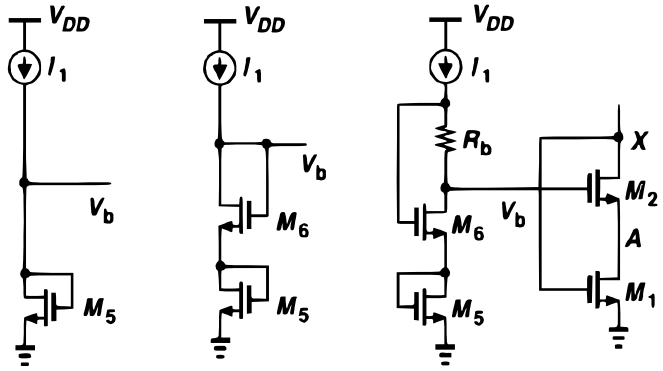
درنتیجه:

$$V_{GS2}-V_{TH2}\leq V_{TH1}(V_{GS1}-V_{DS,sat1})\Longrightarrow V_{GS2}\leq V_{TH2}+V_{TH1}$$
$$\Longrightarrow V_{DS,sat2}\leq V_{TH1}. \quad (۲۰-۵)$$

نامساوی بالا نشان می‌دهد که به‌منظور بایاس صحیح آینه جریان و در ناحیه اشباع نگاه‌داشتن ترانزیستورها، $V_{DS,sat2}$ باید از V_{TH1} کوچک‌تر باشد.

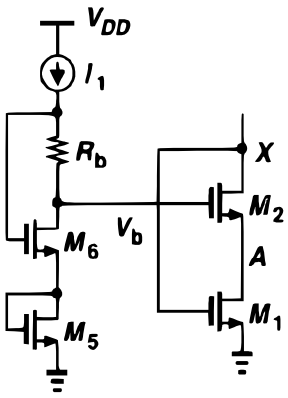
در این ساختار چگونه V_b را تولید کنیم؟

از شرایط یک بایاس خوب، تغییرات کم آن با تغییرات PVT است. شکل ۵-۹ سه اتصال ممکن برای تحقق ولتاژ V_b را نمایش می‌دهد. دو ساختار سمت چپ به دلیل ساده‌تر بودن و عدم قابلیت تنظیم، از محبوبیت کمتری نسبت به ساختار سمت راست برخوردار هستند. در ساختار سمت راست، ترانزیستور M_5 نقش تأمین‌کننده V_{GS2} را برای ترانزیستور M_2 در شکل ۵-۸ ایفا می‌کند. علاوه بر این، $V_{DS6}=V_{GS6}-R_bI_1$ را می‌توان به‌دقت تنظیم نمود تا V_{DS} موردنیاز برای ترانزیستور M_1 (با مقدار



شکل۵-۹ سه اتصال ممکن برای تأمین ولتاژ V_b در شکل ۵-۸.

حداقل $V_{DS,sat1}$) تأمین گردد. این ساختار البته کمی عدم تقارن دارد چراکه ترانزیستور M_5 اثر بدنه ندارد درحالی‌که ترانزیستور M_2 اثر بدنه دارد.



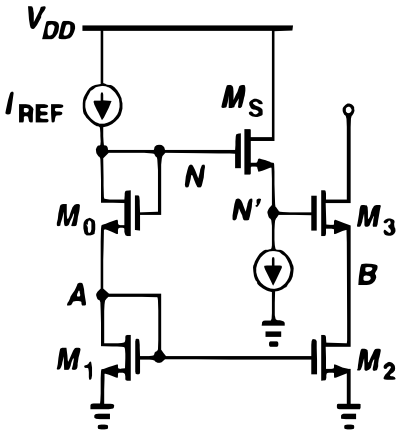
با توجه به تلورانس مقاومت R_b، در عمل کنترل کمتری بر روی اندازه ولتاژ $R_b I_1$ شکل ۵-۹ وجود دارد (در مدارهای مجتمع، مقاومت اهمی دقیق و با تغییرات کم وجود ندارد). همان‌گونه که در شکل ۵-۱۰ می‌بینید، یک راه‌حل جایگزین نمودن این مقاومت با ترانزیستور M_7 در آرایش دیودی است. ترانزیستور موردنظر باید طوری بایاس شود که در مرز روشن شدن قرار گرفته و درنتیجه $V_{GS7} = V_{TH7}$ گردد. لذا

$$V_{DS6} = V_{GS6} - V_{TH7} \qquad (۲۱-۵)$$

شکل۵-۱۰ ساختار اصلاح‌شده مدار بایاس موجود در شکل ۵-۹ با حذف R_b.

با این کار، ولتاژ V_{DS6} برابر یا همان ولتاژ مرزی $V_{DS,sat1}$ خواهد بود. البته همواره باید کمی حاشیه اطمینان برای عملکرد صحیح در گوشه‌های پروسه ساخت در نظر گرفت.

برای تولید V_b در شکل ۵-۹، یک راه دیگر استفاده از ساختار دنبال کننده سورس همانند شکل ۵-۱۱ است. اگر جریان M_S خیلی کوچک باشد، ولتاژ گیت- سورس $V_{GS,S} \simeq V_{TH}$ خواهد بود.

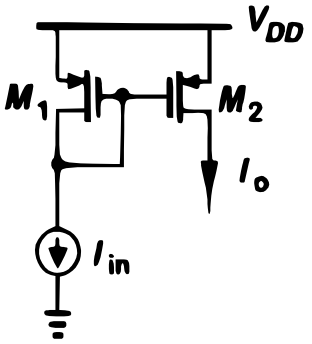


لذا با فرض برابر بودن $V_{GS3} = V_{GS0}$ مقدار ولتاژ بایاس تولیدشده برابر است با

$$V_b = V_{GS1} + V_{GS0} - V_{TH} - V_{GS3} \simeq V_{GS1} - V_{TH} \quad (۲۲-۵)$$

که بازهم از مرتبه $V_{DS,sat1}$ خواهد بود.

شکل۵-۱۱ ساختار اصلاح‌شده دیگر برای تولید V_b.



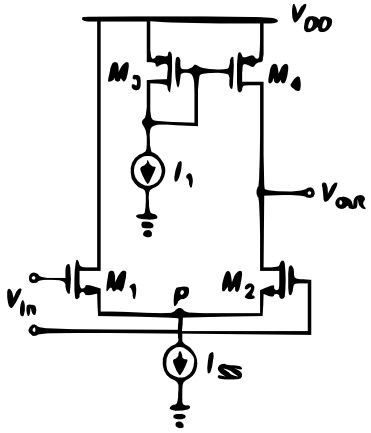
***) آینه‌های جریان فعال:** با استفاده از آینه‌های جریان فعال می‌توان سیگنال‌های ac را تقویت نمود و منتقل کرد. در ساختار شکل ۵-۱۲، با فرض $I_O = I_{in}$ (یکسان بودن ابعاد ترانزیستورها)، هر تغییری در I_{in} در I_O هم ظاهر می‌شود.

شکل۵-۱۲ نمونه‌ای از آینه جریان فعال با قابلیت پردازش سیگنال ac.

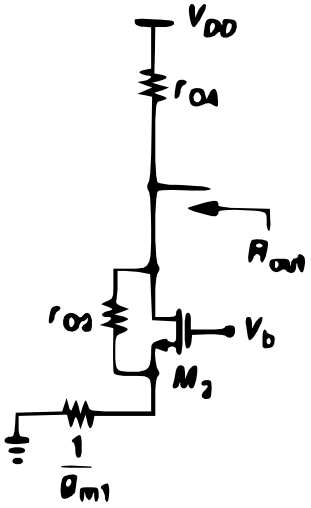
طراحی تقویت‌کننده شکل ۵-۱۳ با استفاده از آینه جریان انجام شده است. می‌خواهیم بهره ولتاژ $A_V = V_O/V_{in}$ این تقویت‌کننده را محاسبه کنیم. در حالت کلی رابطه بهره به‌صورت $A_V = G_m R_{out}$ است که در آن G_m هدایت انتقالی و برابر با نسبت جریان خروجی به ولتاژ ورودی و در حالتی است که V_O اتصال کوتاه باشد.با این کار،

$$G_m = \frac{g_{m1}}{2} = \frac{I_O}{V_{in}} \quad (۲۳-۵)$$

خواهد بود.



شکل۵-۱۳ آرایش یک تقویت‌کننده ولتاژ با استفاده از آینه جریان.



مدار شکل ۵-۱۴ را به‌منظور محاسبه R_{out} شکل ۵-۱۳ ملاحظه کنید. مقاومت دیده‌شده از خروجی به سمت پایین $R_{out,D}$ و سمت بالا برابر با $R_{out,U}$ هستند. این مقادیر عبارت است از:

$$R_{out,D} = r_{O2}\left(1 + \frac{g_{m2}}{g_{m1}}\right) \simeq 2r_{O2} \quad (۲۴-۵)$$

$$R_{out,U} = r_{O4} \quad (۲۵-۵)$$

$$R_{out} = R_{out,D} \| R_{out,U} = 2r_{O2} \| r_{O4}. \quad (۲۶-۵)$$

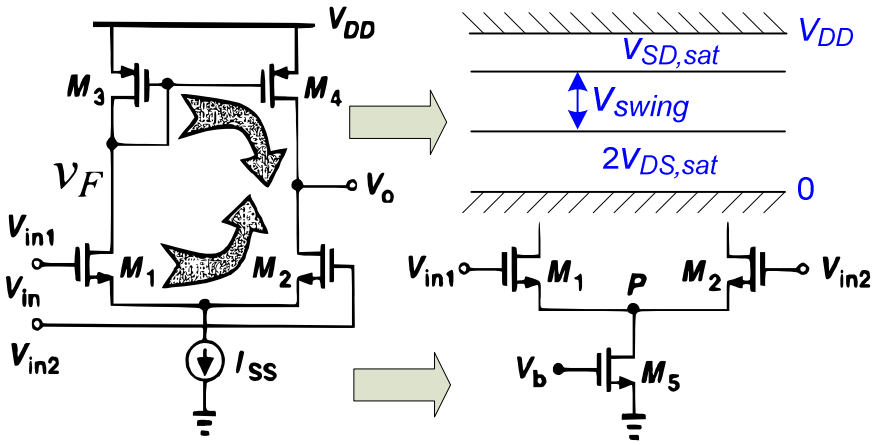
بنابراین بهره ولتاژ از رابطه زیر بدست می‌آید:

شکل۵-۱٤ نحوه محاسبه مقاومت خروجی در مدار شکل ۵-۱۳.

$$A_V = G_m R_{out} = \frac{g_{m1}}{2}(2r_{O2} \| r_{O4}). \quad (۲۷-۵)$$

*) **نکته:** همان‌گونه که قبلاً با یک مثال نشان دادیم، یک روش دیگر برای محاسبه A_V آن است که ابتدا V_P/V_{in} را محاسبه کرده و پس‌ازآن، V_O/V_P را بدست آوریم.

*) **نکته:** در مدار شکل ۵-۱۳، جریان سیگنال-کوچک تولیدشده توسط M_1 به هدررفته و تأثیری در خروجی نهایی ندارد. می‌توان از یک آینه جریان فعال در قسمت بالا استفاده نمود و جریان آن را نیز به خروجی آینه کرد (شکل ۵-۱۵).



شکل۵-۱۵ تقویت‌کننده اصلاح‌شده با آینه جریان فعال.

*) تحلیل سیگنال بزرگ مدار شکل ۵-۱۵

۱- در مدار شکل ۵-۱۵ اگر $V_{in1} \ll V_{in2}$ باشد، $V_O = 0$ خواهد بود. در این حالت کل جریان I_{SS} از M_2 عبور می‌کند و از M_1 جریانی نمی‌گذرد. لذا وضعیت ترانزیستورها به‌قرار زیر خواهد بود:

$$M_1, M_3, M_4: off, \quad M_2, M_5: deep\ triode$$

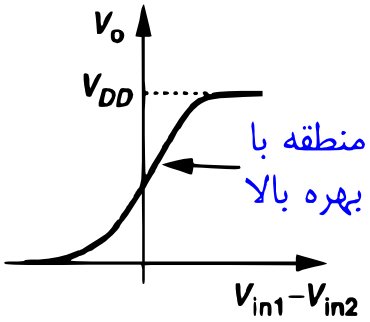
با توجه به خاموش بودن M_4، در لحظه اولی که رابطه $I_{D2} = I_{SS}$ برقرار می‌شود، جریان موردنیاز از طریق خازن پارازیت موجود در گره V_O تأمین می‌گردد. لذا این خازن تخلیه شده و ولتاژ خروجی به سمت صفر میل می‌کند.

۲- به ازای مقادیر $V_{in1} \simeq V_{in2}$، جریان‌های I_{D1} و I_{D2} تقریباً برابر با $I_{SS}/2$ است و ولتاژ خروجی به اختلاف اندک بین این دو جریان و I_{D2} و I_{D4} (جریان آینه‌شده I_{D2}) بستگی دارد. ازآنجاکه M_2 و M_4 هر دو در ناحیه اشباع هستند، تغییرات کوچک V_{in}، تغییرات بزرگی در خروجی V_O ایجاد می‌کند.

۳- به ازای $V_{in2} \gg V_{in1}$، وضعیت برعکس حالت ۱ است. در این حالت کل جریان I_{SS} از M_1 عبور می‌کند و از M_2 جریانی نمی‌گذرد. لذا $V_O = V_{DD}$ خواهد شد. در این حالت وضعیت ترانزیستورها به شرح زیر است:

$$V_{in1} \gg V_{in2} \Longrightarrow M_2: off\ (V_{GS} < 0), \quad M_4: Deep\ Triode, \quad M_2: Sat.$$

$$V_{in1} > V_F + V_{TH} \Longrightarrow M_1: Triode,$$
$$V_{in1} > V_F + V_{TH} \Longrightarrow M_1: Sat. \qquad (۲۸-۵)$$



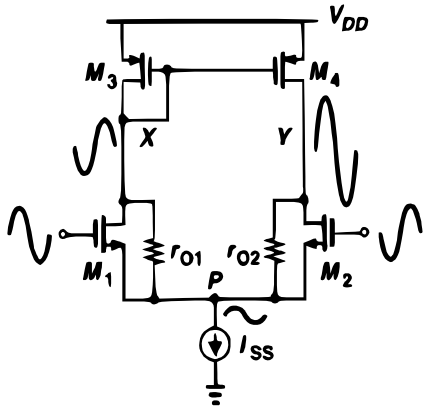
شکل ۵-۱۶ وضعیت ولتاژ خروجی مدار را با تغییر ولتاژهای V_{in1} و V_{in2} به تصویر می‌کشد.

شکل۵-۱۶ وضعیت ولتاژ خروجی مدار ۵-۱۵ با تغییر ولتاژهای V_{in1} و V_{in2}.

*) **نکته:** اگر در مدار شکل ۵-۱۵ تقارن کامل برقرار گردد، به ازای ورودی‌های برابر با $V_{in1} = V_{in2}$، $V_O = V_F = V_{DD} - V_{SG3}$ خواهد بود.

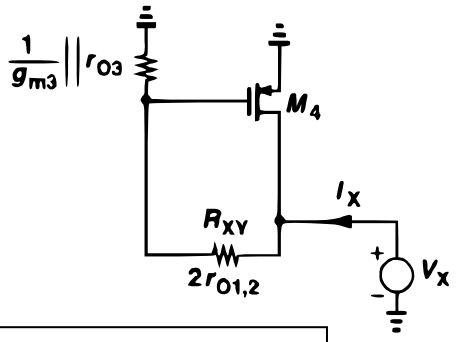
*) تحلیل حالت تفاضلی سیگنال-کوچک مدار شکل ۵-۱۵

مدار شکل ۵-۱۵ را مجدداً در شکل ۵-۱۷ در نظر بگیرید. به دلیل اتصال دیودی ترانزیستور M_3 و عدم تقارنی که در مدار وجود دارد، نوسان گره‌های X و Y یکسان نیست. گره X طوری نوسان می‌کند که با تغییر



شکل۵-۱۷ تحلیل سیگنال-کوچک تقویت‌کننده شکل ۵-۱۵.

ولتاژ V_{SG4}، جریان موردنیاز برای ترانزیستور M_4 را تأمین کند. درنتیجه تأثیر ولتاژهای V_X و V_Y بر روی گره مشترک P (از طریق r_{O1} و r_{O2}) یکسان نبوده و این گره ازلحاظ تفاضلی به‌طور دقیق زمین نیست (هرچند می‌توان در محاسبات تقریبی می‌توان آن را زمین در نظر گرفت). همانند گذشته، بهره از رابطه $A_V = G_m R_{out}$ محاسبه می‌شود. برای محاسبه G_m به‌طور تقریبی گره مشترک P را زمین فرض می‌کنیم و به رابطه $G_m = g_{m1,2}$ می‌رسیم. برای محاسبه R_{out}، مقاومت خروجی دیده‌شده از گره خروجی را همانند شکل ۵-۱۸ حساب می‌کنیم. با اعمال قوانین ولتاژ و جریان:



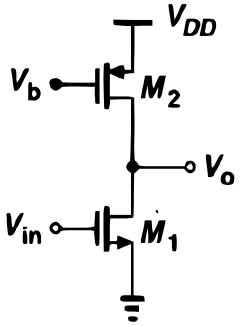
شکل۵-۱۸ محاسبه مقاومت خروجی

$$I_X = \frac{V_X}{r_{O4}} + 2\left(\frac{V_X}{2r_{O1,2} + {}^{1}/_{g_{m3}} \| r_{O3}}\right). \qquad (۲۹-۵)$$

در رابطه بالا، ضریب 2 به آن خاطر است که جریان عبوری از ترانزیستور M_3 بر روی M_4 نیز آینه شده و عملاً دو برابر می‌شود:

$$R_{out} = \frac{V_X}{I_X} = r_{O2} \| r_{O4} \Longrightarrow A_V = g_{m1,2}\,(r_{O2} \| r_{O4}). \qquad (۳۰-۵)$$

*) **نکته:** همان‌گونه که در گذشته با یک مثال نشان داده شد، راه دیگر بدست آوردن بهره ولتاژ، بدست آوردن معادل تونن M_1 و M_2 و سپس محاسبه خروجی است. می‌توان نشان داد که بهره بدست آمده همانند رابطه بالا خواهد بود.



*) **نکته:** عملکرد مدار با خروجی تک سر شکل ۵-۱۹ نیز مشابه با مدار تمام تفاضلی شکل ۵-۱۵ است اما مزایای پردازش تمام تفاضلی سیگنال‌ها به توان مصرفی و پیچیدگی پایین‌تر می‌چربد.

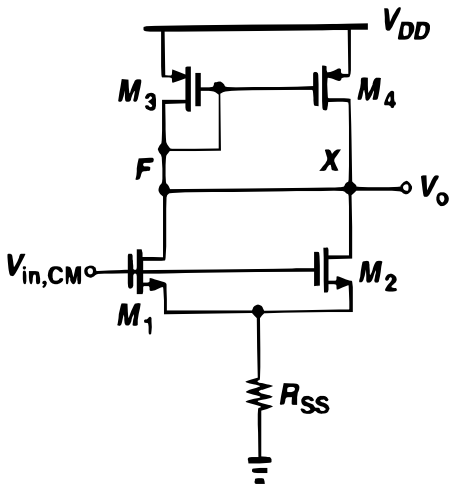
شکل۵-۱۹ معادل تک سر مدار تمام تفاضلی شکل ۵-۱۵.

*) تحلیل حالت مشترک سیگنال-کوچک مدار شکل ۵-۱۵

همان‌گونه که در شکل ۵-۲۰ نشان داده‌شده است، در تحلیل حالت مشترک باید ورودی دو ترانزیستور را به ولتاژ مشترک $V_{in,CM}$ متصل نمود. بهره حالت مشترک در این حالت از رابطه زیر بدست می‌آید:

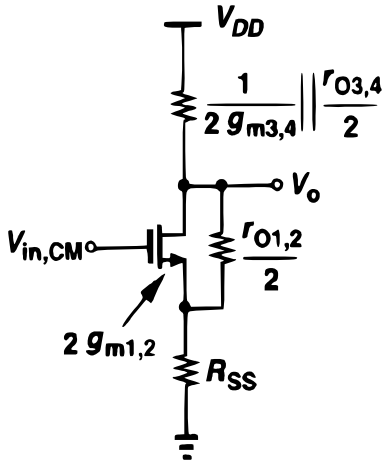
$$A_{CM} = \frac{V_{out}}{V_{in,CM}} \qquad (۳۱-۵)$$

با توجه به تقارن مدار می‌توان گره‌های F و X را اتصال کوتاه فرض کرد. واضح است که با این کار مقاومت دیده‌شده از این گره مشترک به سمت بالا برابر با $\frac{1}{2g_{m3,4}} \| \frac{r_{O3,4}}{2}$ خواهد شد.



شکل۵-۲۰ تحلیل حالت مشترک مدار شکل ۵-۱۵.

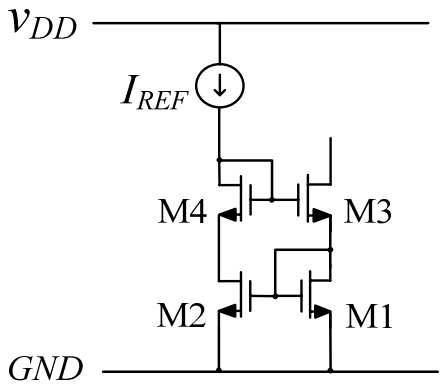
هم‌اکنون می‌توان دو ترانزیستور M_1 و M_2 را نیز باهم ترکیب کرد و هدایت انتقالی معادل آنها را $2g_{m1,2}$ بدست آورد. مدار حاصل در شکل ۵-۲۱ نمایش داده‌شده است. با این کار، به‌طور تقریبی خواهیم داشت:



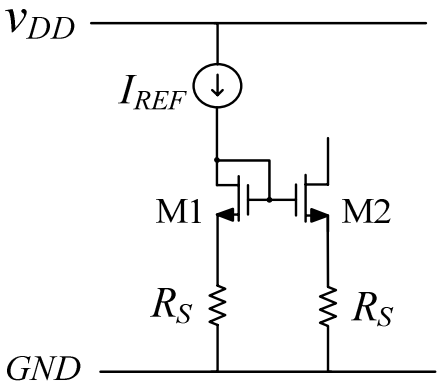
شکل۵-۲۱ مدار معادل حالت مشترک تقویت‌کننده شکل ۵-۱۵.

$$A_{CM} \simeq -\frac{\text{مقاومت دیده شده در درین}}{\text{مقاومت دیده شده در سورس}} = -\frac{\frac{1}{2g_{m3,4}} \| \frac{r_{O3,4}}{2}}{\frac{1}{2g_{m1,2}} + R_{SS}}. \qquad (۳۲-۵)$$

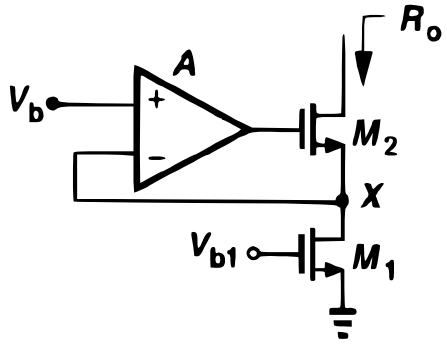
منابع جریان و آینه‌های جریان دیگر نیز موجود هستند که در شکل های ۵-۲۲ و ۵-۲۳ و ۵-۲۴ به نام و ساختار برخی از آنها تنها اشاره شده است.



شکل۵-۲۲ آینه جریان ویلسون



شکل۵-۲۳ آینه جریان با مقاومت سورس



شکل ۵-۲٤ منبع جریان با استفاده از تقویت‌کننده برای ثابت نگه‌داشتن ولتاژ V_{DS} ترانزیستور پایین.

شکل ۵-۲۴ آرایش یک منبع جریان فیدبک دار رانشان می دهد. مقاومت خروجی دیده‌شده از درین ترانزیستور M_2 (R_O) با بهره تقویت‌کننده A و مقاومت خروجی دو ترانزیستور متناسب است:

$$R_O = g_{m2} r_{O1} r_{O2} A. \qquad (۳۳-۵)$$

فصل ششم: پاسخ فرکانسی تقویت‌کننده‌ها

در این فصل پاسخ فرکانسی تقویت‌کننده‌های یک طبقه و تفاضلی را در حوزه فرکانس موردبررسی قرار می‌دهیم. قبل از هر چیز لازم است که نکاتی را در خصوص تئوری میلر مطرح کنیم.

۶-۱) تئوری میلر

به ازای $A_V = V_Y/V_X$ و در شرایط مشخص، دو مدار موجود در شکل ۶-۱ با یکدیگر معادل هستند. لذا می‌توان مدار شکل ۶-۱-الف را به مدار شکل ۶-۱-ب تبدیل نمود. این شرایط، معادل بودن قوانین ولتاژ و جریان و بهره ولتاژ A_V را در گره‌های دو مدار می‌طلبد.

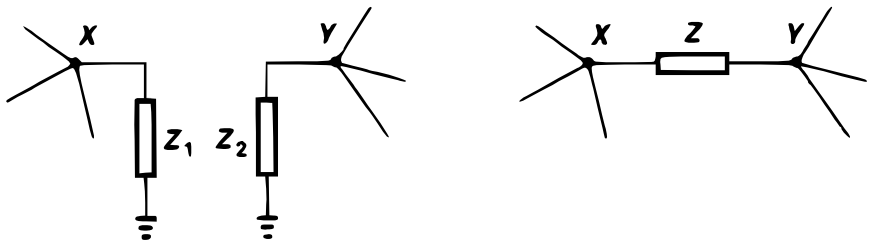
$$\frac{V_X - V_Y}{Z} = \frac{V_X}{Z_1} \Longrightarrow Z_1 = \frac{Z}{1 - V_Y/V_X} \Longrightarrow Z_1 = \frac{Z}{1 - A_V}. \qquad (۱-۶)$$

به همین ترتیب:

$$Z_2 = \frac{Z}{1 - V_X/V_Y} = \frac{Z}{1 - 1/A_V} \qquad (۲-۶)$$

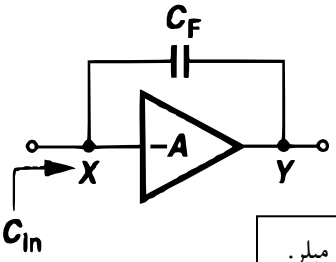
است. کاربرد عمده قضیه میلر، تبدیل مدار معادل شکل ۶-۱-الف به مدار معادل شکل ۶-۱- ب است. به‌عنوان‌مثال، می‌توان نشان داد که خازن ورودی در ساختار شکل ۶-۲ برابر با $C_F(1 + A)$ است چراکه

$$Z_1 = \left(\frac{1}{C_F S}\right)\left(\frac{1}{1 + A}\right) \Longrightarrow C_{in} = C_F(1 + A). \qquad (۳-۶)$$



(ب) (الف)

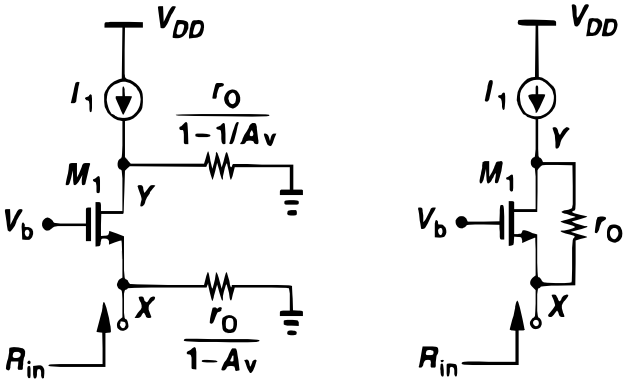
شکل۶-۱ بیان تصویری تئوری میلر.



توجه به این نکته ضروری است که تنها در صورتی می‌توان از قضیه میلر استفاده کرد که امپدانس Z تنها مسیر مرتبط کننده گره‌های X و Y نبوده و مسیری موازی با مسیر اصلی انتقال سیگنال بین آن دو گره باشد.

شکل۶-۲ مثالی از کاربرد قضیه میلر.

مثال ٦-١: مقاومت ورودی را در تقویت‌کننده شکل ۶-۳- الف بدست آورید.



شکل ٦-٣ تقویت‌کننده مثال ٦-١.

شکل ۶-۳-ب مقاومت خروجی معادل ترانزیستور را در دو گره X و Y نشان می‌دهد. بهره ولتاژ بین این دو گره و مقاومت ورودی عبارت است از:

$$A_V = \frac{V_Y}{V_X} = (g_m + g_{mb})r_O, \qquad (۴-۶)$$

$$R_{in} = \frac{1}{g_m + g_{mb}} \left\| \frac{r_O}{1 - (g_m + g_{mb})r_O} \simeq \frac{1}{g_m + g_{mb}} \right\| \frac{-1}{g_m + g_{mb}} \simeq \infty. \qquad (۵-۶)$$

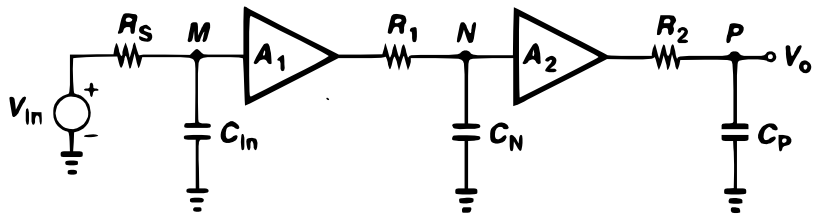
نکته‌ای که کاربرد قضیه میلر را پیچیده می‌کند وابسته بودن خود A_V به فرکانس است. لذا تنها در فرکانس‌های پایین که بهره تقویت‌کننده نسبتاً ثابت است می‌توان از این قضیه استفاده نمود. در محاسبه

توابع تبدیل، استفاده از قضیه میلر معمولاً باعث از بین رفتن صفرها می‌شود چراکه مسیر مستقیم بین ورودی و خروجی با دو امپدانس معادل تا زمین جایگزین شده است.

۶-۲) قضیه نسبت‌دهی قطب‌ها به گره‌ها

شکل ۶-۴ ساختار کلی یک تقویت‌کننده ولتاژ واقعی را به تصویر می‌کشد. هر طبقه شامل یک تقویت‌کننده ولتاژ ایده‌آل (امپدانس ورودی بینهایت و امپدانس خروجی صفر)، خازن ورودی و مقاومت خروجی موجود در تقویت‌کننده عملی است. تابع تبدیل این مدار را می‌توان به‌صورت زیر در نظر گرفت:

$$\frac{v_O}{v_{in}}(s) = \frac{A_1}{1+R_sC_{in}s}\frac{A_2}{1+R_1C_Ns}\frac{1}{1+R_2C_Ps}. \qquad (۶-۶)$$

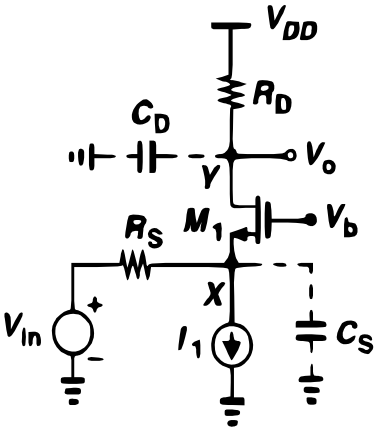


شکل٦-٤ بیان تصویری قضیه نسبت‌دهی قطب‌ها به گره‌ها.

رابطه بالا نشان می‌دهد که هر طبقه یک قطب به تابع تبدیل اضافه می‌کند که اندازه آن برابر با عکس حاصل‌ضرب مقاومت دیده‌شده در هر گره در خازن آن گره است. در حالت کلی، قضیه نسبت‌دهی قطب‌ها به گره‌ها برای هر نوع تقویت‌کننده‌ای صحیح نیست و با برقرار شدن ارتباط میان گره‌ها از چند مسیر موازی نمی‌توان از آن استفاده کرد.

مثال ٦-٢: تابع تبدیل مدار را در شکل ۶-۵ محاسبه کنید.

برای بدست آوردن تابع تبدیل، بهره فرکانس میانی و قطب موجود در هر گره را با استفاده از قضیه نسبت‌دهی قطب‌ها به گره‌ها محاسبه می‌کنیم.



شکل٦-٥ مدار گیت- مشترک مثال ٦-٢.

$$A_V = \frac{R_D}{R_S + \frac{1}{g_m + g_{mb}}}, \qquad (۷-۶)$$

$$\omega_{in}(=\omega_x) = \frac{1}{\left(R_S \left\| \frac{1}{g_m + g_{mb}}\right.\right) C_S} = \frac{1}{\left(R_S \left\| \frac{1}{g_m + g_{mb}}\right.\right) (C_{GS1} + C_{SB1})}, \qquad (۸-۶)$$

$$\omega_O(=\omega_y) = \frac{1}{R_D C_D} = \frac{1}{R_D(C_{DB1} + C_{GD1})}. \qquad (۹-۶)$$

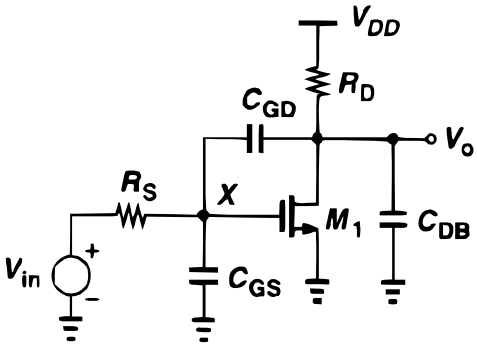
هم‌اکنون با استفاده از اطلاعات بالا می‌توان بهره ولتاژ را در حوزه فرکانس بدست آورد:

$$\frac{v_O}{v_{in}} = \frac{A_V}{\left(1 + \frac{s}{\omega_{in}}\right)\left(1 + \frac{s}{\omega_O}\right)}. \qquad (۱۰-۶)$$

اگر از r_O صرف‌نظر نکنیم قطب‌ها با یکدیگر ارتباط پیدا می‌کنند و از قضیه نمی‌توان استفاده کرد. حال به تحلیل چند تقویت‌کننده با قضیه میلر می‌پردازیم:

الف) تقویت‌کننده سورس- مشترک

با توجه به بهره $g_{m1}R_D$ بین گره‌های گیت و درین ترانزیستور در شکل ۶-۶، اثر میلر خازن C_{GD} را می‌توان به‌صورت یک خازن $C_{GD}(1 + g_mR_D)$ در گره ورودی گیت و یک خازن با اندازه $C_{GD}(1 + 1/g_mR_D) \approx C_{GD}$ در درین ترانزیستور درنظر گرفت.



شکل۶-۶ آرایش یک تقویت‌کننده سورس مشترک.

$$\omega_{in}(=\omega_x) = \frac{1}{R_S \times [C_{GS} + C_{GD}(1 + g_mR_D)]}, \qquad (۱۱-۶)$$

$$\omega_O = \frac{1}{(R_D \| r_O)(C_{GD} + C_{DB})}, \qquad (۱۲-۶)$$

$$\frac{v_O}{v_{in}} = \frac{-g_m R_D}{\left(1+\frac{s}{\omega_{in}}\right)\left(1+\frac{s}{\omega_O}\right)}. \qquad (۱۳-۶)$$

می‌توان به کمک قضایای مداری تابع تبدیل دقیق را بدست آورد و با رابطه بالا مقایسه نمود. برای بدست آوردن قطب‌ها از تابع تبدیل دقیق، مخرج تابع تبدیل بالا را به‌صورت زیر در نظر می‌گیریم:

$$\left(1+\frac{s}{\omega_{p1}}\right)\left(1+\frac{s}{\omega_{p2}}\right) = \frac{s^2}{\omega_{p1}\omega_{p2}} + \left(\frac{1}{\omega_{p1}} + \frac{1}{\omega_{p2}}\right)s + 1. \qquad (۱۴-۶)$$

حال با فرض آنکه یک قطب خیلی کوچک‌تر از دیگری باشد ($\omega_{p1} \ll \omega_{p2}$)، ضریب s را برابر با $1/\omega_{p1}$ در نظر می‌گیریم. سپس برای بدست آوردن ω_{p2} از رابطه زیر استفاده می‌کنیم:

$$\text{ضریب } s^2 = \frac{1}{\omega_{p1}\omega_{p2}}$$

یکی از مشکلات به‌کارگیری تئوری میلر، حذف صفرها به‌واسطه از بین رفتن مسیر روبه‌جلوی سیگنال خازن C_{GD1} است (شکل ۶-۷-الف). این صفر باعث تغییر در پاسخ فرکانسی تقویت‌کننده می‌شود (شکل ۶-۷- ب). اندازه صفر موردنظر را می‌توان به‌سادگی و قبل از اعمال قضیه میلر محاسبه نمود. با اتصال خروجی به زمین (و صفر فرض نمودن جریان عبوری از اتصال) می‌توان صفر سمت راست را با اعمال قانون جریان در گره خروجی بدست آورد (شکل ۶-۷- ج). جریان درین ترانزیستور برابر با $g_m v_1$ و جریان عبوری از خازن برابر $C_{GD}sv_1$ است (خروجی برابر با صفر است). لذا

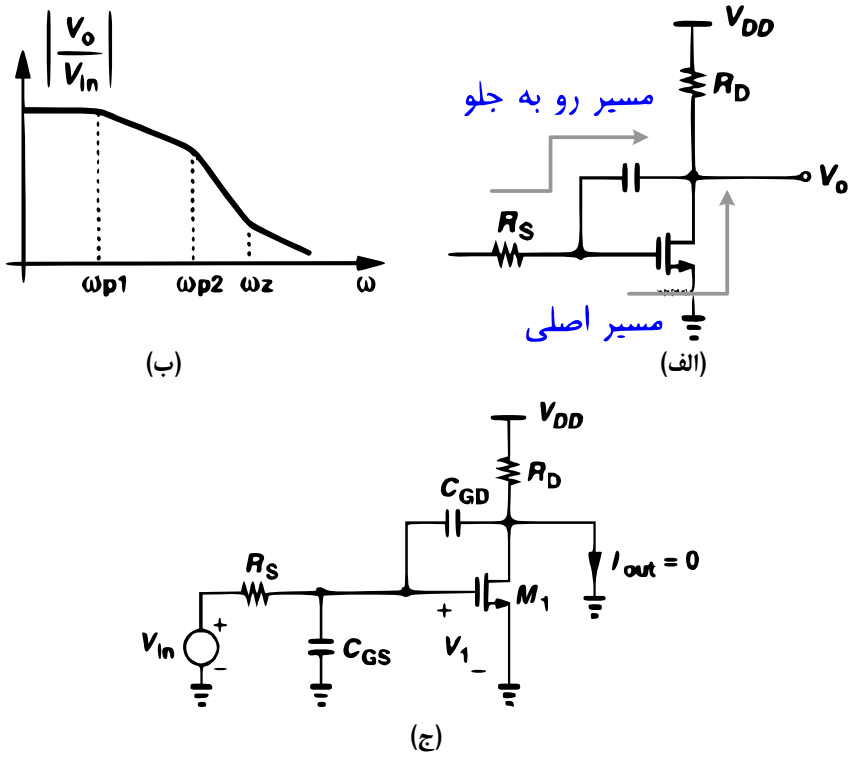
$$C_{GD}sv_1 = g_m v_1 \Longrightarrow s = z = \frac{g_m}{C_{GD}}. \qquad (۱۵-۶)$$

امپدانس‌های ورودی و خروجی در ساختار شکل ۶-۶ برابر هستند با:

$$Z_{in} = R_S + \frac{1}{[C_{GS} + C_{GD}(1+g_m R_D)]s}, \qquad (۱۶-۶)$$

$$Z_O = R_D \| \frac{1}{(C_{GD}+C_{DB})s}. \qquad (۱۷-۶)$$

برای محاسبه دقیق‌تر دو رابطه بالا باید از قوانین ولتاژ و جریان استفاده کرد. به‌عنوان‌مثال اگر C_{GD} خازن خیلی بزرگی باشد، مقدار امپدانس خروجی متفاوت از رابطه بالا بدست می‌آید. خازن C_{GD} در فرکانس‌های حول‌وحوش ω_O اتصال کوتاه خواهد شد و درین و گیت ترانزیستور را به هم اتصال کوتاه



شکل۶-۷ تقویت‌کننده سورس مشترک و چگونگی استخراج صفر آن.

می‌کند. با اتصال کوتاه شدن درین و گیت (آرایش دیودی) ω_O و Z_{in} از روابط زیر بدست می آیند:

$$\omega_O = \frac{1}{\left(R_D \| \frac{1}{g_m}\right) C_{DB}}, Z_{in} = \left(R_S + \frac{1}{C_{GS}s}\right) \left\| \frac{1}{g_m} \right\| R_D. \qquad (۱۸-۶)$$

ب) دنبال کننده سورس

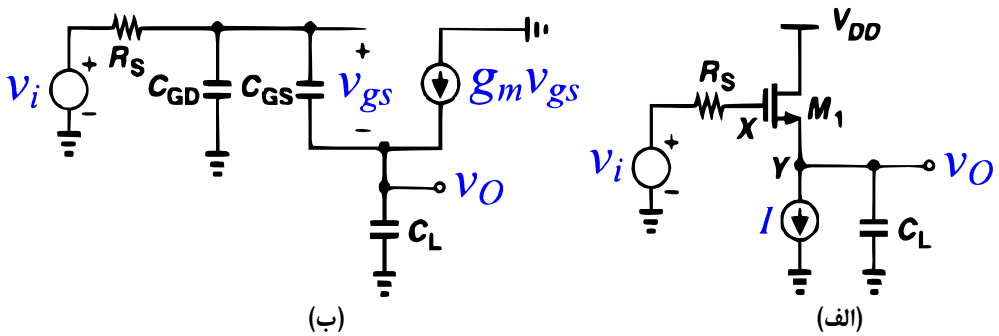
از ساختار دنبال کننده سورس شکل ۶-۸-الف، به‌منظور تغییر سطح ولتاژ سیگنال ورودی و یا بافر نمودن آن برای افزایش جریان دهی استفاده می‌شود. ترانزیستور M_1 با جریان ثابت I تغذیه شده است. لذا V_{GS}

$$V_{GS} = V_{TH} + \sqrt{\frac{2I}{\beta}}. \qquad (۱۹-۶)$$

ثابت مانده و ولتاژ خروجی v_O تنها به‌اندازه یک V_{GS} با ولتاژ ورودی v_i اختلاف خواهد داشت. درنتیجه می‌توان حدس زد که بهره سیگنال-کوچک این مدار از مرتبه واحد و نزدیک به آن باشد.

❋) محاسبه تابع تبدیل

شکل ۶-۸-ب مدار معادل سیگنال-کوچک ساختار شکل ۶-۸-الف را به‌تصویر می‌کشد. در عمل به دلیل بهره پایین و ارتباط زیاد میان گره‌های x و y این ساختار، تنها با تقریب زیاد می‌توان از قضیه نسبت‌دهی قطب‌ها به گره‌ها برای بدست آوردن تابع تبدیل استفاده کرد. لذا از تعریف دقیق و اعمال قوانین ولتاژ و جریان به‌منظور بدست آوردن تابع تبدیل استفاده می‌کنیم.



شکل۶-۸ آرایش دنبال کننده سورس و مدار معادل سیگنال- کوچک آن.

$$C_{GS}v_{gs}s + g_m v_{gs} = C_L s \times v_O \Longrightarrow v_{gs} = \frac{C_L s v_O}{g_m + C_{GS}s}. \qquad (۲۰-۶)$$

$$v_{in} = R_S\left[C_{GS}sv_{gs} + C_{GD}s\left(v_O + v_{gs}\right)\right] + v_{gs} + v_O. \qquad (۲۱-۶)$$

با جایگزین نمودن v_{gs} از رابطه اول در رابطه دوم، برای تابع تبدیل خواهیم داشت:

$$\frac{v_O}{v_{in}} = \frac{g_m + C_{GS}s}{R_S(C_{GS}C_L + C_{GS}C_{GD} + C_{GD}C_L)s^2 + (g_m R_S C_{GD} + C_L + C_{GS})s + g_m}. \qquad (۲۲-۶)$$

در رابطه با تابع تبدیل بدست آمده برای دنبال کننده سورس چند نکته مهم وجود دارد که در زیر به آنها اشاره می‌شود:

الف)

$$\frac{v_O}{v_{in}}(s \to 0) = 1. \qquad (۲۳-۶)$$

لذا بهره دنبال کننده سورس در فرکانس‌های پایین، برابر با مقدار واحد است.

ب)

$$\frac{v_O}{v_{in}}(s \to \infty) = 0. \qquad (۲۴-۶)$$

لذا بهره دنبال کننده سورس در فرکانس‌های بالا، نزدیک به صفر خواهد شد.

ج) مقدار صفر تابع تبدیل، با اتصال کوتاه نمودن خروجی به زمین (همانند گذشته) نیز همان مقدار بدست آمده از صورت تابع تبدیل بدست می‌آید:

$$z = \frac{-g_m}{C_{GS}}. \qquad (۲۵-۶)$$

د) با فرض آنکه فاصله دو قطب (ریشه‌های مخرج) فاصله زیادی از یکدیگر داشته باشند، می‌توان با صرف‌نظر نمودن از عبارت s^2، از قطب غیر غالب صرف‌نظر نمود و فرکانس قطب دیگر را به‌صورت زیر تعیین کرد:

$$(g_m R_S C_{GD} + C_L + C_{GS})s + g_m = 0 \Longrightarrow \omega_{p1} = \frac{g_m}{g_m R_S C_{GD} + C_L + C_{GS}}. \qquad (۲۶-۶)$$

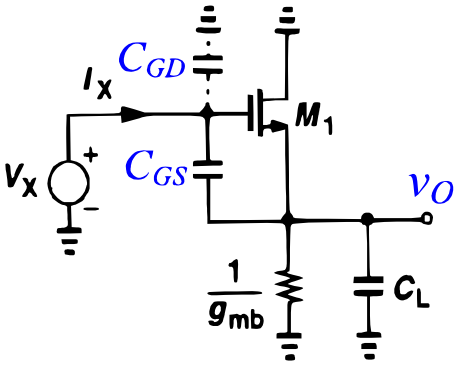
اندازه این قطب به ازای $R_S = 0$ به مقدار زیر میل می‌کند:

$$R_S = 0 \Longrightarrow \omega_{p1} = \frac{g_m}{C_L + C_{GS}}. \qquad (۲۷-۶)$$

مقدار بدست آمده دقیقاً با عکس حاصل‌ضرب مقاومت موجود در گره خروجی $1/g_m$ در خازن موجود در این گره $C_L + C_{GS}$ برابر است.

*) محاسبه امپدانس ورودی

شکل ۶-۹ مدار معادل ساختار را برای محاسبه امپدانس ورودی Z_{in} نشان می‌دهد. خازن C_{GD} موازی با مسیر اصلی قرار گرفته است. لذا آن را فعلاً در نظر نمی‌گیریم و به هر نتیجه‌ای که برای امپدانس دیده‌شده رسیدیم، امپدانس خازن C_{GD} را با آن موازی می‌کنیم. امپدانس مابقی عناصر را با قرار دادن منبع ولتاژ V_X و بدست آوردن رابطه آن با جریان عبوری I_X محاسبه می‌کنیم.



شکل۶-۹ مدار معادل لازم به‌منظور محاسبه امپدانس ورودی.

$$V_X = \frac{I_X}{C_{GS}s} + \left(I_X + g_m \frac{I_X}{C_{GS}s}\right)\left(\frac{1}{C_L s} \left\| \frac{1}{g_{mb}}\right.\right). \qquad (۲۸-۶)$$

لذا با در نظر گرفتن خازن C_{GD}، امپدانس ورودی برابر است با

$$Z_{in} = \frac{V_X}{I_X} = \frac{1}{C_{GS}s} + \left(1 + \frac{g_m}{C_{GS}s}\right)\left(\frac{1}{C_L s} \left\| \frac{1}{g_{mb}}\right.\right) + \frac{1}{C_{GD}s}. \qquad (۲۹-۶)$$

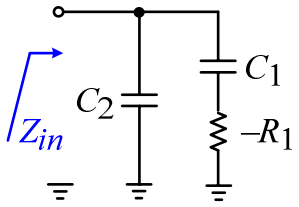
در فرکانس‌های پایین، $g_{mb} \gg |C_L s|$ است و امپدانس ورودی به سمت مقدار زیر میل می‌کند:

$$Z_{in}(s \to 0) \approx \frac{1}{C_{GS}s}\left(1 + \frac{g_m}{g_{mb}}\right) + \frac{1}{g_{mb}}. \qquad (۳۰-۶)$$

در فرکانس‌های بالا، $g_{mb} \ll |C_L s|$ است و امپدانس ورودی به مقدار زیر میل می‌کند:

$$Z_{in}(s \to \infty) \approx \frac{1}{C_{GS}s} + \frac{1}{C_L s} + \frac{g_m}{C_{GS}C_L s^2}. \qquad (۳۱-۶)$$

شکل ۶-۱۰ مدار معادل امپدانس ورودی ساختار را با توجه به رابطه (۶-۲۹) نشان می‌دهد.



شکل۶-۱۰ مدار معادل امپدانس ورودی.

با توجه به رابطه (۶-۲۹)، اندازه عناصر موجود در این مدار برابر هستند با:

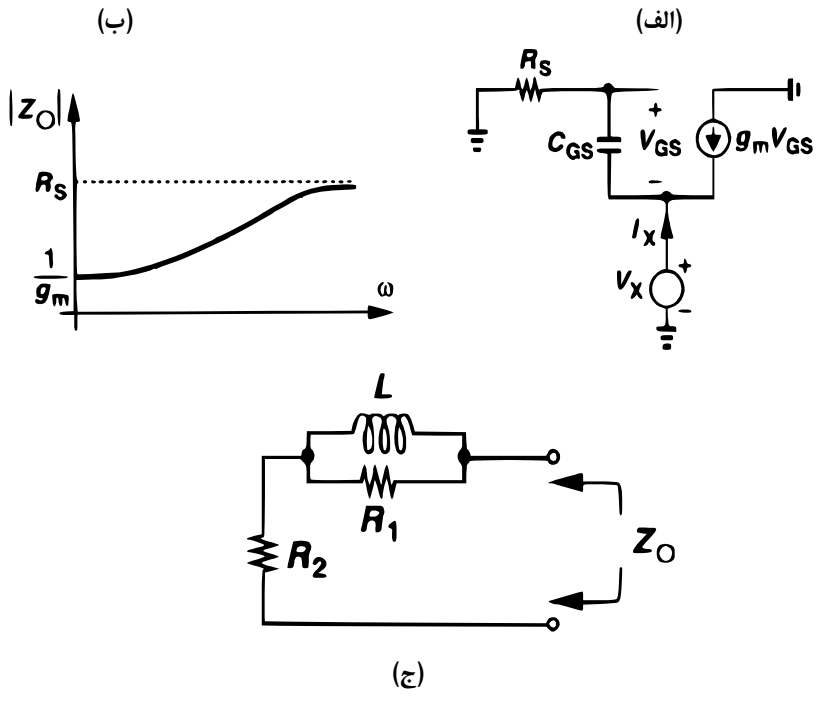
$$C_1 = C_{GS} + C_L, C_2 = C_{GD}, R_1 = \frac{g_m}{C_{GS}C_L\omega^2}. \qquad (۳۲-۶)$$

❋) محاسبه امپدانس خروجی

برای بدست آوردن امپدانس خروجی، از اثر بدنه ترانزیستور و خازن‌های C_{SB} و C_{GD} صرف‌نظر می‌کنیم. شکل ۶-۱۱- الف مدار معادل حاصل را برای محاسبه Z_O نمایش می‌دهد. مشابه با تحلیل بالا نشان دهید:

$$Z_O = \frac{V_X}{I_X} = \frac{1 + R_S C_{GS} s}{g_m + C_{GS} s}. \qquad (۳۳-۶)$$

با توجه به رابطه بالا، امپدانس خروجی در فرکانس‌های کم و زیاد به ترتیب برابر با $Z_O \approx 1/g_m$ و $Z_O \approx R_S$ است.



شکل۶-۱۱ مدار معادل امپدانس خروجی.

در فرکانس‌های میانی دو وضعیت ممکن است که رخ دهد:

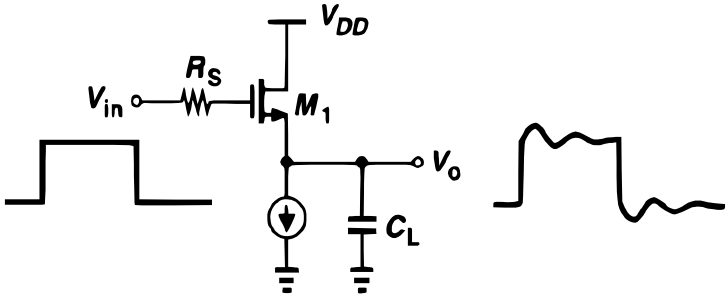
الف) $R_S > 1/g_m$: این وضعیت معمول‌تر است چراکه برای کاهش مقاومت خروجی، معمولا g_m را تا حد امکان زیاد می‌کنند.

ب) $R_S < 1/g_m$.

شکل‌های ۶-۱۱- ب تغییرات امپدانس خروجی را به ازای $R_S > 1/g_m$ نمایش می‌دهد. شکل ۶-۱۱- ج، مدل امپدانس خروجی را بر مبنای رابطه (۶-۳۳) نشان می‌دهد. به عنوان تمرین نشان دهید که امپدانس خروجی این شکل، به ازای مقادیر زیر دقیقا همان رابطه (۶-۳۳) خواهد بود.

$$L = \frac{C_{GS}}{g_m}\left(R_S - \frac{1}{g_m}\right), R_1 = R_S - \frac{1}{g_m}, R_2 = \frac{1}{g_m}. \qquad (۳۴-۶)$$

سلف موجود در مدار معادل امپدانس، معمولا با خازن بار آرایش دنبال کننده سورس رزونانس کرده و باعث نوسانی شدن پاسخ پله می‌شود (ایجاد قطب‌های مزدوج مختلط). شکل ۶-۱۲ خروجی مدار را با بار خازنی نشان می‌دهد.

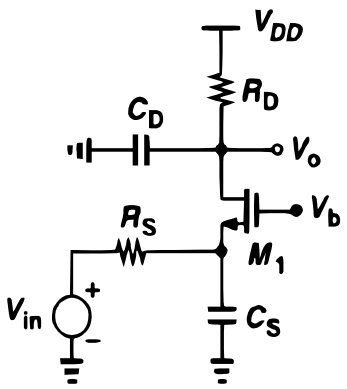


شکل۶-۱۲ خروجی مدار دنبال کننده سورس در حالت وجود بار خازنی.

ج) تقویت‌کننده گیت- مشترک

شکل ۶-۱۳ آرایش مداری تقویت‌کننده گیت مشترک را به تصویر می‌کشد. با توجه به اینکه گیت ترانزیستور به ولتاژ ثابت (زمین ac) متصل شده است، اثر خازن میلر در این تقویت‌کننده حذف شده است. مسیر اصلی سیگنال، از طریق سورس به درین ترانزیستور است که دارای هیچ‌گونه خازن پیوندی بین این دو اتصال نیست. این باعث افزایش بیشتر پهنای باند تقویت‌کننده گیت-مشترک می‌شود.

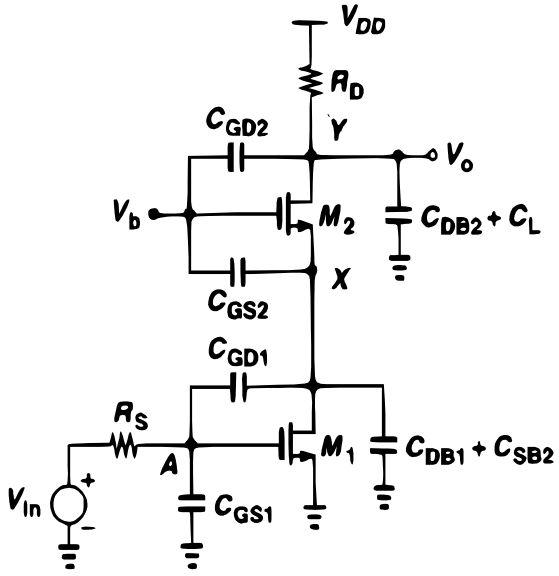
شاید مهم‌ترین عیب تقویت‌کننده گیت مشترک امپدانس ورودی پایین آن باشد که باعث می‌شود که بر روی طبقه قبل از آن اثر بارگذاری زیادی داشته باشد.



شکل۶-۱۳ تقویت‌کننده گیت-مشترک.

د) تقویت‌کننده کسکود

شکل ۶-۱۴ آرایش مداری یک تقویت‌کننده کسکود را به همراه خازن‌های پیوندی آن نمایش می‌دهد. کسکود کردن (سری نمودن) ترانزیستورها باعث افزایش مقاومت خروجی این تقویت‌کننده می‌شود.



شکل۶-۱۴ آرایش مداری تقویت‌کننده کسکود به همراه خازن‌های پیوندی موجود در آن.

قطب‌های موجود در تابع تبدیل بهره این تقویت‌کننده را می‌توان با استفاده از قضیه نسبت‌دهی قطب‌ها به گره‌ها بدست آورد. قطب موجود در گره A برابر با عکس حاصل‌ضرب مقاومت موجود در این گره (R_S) در خازن موجود در این گره است.

$$\omega_{p,A} = \frac{1}{R_S\left[C_{GS1} + \left(1 + \frac{g_{m1}}{g_{m2} + g_{mb2}}\right)C_{GD1}\right]} \simeq \frac{1}{R_S[C_{GS1} + 2C_{GD1}]}. \quad (۳۵ - ۶)$$

به دلیل پایین بودن بهره از گیت به درین ترانزیستور M_1 (درین ترانزیستور M_1 به سورس ترانزیستور M_2 متصل است)، خازن میلر دیده‌شده در گیت $(C_{GD1}(1 + g_{m1}/g_{m2}) \approx 2C_{GD1})$ به‌مراتب کوچک‌تر از تقویت‌کننده سورس مشترک بررسی‌شده در بخش ۶-۷ با رابطه $C_{GD}(1 + g_{m1}R_D)$ شده است. پس قطب $\omega_{p,A}$ در فرکانس‌های بالاتری از تقویت‌کننده سورس مشترک قرار می‌گیرد.

$$\omega_{p,X} = \frac{g_{m2} + g_{mb2}}{2C_{GD1} + C_{DB1} + C_{SB2} + C_{GS2}}. \quad (۳۶ - ۶)$$

قطب موجود در گره خروجی Y برابر است با

$$\omega_{p,Y} = \frac{1}{R_D(C_{DB2} + C_L + C_{GD2})}. \quad (۳۷ - ۶)$$

❋) محاسبه امپدانس خروجی در تقویت‌کننده کسکود

امپدانس خروجی دیده‌شده از گره Y تا زمین حاصل موازی امپدانس دیده‌شده از بالا تا زمین و از پایین تا زمین است:

$$Z_O = R_D \| r_{O2}(1 + g_{m2}Z_X). \quad (۳۸ - ۶)$$

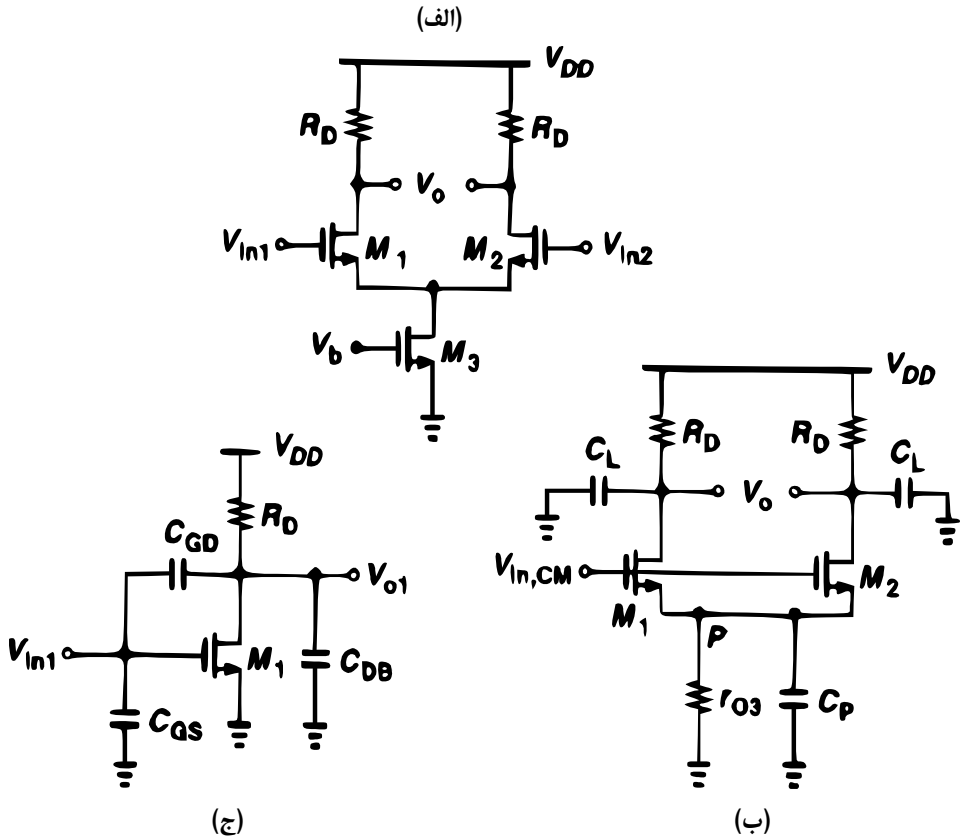
امپدانس خروجی دیده‌شده از گره X تا زمین برابر است با:

$$Z_X = r_{O1} \| \frac{1}{C_X s}. \quad (۳۹ - ۶)$$

ساختار دیگر که در اینجا بحث نمی‌شود، تقویت‌کننده کسکود تاشده موجود در شکل ۳-۳۴ است. پهنای باند این تقویت‌کننده کوچک‌تر از تقویت‌کننده کسکود عادی است چراکه در نقطه تاشدگی یک قطب فرکانس پایین وجود دارد. ولی از مزایای این تقویت‌کننده، حداقل ولتاژ لازم برای تغذیه $(v_{DD,min})$ پایین‌تر و ولتاژ ورودی حالت مشترک $v_{CM,in}$ پایین می‌باشد.

ه) زوج تفاضلی

زوج تفاضلی بین سیگنال‌های حالت تفاضلی و حالت مشترک تفاوت قائل می‌شود. شکل ۶-۱۵-الف آرایش یک تقویت‌کننده تفاضلی ساده و با بار مقاومتی را نمایش می‌دهد. شکل‌های ۶-۱۵-ب و۶-۱۵-ج به ترتیب مدار معادل تقویت‌کننده را در حالت مشترک و تفاضلی به تصویر می‌کشد. اگر فرض کنیم که دو ترانزیستور M_1 و M_2 از نظر هدایت انتقالی کمی تفاوت داشته باشند در این صورت برای سیگنال‌های حالت مشترک نشان دادیم:



شکل۶-۱۵ آرایش یک تقویت‌کننده تفاضلی و مدار معادل حالت مشترک و حالت تفاضلی آن.

$$A_{V,CM} = -\frac{\Delta g_m \left[R_D \| \frac{1}{C_L s}\right]}{(g_{m1}+g_{m2})\left[r_{O3} \| \frac{1}{C_P s}\right]+1}. \qquad (۴۰-۶)$$

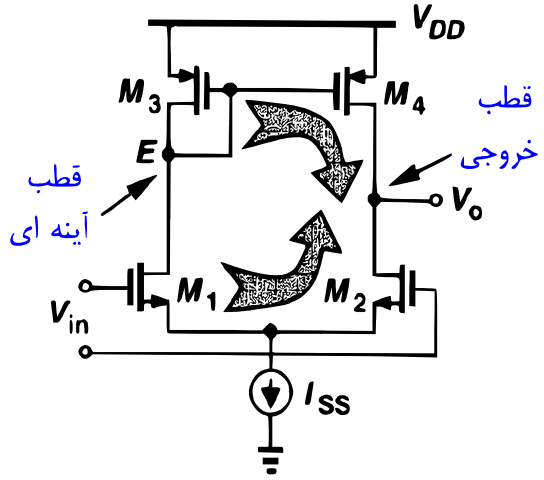
با افزایش فرکانس، اثر خازن C_P در اتصال کوتاه نمودن مقاومت r_{O3} بیشتر شده، $A_{V,CM}$ افزایش یافته و CMRR کم می‌شود.این نکته ازلحاظ انتقال نویز ورودی به خروجی مطلوب نیست.

رفتار تقویت‌کننده در حالت تفاضلی، دقیقاً مشابه با تقویت‌کننده سورس – مشترک است اثر میلر C_{GD} در ورودی ظاهر می‌شود. مدار معادل تک سر شکل ۶-۱۶- ج دارای قطب غالب و با اندازه

$$P_O = \frac{-1}{(R_D \| r_O) C_L} \qquad (۴۱-۶)$$

در گره خروجی است. معمولاً مقاومت R_D با یک ترانزیستور pMOS جایگزین می‌شود.

هم‌اکنون ساختار شکل ۶-۱۶ با خروجی تک سر را در نظر بگیرید.در مقایسه با ساختار تمام تفاضلی شکل ۶-۱۶، این ساختار دارای قطبی مرسوم به قطب آینه‌ای به دلیل آینه شدن خروجی جریان ترانزیستور M_1 است.



شکل۶-۱۶تقویت‌کننده تفاضلی با خروجی تک‌سر.

تابع تبدیل این ساختار دارای دو قطب و یک صفر است:

$$\frac{v_O}{v_{in}} = A_0 \frac{1+\frac{s}{\omega_Z}}{\left(1+\frac{s}{\omega_E}\right)\left(1+\frac{s}{\omega_O}\right)}. \qquad (۴۲-۶)$$

در مقایسه با حالت خروجی تمام تفاضلی شکل ۶-۱۵، ساختار شکل ۶-۱۶ دارای یک قطب در فرکانس ω_E و یک صفر در فرکانس $\omega_Z = 2\omega_O$ خواهد بود. فرکانس صفرها و قطب‌ها عبارت‌اند از:

$$\omega_O = \frac{1}{(r_{O2} \| r_{O4}) C_L}, \qquad (۴۳-۶)$$

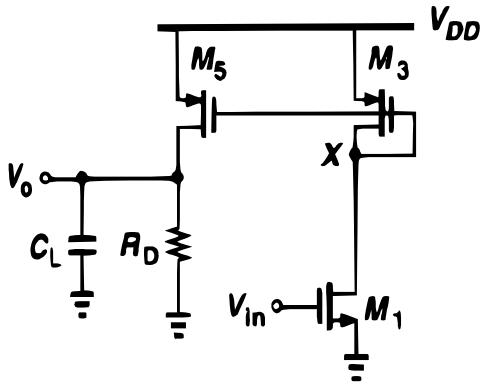
$$\omega_E = \frac{g_{m3}}{C_E}, \qquad (۴۴-۶)$$

$$\omega_Z = \frac{2g_{m3}}{C_E}. \qquad (۴۵-۶)$$

دلیل وجود صفر و قطب اضافی در این ساختار، وجود یک مسیر پرسرعت از ورودی به خروجی از طریق M_1 و M_2 و یک مسیر کندتر از طریق ترانزیستورهای $M_1 - M_3 - M_4$ است.این مورد یک مزیت دیگر ساختار تمام تفاضلی نسبت به ساختار تک سر است.

*) **نکته:** در برخی مواقع سیگنال اصلی از طریق آینه جریان منتقل می‌شود. قطب آینه‌ای در شکل ۶-۱۷ عبارت است از:

$$\omega_X = \frac{g_m}{2C_{GS}}. \qquad (۴۶-۶)$$



شکل۶-۱۷ استفاده از آینه جریان به‌منظور انتقال مستقیم سیگنال از ورودی به خروجی.

فصل هفتم: نویز

یکی از چالش‌های اساسی در طراحی مدارهای الکترونیک نویز است. این پدیده حد پایین توان سیگنال ورودی را به‌منظور پردازش توسط مدارهای الکترونیکی محدود می‌کند. نویز پدیده‌ای تصادفی است که با توان مصرفی، سرعت و خطی بودن مصالحه دارد.

منابع نویز موجود در مدارهای الکترونیکی بر دو نوع هستند: (الف) منابع نویز هم‌بسته که رفتار آنها تا حد زیادی مشابه با یکدیگر است. (ب) منابع نویز نا همبسته که رفتار آنها مستقل از یکدیگر هستند.

۷-۱) خصوصیات آماری نویز

نویز پدیده‌ای تصادفی است به این معنا که اگر مقادیر نویز از گذشته تا حال مشخص باشند نمی‌توان مقدار کنونی آن را پیش‌بینی کرد (به‌عنوان‌مثال صدای دریافت شده از رودخانه دارای چنین خصوصیتی است). علی‌رغم اینکه نمی‌توان مشخصه‌های لحظه‌ای نویز را پیش‌بینی کرد اما با استفاده از مدل‌های آماری می‌توان خصوصیات مهمی همچون مقدار متوسط و انحراف معیار آن را بدست آورد. تنها این موارد هستند که برای تحلیل مدار اهمیت دارند و تحلیل آنها کافی به نظر می‌رسد.

یکی از مشخصه‌های آماری نویز که قابل پیش‌بینی نیز است مقدار متوسط آن می‌باشد. به‌عنوان‌مثال نزدیک کردن میکروفن به رودخانه باعث افزایش توان نویز شنیده‌شده می‌شود. توان متوسط سیگنال ولتاژ متناوب $v(t)$ بر روی مقاومت بار R_L را می‌توان به‌صورت زیر محاسبه نمود.

$$p_{av} = \frac{1}{T}\int_{T} \frac{v^2(t)}{R_L}dt. \qquad (۱-۷)$$

دوره تناوب T سیگنال تصادفی بی‌نهایت است. لذا مقدار متوسط آن از رابطه زیر بدست می‌آید.

$$p_{av} = \lim_{T\to\infty}\frac{1}{T}\int_{-\frac{T}{2}}^{\frac{T}{2}} \frac{x^2(t)}{R_L}dt. \qquad (۲-۷)$$

این به معنای جمع‌کردن مؤلفه‌های کوچک توان لحظه‌ای و تقسیم هر یک بر دوره تناوب است.

به‌منظور ساده شدن تحلیل، می‌توان مقاومت بار را نیز نرمالیزه نمود و $R_L = 1\Omega$ در نظر گرفت. به همین دلیل است که در تحلیل نویز، اغلب واحد p_{av} را به‌جای وات (W) برحسب مجذور ولت (V^2) در نظر می‌گیرند. طبعاً به‌سادگی می‌توان توان متوسط را به ازای سایر مقاومت‌ها و با محاسبه p_{av}/R_L نیز بدست آورد.

*) **نکته:** با توجه به اینکه توان مجذور ولتاژ است، لذا در محاسبات، $\sqrt{p_{av}}$ برابر یا مقدار مؤثر ولتاژ نویز v_{nrms} بوده و از آن برای نشان دادن معیاری از ولتاژ نویز استفاده می‌شود $(p_{av} = v_{nrms}^2)$. به‌منظور مقایسه توان سیگنال با توان نویز، برخی تعاریف رایج نیز وجود دارند که در اینجا تنها به آنها اشاره می‌شود؛ ازجمله:

$SNR_{dB} = 10\log\left(\frac{signal\ power}{noise\ power}\right) = 20\log\left(\frac{v_{Srms}}{v_{nrms}}\right)$, (۳ − ۷) نسبت سیگنال به نویز

$SNDR\ (Signal\ to\ Noise + Distortion)$ نسبت سیگنال به نویز و اعوجاج

$$= \frac{\text{توان مؤثر سیگنال}}{\text{توان مؤثر اعوجاج و نویز}}, \quad (۴ - ۷)$$

$THD =$ اعوجاج هارمونیکی کلی $\frac{\text{توان مؤثر هارمونیک‌ها}}{\text{توان مؤثر سیگنال اصلی}}$. (۵ − ۷)

۷-۲) چگالی طیف توان نویز

با بررسی توان نویز برحسب فرکانس، بسیاری از خصوصیات مخفی آن آشکار می‌شود. این مورد به چگالی طیف توان (PSD) معروف است و نشان می‌دهد که در هر فرکانس، به چه میزان توان از نویز موردنظر وجود دارد.

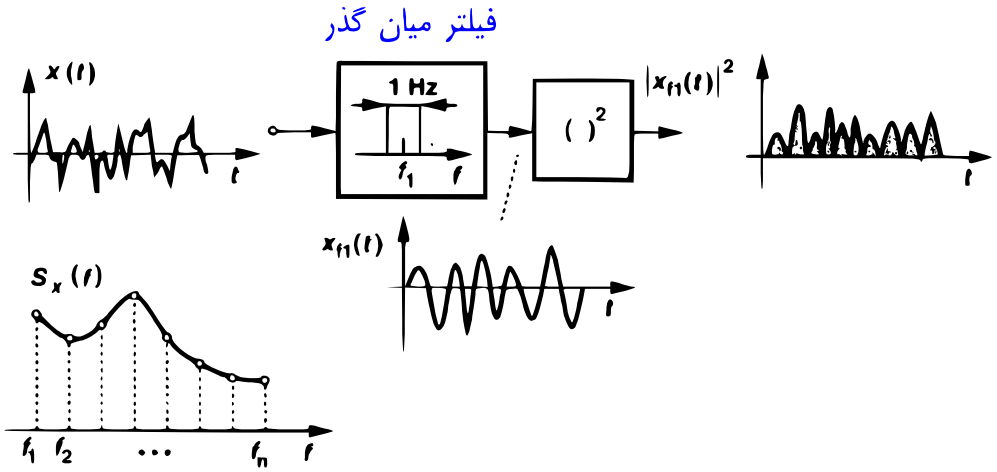
برای محاسبه PSD باید فیلتری با پهنای باند 1Hz حول‌وحوش فرکانس مشخص f_1 قرار داد. با گذر نویز ورودی از این فیلتر و به توان دو رسانیدن خروجی حاصل، چگالی طیف توان در فرکانس موردنظر یعنی $S_X(f_1)$ مشخص می‌شود. با ادامه این کار در همه فرکانس‌ها، درنهایت $S_X(f)$ در کل بازه فرکانسی

مشخص می‌شود. توجه به این نکته ضروری است که باید این کار را برای هر فرکانس و در زمان طولانی انجام داد تا متوسط توان نویز بدست آید (شکل ۷-۱).

چون مقاومت نرمالیزه را $R_L = 1\Omega$ در نظر گرفتیم، $S_X(f)$ را به‌جای $\mathrm{W/Hz}$ برحسب $\mathrm{V^2/Hz}$ می‌سنجیم. طبیعی است که ولتاژ مؤثر نویز برحسب فرکانس برحسب $\mathrm{V/\sqrt{Hz}}$ سنجیده شود. به‌عنوان‌مثال دو تعریف زیر برای توان نویز ورودی به یک تقویت‌کننده در فرکانس $100\mathrm{MHz}$ یکسان هستند:

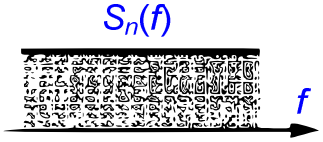
$$V_{n,amp}(100\mathrm{MHz}) = 3\frac{\mathrm{nV}}{\sqrt{\mathrm{Hz}}},$$

$$P_{av,amp}(100\mathrm{MHz}) = (3\times 10^{-9})^2\mathrm{V}^2.$$



شکل۷-۱ چگونگی محاسبه چگالی طیف توان نویز.

۷-۳) نویز سفید



شکل ۷-۲ چگالی طیف توان نویز سفید را برحسب فرکانس نشان می‌دهد. همان‌گونه که دیده می‌شود، PSD این نویز در کلیه فرکانس‌ها یکسان است.

شکل۷-۲ چگالی طیف توان نویز سفید.

*) **نکته:** اگر نویزی با چگالی طیف توان $S_X(f)$ به ورودی دستگاهی با تابع تبدیل $H(s)$ اعمال شود، آنگاه چگالی طیف توان در خروجی از رابطه زیر بدست می‌آید:

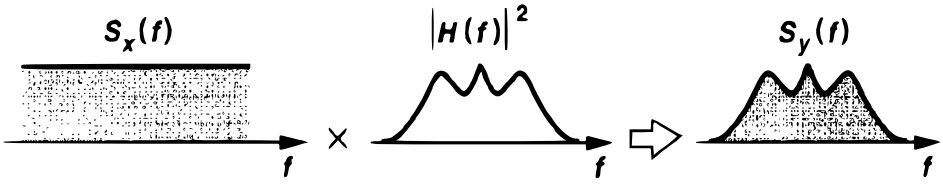
$$H(f) = H(s = 2\pi jf), \qquad (۶-۷)$$

$$S_Y(f) = S_X(f)|H(f)|^2. \qquad (۷-۷)$$

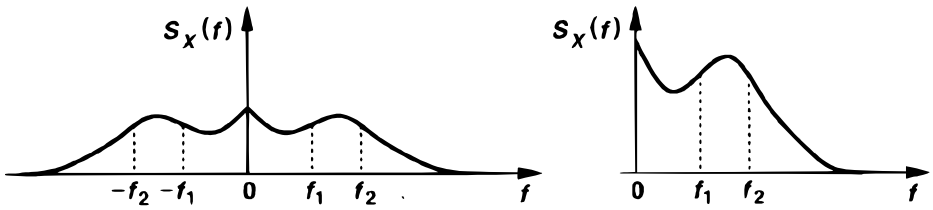
شکل ۷-۳ چگالی طیف توان خروجی یک سیستم را با عبور دادن نویز از آن نشان می‌دهد. همان‌گونه که دیده می‌شود، مشخصه نویز خروجی شکل تابع تبدیل سیستم را به خود گرفته است. به‌عنوان‌مثال، ازآنجاکه پهنای باند سیستم انتقال صوت در تلفن‌ها برابر با $4\ \text{kHz}$ است، مؤلفه‌های نویز و فرکانس بالای صدا با عبور از خطوط تلفن حذف می‌شوند.

*) **نکته:** می‌توان طیف نویز یک سیگنال مشخص را یک‌طرفه یا دوطرفه فرض کرد هرچند که طیف چگالی توان دوطرفه رایج‌تر است (شکل ۷-۴). از این منظر تفاوتی در محاسبات وجود ندارد چراکه توان نویز محاسبه‌شده $p_{f1,f2}$ در بازه فرکانسی $[f_1, f_2]$ یکسان بدست می‌آید. به‌عبارت‌دیگر می‌توان قسمت منفی طیف دوطرفه را به قسمت مثبت آن منعکس نمود و به طیف یک‌طرفه رسید.

$$p_{f1,f2} = \int_{-f_2}^{-f_1} S_X(f)df + \int_{f_1}^{f_2} S_X(f)df = 2\int_{f_1}^{f_2} S_X(f)df. \qquad (۸-۷)$$



شکل۷-۳ چگالی طیف توان خروجی یک سیستم با تابع تبدیل مشخص.



شکل۷-٤ (الف) چگالی طیف توان یک‌طرفه؛ (ب) چگالی طیف توان دوطرفه.

با توجه به ماهیت تصادفی نویز، مقدار لحظه‌ای آن قابل پیش‌بینی نیست. اما می‌توان نحوه توزیع دامنه را برای مقادیر مختلف بدست آورد و تابع چگالی احتمال را رسم کرد. تابع چگالی احتمال (PDF) برابر است با:

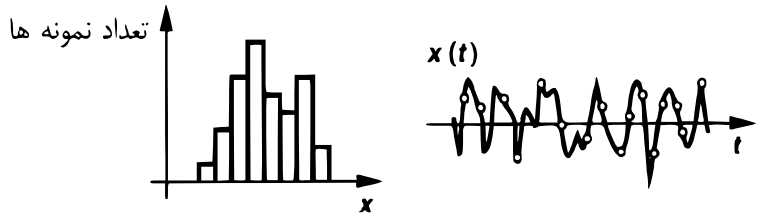
$P_X(x)dx = x < X < x + dx$ احتمال

X: مقدار اندازه‌گیری شده

برای رسم تابع چگالی احتمال، باید از نویز در حوزه زمان نمونه‌برداری کرد (شکل ۷-۵- الف) و نمودار ستونی را مطابق با شکل ۷-۵- ب رسم نمود. درنهایت نمونه‌ها برحسب مقدار کلی آنها نرمالیزه می‌شود.

تابع چگالی احتمال گوسی یک نمونه تابع PDF رایج است. ضابطه آن برابر است با:

$$P_X(x) = \frac{1}{\sigma\sqrt{2\pi}} exp\, \frac{-(x-m)^2}{2\sigma^2}. \qquad (۹-۷)$$



شکل۷-۵ نمونه‌برداری از نویز در حوزه زمان و بدست آوردن تابع چگالی احتمال.

۷-۴) منابع نویز همبسته و ناهمبسته

فرض کنید که بخواهیم توان نویز سیگنال مجموع $x_1(t) + x_2(t)$ را بدست آوریم. برای این کار از تعریف توان متوسط استفاده می‌کنیم:

$$P_{av} = \lim_{T\to\infty} \frac{1}{T} \int_{-T/2}^{T/2} [x_1(t) + x_2(t)]^2\, dt,$$

$$= \lim_{T\to\infty} \frac{1}{T} \int_{-T/2}^{T/2} x_1^2(t)dt + \lim_{T\to\infty} \frac{1}{T} \int_{-T/2}^{T/2} x_2^2(t)dt + \lim_{T\to\infty} \frac{1}{T} \int_{-T/2}^{T/2} 2x_1(t)x_2(t)\, dt$$

$$= P_{av1} + P_{av2} + \lim_{T\to\infty} \frac{1}{T} \int_{-T/2}^{T/2} 2x_1(t)x_2(t)\, dt. \qquad (۱۰-۷)$$

در رابطه بالا P_{av1} و P_{av2} به ترتیب توان متوسط سیگنال‌های $x_1(t)$ و $x_2(t)$ هستند. جمله سوم همبستگی نام دارد و نشان می‌دهد که چقدر دو شکل موج شبیه به یکدیگر هستند. اگر دو منبع نویز موردنظر توسط دو منبع مستقل از هم تولید شوند، ناهمبسته بوده و انتگرال همبستگی حذف می‌شود (به‌عنوان‌مثال نویز تولیدشده توسط یک مقاومت و ترانزیستور در مدار ناهمبسته هستند). در این حالت

$$P_{av} = P_{av1} + P_{av2} \qquad (۱۱-۷)$$

خواهد بود.

۷-۵) انواع نویز

دو منبع نویز مهم در مدارهای مجتمع به چشم می‌خورد. این دو منبع عبارت از نویز دستگاه‌ها و نویز محیطی هستند. در این بخش انواع نویز تولیدشده توسط دستگاه‌ها را مطالعه می‌کنیم.

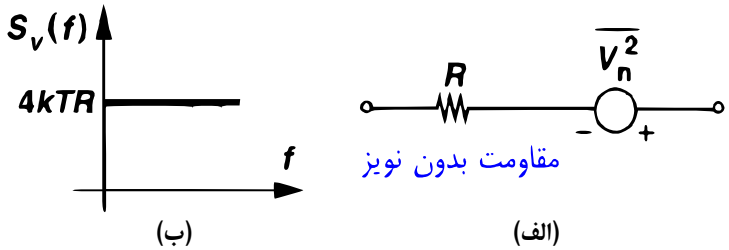
الف) نویز گرمایی

به دلیل حرکت تصادفی الکترون‌های عبوری از یک مقاومت، هر مقاومت اهمی نویز تولید می‌کند. اندازه این نویز با دما در ارتباط است و با افزایش آن بیشتر می‌شود. لذا نویز گرمایی نام دارد و به‌صورت یک منبع ولتاژ تصادفی سری با مقاومت مدل‌سازی می‌شود (شکل ۷-۶-الف). چگالی طیف توان این نویز از نوع سفید است (شکل ۷-۶-ب) و رابطه آن به‌صورت زیر است:

$$S_V(f) = \overline{V_n^2} = 4kTR. \qquad (۱۲-۷)$$

در رابطه بالا، T درجه حرارت برحسب درجه کلوین و k ثابت بولتزمن با مقدار $1.38 \times 10^{-23}\ \mathrm{J/^oK}$ است. برای یک مقاومت $R = 50\Omega$ در دمای اتاق $T = 300^\circ k$ داریم:

$$\overline{V_n^2} = 8.28 \times 10^{-19}\mathrm{V^2/Hz} \equiv 0.91\ \mathrm{nV}/\sqrt{\mathrm{Hz}}.$$



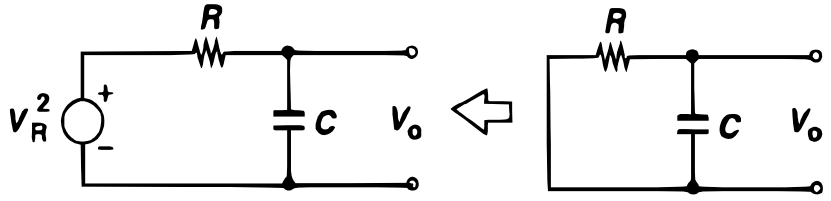
شکل۷-٦ مدل‌سازی نویز گرمایی مقاومت به‌صورت یک منبع ولتاژ نویز.

برای به دست آوردن ولتاژ مؤثر نویز کلی ($\overline{V_{n,tot}^2}$) موجود در پهنای باند $\mathrm{BW} = f_2 - f_1$، باید چگالی طیف توان را در پهنای باند ضرب نمود:

$$\overline{V_{n,tot}^2} = 4kTR \times \mathrm{BW}. \qquad (۱۳-۷)$$

در مدل‌سازی چگالی طیف توان نویز در شکل ۷-۶-ب، نویز حرارتی مقاومت در تمامی فرکانس‌ها ثابت در نظر گرفته‌شده است. در عمل به ازای فرکانس‌های بالاتر از 100 THz، توان نویز گرمایی به‌شدت افت می‌کند. ولی ازآنجاکه فرکانس‌های کاری متداول در مدارهای الکترونیک به‌مراتب از این مقدار کمتر است، نویز گرمایی را در کل بازه فرکانسی می‌توان ثابت تصور کرد.

مثال ۷-۱: چگالی طیف توان و توان کلی نویز تولیدشده در خروجی مدار RC شکل ۷-۷-الف، ناشی از نویز گرمایی مقاومت R را بدست آورید.



شکل۷-۷ بدست آوردن رابطه نویز خروجی در مدار *RC*.

شکل ۷-۷- ب مدل‌سازی نویز مقاومت را به‌صورت یک منبع نویز سری با آن نمایش می‌دهد. تابع تبدیل این منبع نویز تا خروجی عبارت است از

$$\frac{v_O}{v_R} = \frac{1/Cs}{R + 1/Cs} = \frac{1}{1 + RCs}. \qquad (۱۴-۷)$$

لذا چگالی طیف توان نویز در خروجی با توجه به رابطه چگالی طیف توان خروجی با ورودی و تابع تبدیل بدست می‌آید:

$$S_O(f) = S_R(f)\left|\frac{1}{1 + j\omega RC}\right|^2 = \frac{4kTR}{1 + 4\pi^2 R^2 C^2 f^2}. \qquad (۱۵-۷)$$

برای بدست آوردن توان کلی نویز، باید از چگالی طیف خروجی در حوزه فرکانس انتگرال‌گیری کرد.

$$P_{n,out}(\mathrm{V}^2) = \int_0^{\infty} \frac{4kTR}{4\pi^2 R^2 C^2 f^2 + 1}\, df = \frac{kT}{C}. \qquad (۱۶-۷)$$

توان نویز تولیدشده در خروجی به‌اندازه مقاومت بستگی ندارد و تنها وابسته به مقدار خازن است. واضح است که افزایش R باعث افزایش چگالی طیف توان نویز گرمایی یعنی $4KTR$ می‌شود. اما دلیل آنکه چرا توان نویز وابسته به R نیست آن است که افزایش R همچنین باعث کاهش پهنای باند فیلتر RC می‌شود. درنهایت این دو اثر یکدیگر را خنثی نموده و توان نویز خروجی را مستقل از R می‌کند.

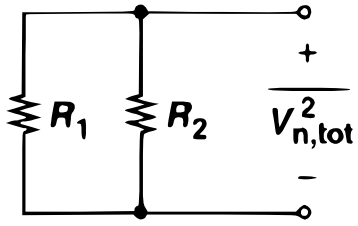
با افزایش اندازه خازن، نویز معادل در خروجی کمتر می‌شود. این بدان دلیل است که خازن C منبع تولید نویز نیست و تنها از بین برنده نویز خروجی با اتصال کوتاه کردن آن به زمین می‌باشد. مدار معادل دیده‌شده از خروجی‌های مدارهای الکترونیکی، معمولاً به‌صورت شکل ۷–۷ است. اینکه نسبت kT/C تنها به C وابسته است، مشکلات زیادی را از نظر سطح اشغالی مدارهای آنالوگ ایجاد می‌کند. برای $1/4$ نمودن توان نیز در خروجی، باید اندازه خازن معادل را 4 برابر کنیم.

همواره ولتاژ با جذر توان در ارتباط است. لذا ولتاژ مؤثر نویز بدست آمده از رابطه بالا برابر با $\sqrt{kT/C}$ خواهد بود. به‌عنوان‌مثال، ولتاژ مؤثر نویز خروجی از یک خازن $1\mathrm{pF}$، برابر با $64.3\mu\mathrm{V_{rms}}$ است.

*** نکته:** اگر مقاومت و منبع ولتاژ موجود در شکل ۷–۷–الف را معادل با مدار معادل تونن در نظر بگیریم، مدار معادل نورتن آن معادل با همان مقاومت با منبع جریان با اندازه زیر خواهد بود:

$$\overline{I_n^2}(\mathrm{A}^2/\mathrm{Hz}) = \frac{\overline{V_n^2}}{R^2} = \frac{4kT}{R}. \qquad (۱۷-۷)$$

به‌عنوان‌مثال جریان کلی معادل با نویز گرمایی و چگالی طیف توان در خروجی مدار شکل ۷–۸ برابر هستند با:

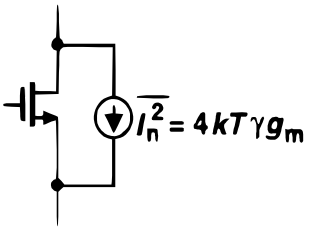


$$\overline{I_{n,tot}^2} = \overline{I_{n1}^2} + \overline{I_{n2}^2} = 4kT\left(\frac{1}{R_1} + \frac{1}{R_2}\right), \qquad (۱۸-۷)$$

$$\overline{V_{n,tot}^2} = \overline{I_{n,tot}^2}(R_1 \| R_2)^2 = 4kT(R_1 \| R_2). \qquad (۱۹-۷)$$

شکل ۷–۸ بدست آوردن ولتاژ و جریان کلی نویز در خروجی مدار شامل دو مقاومت موازی.

ب) نویز گرمایی در ترانزیستور ماسفت

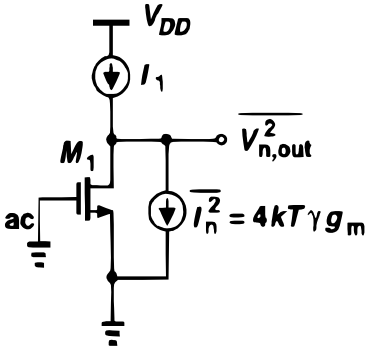


مطابق با شکل ۷-۹، نویز گرمایی کانال ترانزیستور ماسفت، به‌صورت یک منبع جریان موازی با کانال و از رابطه زیر محاسبه می‌شود:

$$\overline{I_n^2} = 4kT\gamma g_m. \qquad (۲۰-۷)$$

شکل۷-۹ مدل‌سازی نویز گرمایی کانال در ترانزیستور ماسفت.

پارامتر γ یک عدد ثابت و مقدار دقیق آن وابسته به فن‌آوری ساخت است. متأسفانه در فن‌آوری‌های جدید، مقدار γ بیشتر شده است. برای ترانزیستورهای با L بزرگ، این عدد در حدود $\gamma = 2/3$ بود که در فن‌آوری $0.25\mu m$، به حدود 2.5 رسیده است.

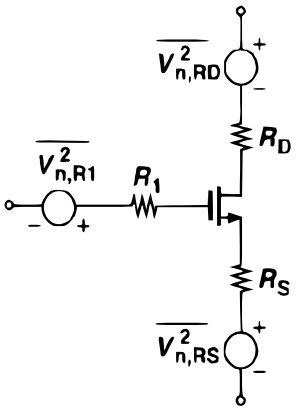


شکل۷-۱۰ تقویت‌کننده مثال ۷-۲.

مثال ۷-۲: چگالی طیف توان ولتاژ نویز را در خروجی تقویت‌کننده شکل ۷-۱۰ را محاسبه کنید.

با توجه به نحوه مدل‌سازی نویز گرمایی کانال برای ترانزیستور موجود در شکل ۷-۱۰، مجذور ولتاژ مؤثر نویز در خروجی تقویت‌کننده از رابطه زیر بدست می‌آید:

$$\overline{V_{n,O}^2} = r_O^2\overline{I_n^2} = 4kT(\gamma g_m)r_O^2. \qquad (۲۱-۷)$$



شکل۷-۱۱ منابع اهمی تولید نویز ترانزیستور ماسفت.

*) **نکته:** بخش‌های اهمی ترانزیستور ماسفت نیز منبع تولید نویز گرمایی با چگالی $4kTR$ هستند. همان‌گونه که در شکل ۷-۱۱ نشان داده‌شده است، پایانه‌های G و D و S همگی شامل مقاومت اهمی با امکان تولید نویز هستند.

مقاومت R_1 به شکل زیر با مقاومت گیت R_G در ارتباط است.

$$R_1 = R_G/3. \qquad (۲۲-۷)$$

استفاده از روش انگشتی کردن (Fingering) برای گیت و نیز اتصال گیت به فلز از دو یا چند نقطه همگی منجر به کاهش مقاومت گیت R_G خواهند شد.

ج) نویز فلیکر یا نویز $1/f$

نویز فلیکر مختص ترانزیستور ماسفت است. این نویز در اثر به دام افتادن تصادفی حامل‌ها در پیوندهای تشکیل‌شده بین Si زیر ناحیه گیت و SiO_2 در بالای گیت ایجاد می‌شود. به دلیل وابستگی عکس این نویز به فرکانس و غالب بودن اثر آن در فرکانس‌های پایین‌تر، به نویز فلیکر نویز $1/f$ نیز اطلاق می‌شود. نویز فلیکر به‌صورت یک منبع ولتاژ تصادفی در پایانه گیت و با چگالی طیف توان زیر مدل‌سازی می‌شود:

$$\overline{\mathrm{V_n^2}} = \frac{k}{C_{ox}WL}\left(\frac{1}{f}\right). \qquad k = 10^{-25}V^2F \qquad (۲۳-۷)$$

رابطه بالا نشان می‌دهد که برای کاهش این نویز، باید ابعاد ترانزیستور را افزایش دهیم. لذا در کاربردهای نویز پایین، از ترانزیستورهای با ابعاد بسیار بزرگ استفاده می‌شود. علاوه بر این باید توجه داشت که ترانزیستورهای pMOS، نویز $1/f$ کمتری تولید می‌کنند.

مثال ۷-۳: جریان نویز گرمایی و $1/f$ تولیدشده توسط یک منبع جریان ساخته‌شده از ترانزیستور nMOS را در بازه فرکانسی $1k$Hz تا 1MHz حساب کنید.

اندازه جریان نویز گرمایی در این بازه فرکانسی از رابطه $\overline{I_n^2} = 4kT\gamma g_m$ بدست می‌آید:

$$\overline{I_{n,th}^2} = 4kT\left(\frac{2}{3}g_m\right)(10^6 - 10^3)A^2. \qquad (۲۴-۷)$$

از طرف دیگر، جریان نویز فلیکر در این بازه برابر با حاصل‌ضرب $\overline{I_{n,1/f}^2} = g_m^2\overline{V_{n,1/f}^2}$ است:

$$\overline{I_{n,1/f}^2} = g_m^2\overline{V_{n,1/f}^2} = g_m^2\frac{k}{C_{ox}WL}\int_{1kHz}^{1MHz}\left(\frac{1}{f}\right)df = \frac{6.91kg_m^2}{C_{ox}WL}A^2. \quad (۲۵-۷)$$

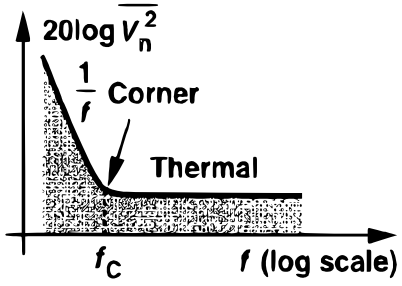
۷-۶) فرکانس گوشه (*Corner Frequency*) و نحوه محاسبه آن

فرکانس گوشه f_C فرکانسی است که در آن، چگالی طیف توان نویز فلیکر با چگالی طیف توان گرمایی برابر شده و ازآنجا به بعد می‌توان اثر نویز گرمایی را غالب در نظر گرفت (شکل ۷-۱۲).

برای محاسبه این فرکانس باید چگالی طیف توان جریان نویز گرمایی را با چگالی طیف توان نویز فلیکر برابر در نظر گرفت:

$$4kT\left(\frac{2}{3}g_m\right) = g_m^2\frac{k}{C_{ox}WL}\left(\frac{1}{f_C}\right)$$

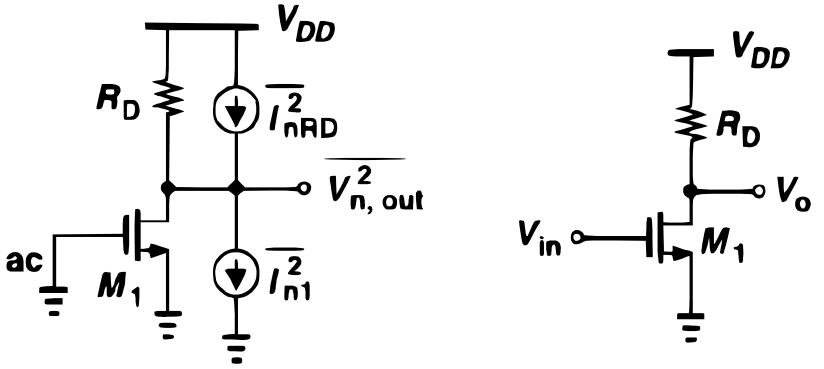
$$\Rightarrow f_C = \frac{k}{C_{ox}WL}g_m\frac{3}{8kT}. \quad (۲۶-۷)$$



شکل۷-۱۲ فرکانس گوشه در ترانزیستور ماسفت.

۷-۷) مدل‌سازی نویز در ورودی و خروجی تقویت‌کننده‌ها

می‌توان اثر نویز کل منابع یک مدار را به‌صورت منبع ولتاژ یا جریان در ورودی یا خروجی تقویت‌کننده مدل‌سازی نمود. شکل ۷-۱۳-الف آرایش یک تقویت‌کننده ولتاژ را با ورودی و خروجی نشان می‌دهد. شکل ۷-۱۳-ب منابع جریان مهم نویز برای این تقویت‌کننده را به تصویر می‌کشد. این منابع شامل منبع جریان نویز گرمایی کانال ترانزیستور، منبع جریان معادل با منبع ولتاژ نویز فلیکر ترانزیستور و منبع جریان نویز گرمایی مقاومت R_D هستند. ولتاژ معادل نویز در خروجی تقویت‌کننده از حاصل‌ضرب جریان نویز خروجی در مجذور مقاومت R_D بدست می‌آید.



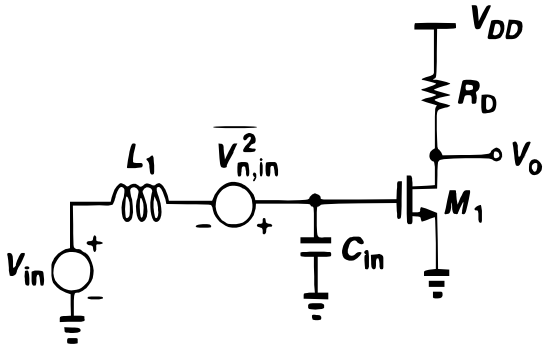
شکل۷-۱۳ محاسبه چگالی ولتاژ نویز در خروجی تقویت‌کننده.

$$\overline{V_{n,out}^2} = R_D^2 \overline{I_{n,out}^2} = R_D^2 \left(4kT\gamma g_m + \frac{k}{C_{ox}WL}\frac{1}{f} g_m^2 + \frac{4kT}{R_D}\right). \qquad (۲۷-۷)$$

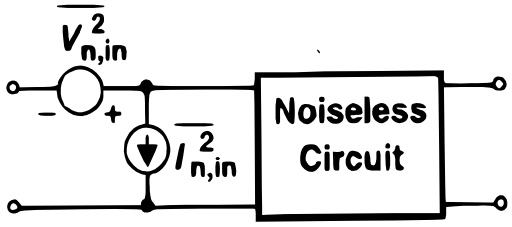
معمولاً توان نویز را به ورودی تقویت‌کننده (*input-referred*) ارجاع می‌دهند تا به‌طور منصفانه در کنار توان سیگنال اعمالی به ورودی قرار گرفته و نسبت سیگنال به نویز یا SNR بدست آید. این موضوع در بسیاری از بلوک‌های مداری از مبدل‌های آنالوگ به دیجیتال یا ADC امری بسیار رایج است. نویز ارجاع داده‌شده به ورودی تقویت‌کننده را نمی‌توان به‌طور مستقیم بدست آورد. تنها می‌توان پس از بدست آوردن نویز ارجاع داده‌شده به خروجی (رابطه بالا)، آن را بر مجذور بهره ولتاژ تقویت‌کننده تقسیم نمود:

$$\overline{V_{n,in}^2} = \frac{\overline{V_{n,out}^2}}{A_V^2} = \frac{\overline{V_{n,out}^2}}{g_m^2 R_D^2}. \qquad (۲۸-۷)$$

به روش بالا، تعریف نویز ارجاع داده‌شده به ورودی تقویت‌کننده تعریف دقیقی نیست. اگر فرض کنیم که ورودی به‌صورت شکل ۷-۱۴-الف بوده و امپدانس خروجی منبع ورودی از نوع سلفی باشد، با بینهایت شدن امپدانس سلف (فرکانس‌های بالا)، عملاً منبع ولتاژ از یک سمت اتصال باز شده و نویز ارجاع داده به خروجی ناشی از این منبع ولتاژ صفر می‌شود. این موضوع صحیح نیست چراکه می‌دانیم که چنین تقویت‌کننده‌ای در فرکانس‌های بالا نیز دارای نویز است. برای حل این مشکل نویز ورودی را به‌صورت یک منبع جریان و یک منبع ولتاژ در ورودی مدل‌سازی می‌کنند (شکل ۷-۱۴-ب).



(الف)



(ب)

شکل۷-۱٤: (الف) تقویت‌کننده ولتاژ با ورودی با امپدانس سلفی کوپل شده به ترانزیستور؛ (ب) نحوه تعریف دقیق نویز ارجاع داده‌شده به ورودی تقویت‌کننده به شکل منابع ولتاژ و جریان.

چگونه می‌توان $\overline{V_{n,in}^2}$ و $\overline{I_{n,in}^2}$ را در شکل ۷-۱۴-ب محاسبه نمود؟ ازآنجاکه مدل ۷-۱۴-ب برای هر حالتی از امپدانس منبع Z_S برقرار است، پس برای دو حالت حدی یعنی $Z_S = 0$ و $Z_S = \infty$ نیز برقرار خواهد بود. در حالت حدی $Z_S = 0$، فقط منبع $\overline{V_{n,in}^2}$ باقی می‌ماند و دو سر منبع جریان $\overline{I_{n,in}^2}$ به یکدیگر اتصال کوتاه می‌شود. در حالت دوم یعنی $Z_S = \infty$، منبع ولتاژ اتصال باز و حذف می‌شود و فقط منبع جریان $\overline{I_{n,in}^2}$ در مدار باقی می‌ماند. لذا می‌توان با محاسبه میزان نویز ورودی در این دو حالت اندازه دو منبع را بدست آورد.

مثال ۷-٤: نویز ورودی در مدار شکل ۷-۱۴-الف (همان مدار شکل ۷-۱۳) را با استفاده از مدل نویز ورودی در شکل ۷-۱۴-ب مدل‌سازی کنید و اندازه منبع جریان و منبع ولتاژ حاصل را بدست آورید. برای سادگی کار، از اثر نویز $1/f$ که فقط در فرکانس‌های پایین اهمیت دارد صرف‌نظر کنید.

با صرف‌نظر از نویز فلیکر، قبلاً نشان دادیم که برای این مدار داریم:

$$\overline{V_{n,out}^2} = R_D^2 \overline{I_{n,out}^2} = R_D^2 \left(4kT\gamma g_m + \frac{4kT}{R_D}\right). \qquad (۲۹-۷)$$

برای بدست آوردن اثر $\overline{V_{n,in}^2}$، امپدانس ورودی را صفر فرض می‌کنیم (سلف L اتصال کوتاه). لذا خواهیم داشت:

$$\overline{V_{n,in}^2} = \frac{\overline{V_{n,out}^2}}{A_V^2} = \frac{\overline{V_{n,out}^2}}{g_m^2 R_D^2} = \frac{4kT\gamma}{g_m} + \frac{4kT}{g_m^2 R_D}. \qquad (۳۰-۷)$$

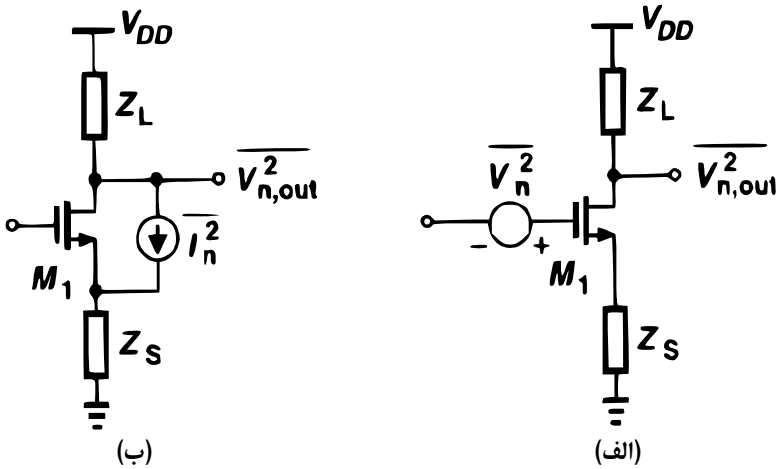
برای بدست آوردن جریان $\overline{I_{n,in}^2}$، امپدانس ورودی را بینهایت فرض می‌کنیم (منبع ورودی اتصال باز). لذا اثر نویز ارجاع داده‌شده به خروجی یا $\overline{V_{n,out}^2}$ را تنها ناشی از $\overline{I_{n,in}^2}$ می‌گیریم. جریان نویز ورودی به امپدانس خازنی ورودی تقویت‌کننده وارد می‌شود و ولتاژ نویز ورودی را در حالت جدید می‌سازد. این ولتاژ سپس در بهره تقویت‌کننده ضرب می‌شود تا ولتاژ نویز خروجی را ایجاد کند:

$$\overline{V_{n,out}^2} = \overline{I_{n,in}^2}\left(\frac{1}{C_{in}\omega}\right)^2 g_m^2 R_D^2 \Rightarrow \overline{I_{n,in}^2} = (C_{in}\omega)^2 \frac{4kT}{g_m^2}\left(\gamma g_m + \frac{1}{R_D}\right) \quad (۳۱ - ۷)$$

۷-۸) نویز در تقویت‌کننده‌های یک طبقه

در این قسمت نویز ارجاع داده‌شده به ورودی تقویت‌کننده‌های مختلف را بدست آورده و پس از تحلیل، آنها را با یکدیگر مقایسه می‌کنیم. قبل از هر چیز لازم است به نکته مهمی در رابطه با بدست آوردن نویز تقویت‌کننده‌ها اشاره کنیم. تقویت‌کننده شکل ۷-۱۵-الف را با منبع جریان نویز $\overline{I_{n,in}^2}$ موازی با کانال درین- سورس در نظر بگیرید. می‌توان آن را به‌صورت یک منبع ولتاژ در ورودی گیت ترانزیستور مدل‌سازی کرد (شکل ۷-۱۵- ب). اندازه منبع ولتاژ معادل در ورودی گیت برابر است با

$$\overline{V_{n,out}^2} = \frac{\overline{I_{n,out}^2}}{g_m^2}. \quad (۳۲ - ۷)$$



شکل۷-۱۵ مدل‌سازی اثر منبع جریان نویز موازی با کانال ترانزیستور با منبع ولتاژ موجود در گیت.

الف) تقویت‌کننده سورس مشترک

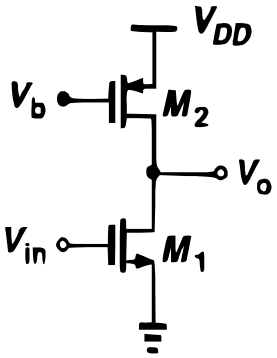
شکل ۷-۱۳- الف آرایش یک تقویت‌کننده سورس مشترک با مقاومت بار R_D را نشان می‌دهد. قبلاً نشان دادیم:

$$\overline{V_{n,in}^2} = \frac{\overline{I_{n,out}^2}}{g_m^2} = 4kT\left(\frac{\gamma}{g_m} + \frac{1}{g_m^2 R_D}\right) + \frac{k}{C_{ox}WL}\left(\frac{1}{f}\right). \qquad (۳۳-۷)$$

برای کاهش نویز ورودی در حالت تقویت‌کننده ولتاژ سورس مشترک، باید g_m را تا حد امکان افزایش و در حالت منبع جریان و به‌منظور کاهش جریان نویز باید g_m را تا حد امکان کاهش داد.

مثال ۷-۵: ولتاژ نویز ارجاع داده‌شده به ورودی تقویت‌کننده شکل ۷-۱۶ را بدست آورید.

$$\overline{V_{n,out}^2} = (r_{O1}\|r_{O2})^2\left(\overline{I_{n,1}^2} + \overline{I_{n,2}^2}\right) = 4kT\gamma(g_{m1} + g_{m2})(r_{O1}\|r_{O2})^2. \qquad (۳۴-۷)$$



$$\overline{V_{n,in}^2} = \frac{\overline{V_{n,out}^2}}{g_{m1}^2(r_{O1}\|r_{O2})^2} = 4kT\gamma\left(\frac{1}{g_{m1}} + \frac{g_{m2}}{g_{m1}^2}\right). \qquad (۳۵-۷)$$

برای کاهش نویز ارجاع داده‌شده به ورودی باید تا حد امکان g_{m2} را کاهش داد:

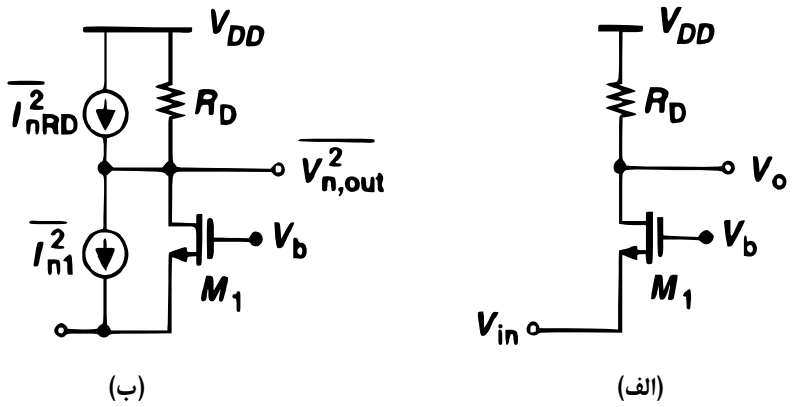
$$g_{m2} \downarrow \Longrightarrow \overline{V_{n,in}^2} \downarrow.$$

شکل۷-۱۶ تقویت‌کننده مثال ۷-۵.

ب) تقویت‌کننده گیت مشترک

شکل ۷-۱۷-الف آرایش یک تقویت‌کننده گیت مشترک را نمایش می‌دهد. منابع نویز موجود در این آرایش، در شکل ۷-۱۷-ب نمایش داده‌شده است. با در نظر گرفتن اثرات نویز گرمایی ترانزیستور و مقاومت، رابطه ولتاژ نویز خروجی به‌قرار زیر است:

$$\overline{V_{n,out}^2} = \left(4kT\gamma g_m + \frac{4kT}{R_D}\right)R_D^2 = (g_m + g_{mb})^2 R_D^2 \times \overline{V_{n,in}^2}. \qquad (۳۶-۷)$$



(ب) (الف)

شکل۷-۱۷ مدل‌سازی نویز در تقویت‌کننده گیت- مشترک.

لذا رابطه چگالی طیف توان ولتاژ نویز ارجاع داده به ورودی V_{in} به‌قرار زیر است:

$$\overline{V_{n,in}^2} = \frac{4kT(\gamma g_m + 1/R_D)}{(g_m + g_{mb})^2}. \qquad (۳۷-۷)$$

اگر نویز در ورودی تقویت‌کننده را به شکل ۷-۱۳-الف مدل‌سازی کنیم، باید چگالی طیف توان جریان نویز ورودی را نیز بدست آوریم. برای این کار ورودی V_{in} را اتصال باز می‌کنیم. درنتیجه نویز ترانزیستور با جریان I_D یکسان بوده و رابطه جریان نویز ورودی به‌قرار زیر خواهد بود:

$$I_{n1} + I_{D1} = 0 \Rightarrow I_{n1} = -I_{D1}. \qquad (۳۸-۷)$$

لذا جریان نویز ترانزیستور I_{n1}، تأثیری در جریان نویز ارجاع داده‌شده به ورودی یعنی $\overline{I_{n,in}^2}$ نداشته و $\overline{I_{n,in}^2}$ همان جریان نویز گرمایی مقاومت R_D خواهد بود:

$$\overline{I_{n,in}^2} = \overline{I_{n,RD}^2} = \frac{4kT}{R_D}. \qquad (۳۹-۷)$$

*) **نکته:** یکی از مشکلات ساختار گیت مشترک آن است که به دلیل بهره جریان واحد، نویز خروجی به‌طور مستقیم به ورودی راه می‌یابد.

ج) تقویت‌کننده دنبال‌کننده سورس

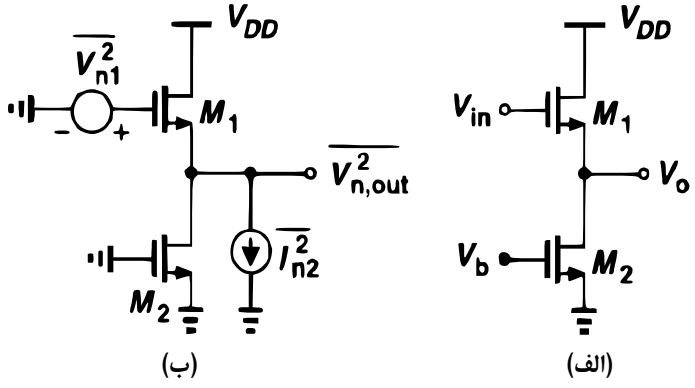
شکل ۷-۱۸-الف آرایش دنبال‌کننده سورس (ورودی گیت – خروجی سورس) را نمایش می‌دهد. همان‌گونه که قبلاً نشان دادیم، بهره ولتاژ ورودی-خروجی این تقویت‌کننده از رابطه زیر بدست می‌آید:

$$A_V = \frac{\text{مقاومت دیده شده در بار}}{\text{مقاومت دیده شده در سورس}} = \frac{\frac{1}{g_{mb1}} \| r_{O1} \| r_{O2}}{\frac{1}{g_{mb1}} \| r_{O1} \| r_{O2} + \frac{1}{g_{m1}}} \simeq \frac{g_{m1}}{g_{m1} + g_{mb1}}. \quad (۴۰ - ۷)$$

منابع نویز موجود در شکل۷-۱۸-الف، در شکل ۷-۱۸-ب نشان داده‌شده‌اند. اثر نویز گرمایی ترانزیستور M_1 را به‌صورت یک منبع ولتاژ در گیت و اثر نویز گرمایی ترانزیستور M_2 را به‌صورت یک منبع جریان در بین درین و سورس آن در نظر می‌گیریم. با این کار، نویز M_1 از همان ابتدای کار در پایانه ورودی قرار می‌گیرد. اما رابطه ولتاژ نویز ارجاع داده‌شده به خروجی ناشی از ترانزیستور M_2 به‌قرار زیر است:

$$\overline{V_{n,out}^2}|\mathrm{M}_2 = \overline{I_{n2}^2}\left(\frac{1}{g_{m1}}\right\| \frac{1}{g_{mb1}} \| r_{O1} \| r_{O2})^2 \simeq \frac{\overline{I_{n2}^2}}{(g_{m1} + g_{mb1})^2} \simeq 4kT\gamma \frac{g_{m2}}{g_{m1}^2}. \quad (۴۱ - ۷)$$

ولتاژ نویز ارجاع داده‌شده به ورودی، از حاصل جمع نویز ترانزیستور M_1 با ولتاژ نویز ارجاع داده‌شده به ورودی ناشی از ترانزیستور M_2 (با تقسیم نمودن آن بر بهره) بدست می‌آید:



شکل۷-۱۸ آرایش دنبال‌کننده سورس و معرفی منابع نویز مهم در آن.

$$\overline{V_{n,in}^2} = \overline{V_{n1}^2} + \frac{\overline{V_{n,out}^2}|\mathrm{M}_2}{{A_V}^2} = 4kT\gamma\left(\frac{1}{g_{m1}} + \frac{g_{m2}}{g_{m1}^2}\right). \qquad (۴۲-۷)$$

*) **نکته**: ازآنجاکه با وجود بهره کوچک‌تر از واحد، دنبال کننده‌های سورس به سیگنال ورودی نویز اضافه می‌کنند در کاربردهای نویز پایین استفاده نمی‌شوند.

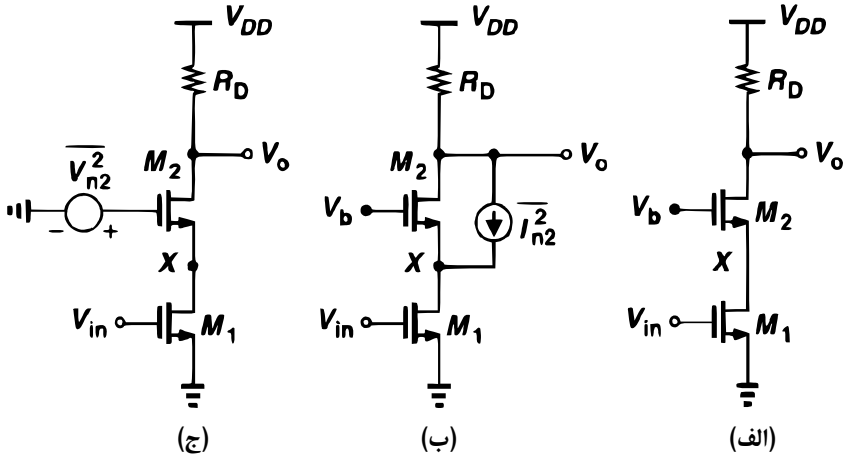
د) تقویت‌کننده کسکود

شکل ۷-۱۹-الف آرایش یک تقویت‌کننده کسکود را نشان می‌دهد. ورودی به گیت ترانزیستور M_1 اعمال‌شده و خروجی از درین ترانزیستور M_2 گرفته‌شده است. درنتیجه جریان ترانزیستورها برابر هستند و جریان سیگنال-کوچک عبوری از مقاومت R_D همان جریان تولیدشده توسط ترانزیستور M_1 است. لذا نویز گرمایی ارجاع داده‌شده به ورودی ناشی از M_1 و R_D عبارت است از

$$\overline{V_{n,in}^2}|\mathrm{M}_1, R_D = 4kT\left[\frac{\gamma}{g_{m1}} + \frac{1}{R_D}\left(\frac{1}{g_{m1}^2}\right)\right]. \qquad (۴۳-۷)$$

برای محاسبه میزان نویز گرمایی ناشی از ترانزیستور M_2 (شکل ۷-۱۹-ب) در ورودی مدار، باید ابتدا مقدار معادل این نویز را در گیت M_2 محاسبه کنیم (شکل ۷-۱۹- ج).

$$\overline{V_{n2}^2} = \frac{\overline{I_{n2}^2}}{g_{m2}^2} = 4kT\frac{\gamma}{g_{m2}}. \qquad (۴۴-۷)$$



شکل۷-۱۹ تحلیل نویز در تقویت‌کننده کسکود.

مقدار معادل نویز را با ضرب نمودن آن در مجذور بهره ولتاژ تا خروجی بدست می‌آوریم. برای محاسبه بهره ولتاژ از ورودی گیت M_2 تا خروجی درین M_2، تحلیل مدار را مشابه با یک تقویت‌کننده سورس مشترک انجام می‌دهیم:

$$\frac{V_{n,out2}}{V_{n2}} \simeq -\frac{\text{مقاومت دیده شده در درین یا بار}}{\text{امپدانس دیده شده در سورس}} = \frac{-R_D}{\frac{1}{g_{m2}} + \frac{1}{C_X s}}. \qquad (۴۵-۷)$$

مقدار نویز ارجاع داده‌شده به ورودی ناشی از M_2، از تقسیم نمودن نویز ارجاع داده‌شده به خروجی بر مجذور بهره ولتاژ مدار یعنی $g_{m1}R_D$ بدست می‌آید.

$$\overline{V_{n,in}^2}|\mathrm{M}_2 = \frac{\overline{V_{n,out2}^2}}{g_{m1}^2 R_D^2} = 4kT\frac{\gamma}{g_{m2}}\left(\frac{R_D}{\frac{1}{g_{m2}} + \frac{1}{C_X s}}\right)^2 \left(\frac{1}{g_{m1}R_D}\right)^2. \qquad (۴۶-۷)$$

نویز ارجاع داده‌شده به ورودی را با جمع نمودن نویز ناشی از دو ترانزیستور و مقاومت بدست می‌آوریم.

ه) زوج تفاضلی

شکل ۷-۲۰-الف آرایش یک تقویت‌کننده تفاضلی با دو مقاومت بار برابر $(R_{D1} = R_{D2} = R_D)$ نشان می‌دهد. نویز ارجاع داده‌شده به ورودی این تقویت‌کننده به فرم مدل نشان داده‌شده در شکل ۷-۱۳ مدل شده است. در فرکانس‌های پایین، جریان $\overline{I_{n,in}^2}$ کوچک و قابل صرف‌نظر کردن است. لذا تنها ولتاژ نویز ارجاع داده‌شده به ورودی یعنی $\overline{V_{n,in}^2}$ را بدست می‌آوریم. ولتاژ نویز ناشی از جریان نویز هر یک از دو ترانزیستور M_1 و M_2 به‌قرار زیر محاسبه می‌شود:

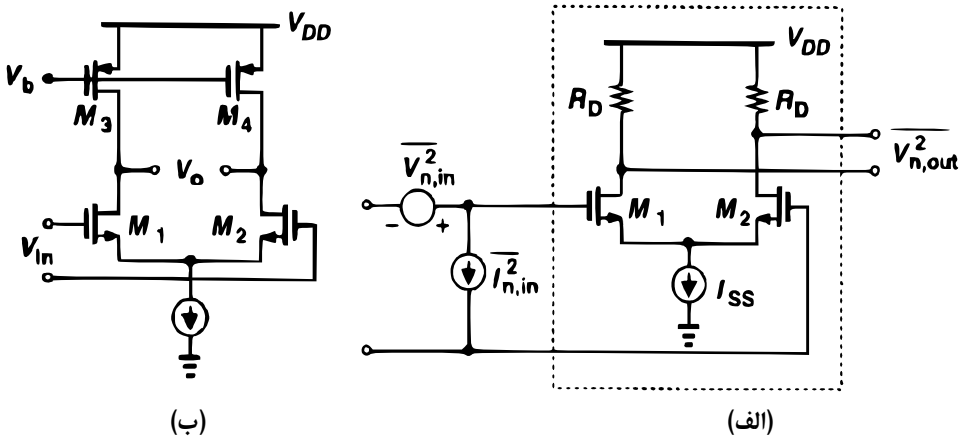
$$\overline{V_{n,out}^2}|\mathrm{M}_1 = R_D^2\overline{I_{n1}^2}, \qquad (۴۷-۷)$$

$$\overline{V_{n,out}^2}|\mathrm{M}_2 = R_D^2\overline{I_{n2}^2}. \qquad (۴۸-۷)$$

چون دو منبع نویز موردنظر غیر همبسته هستند با یکدیگر جمع می‌شوند.

$$\overline{V_{n,out}^2}|\mathrm{M}_1,\mathrm{M}_2 = R_D^2(\overline{I_{n1}^2} + \overline{I_{n2}^2}) = 2\big(4kT\gamma g_m\big). \qquad (۴۹-۷)$$

اگر اثر ولتاژ نویز گرمایی دو مقاومت را نیز در خروجی لحاظ کنیم ولتاژ نویز نهایی برابر خواهد بود با:



شکل۷-۲۰ تحلیل نویز در انواع تقویت‌کننده تفاضلی.

$$\overline{V_{n,out}^2} = R_D^2(\overline{I_{n1}^2} + \overline{I_{n2}^2}) + 2(4kTR_D) = 8kT\left(\gamma g_m R_D^2 + R_D\right). \quad (۵۰-۷)$$

مقدار نویز بدست آمده از رابطه بالا، دو برابر نویز آرایش سورس مشترک غیرتفاضلی است. مقدار معادل این نویز در ورودی، از بخش نمودن ولتاژ نویز در مجذور بهره تفاضلی بدست می‌آید:

$$\overline{V_{n,in}^2} = \frac{\overline{V_{n,out}^2}}{g_{m1}^2 R_D^2} = 8kT\left(\frac{\gamma}{g_m} + \frac{1}{g_m^2 R_D}\right). \quad (۵۱-۷)$$

با لحاظ نمودن اثر نویز $1/f$ در ورودی گیت ترانزیستورها (و نیز ورودی کلی مدار)، ولتاژ کلی نویز ارجاع داده‌شده به ورودی از رابطه زیر بدست می‌آید.

$$\overline{V_{n,in,tot}^2} = 8kT\left(\frac{\gamma}{g_m} + \frac{1}{g_m^2 R_D}\right) + \frac{2K_N}{C_{ox}WL}\left(\frac{1}{f}\right). \quad (۵۲-۷)$$

معمولاً ترانزیستورهای ورودی مهم‌ترین نقش را در نویز ارجاع داده‌شده به ورودی یک تقویت‌کننده دارند. شکل ۷-۲۰-ب، آرایش یک تقویت‌کننده تفاضلی با بار فعال را نشان می‌دهد. در این ساختار، $\overline{V_{n,in}^2}$ (شامل گرمایی و فلیکر) از مجموع $2\overline{V_{n1}{}^2}$ و مقدار نویز ارجاع داده‌شده به ورودی ناشی از دو ترانزیستور بالا بدست می‌آید:

$$\overline{V_{n,in}^2} = 2\overline{V_{n1}{}^2} + 2\left(\frac{g_{m3}}{g_{m1}}\right)^2 \overline{V_{n3}^2}$$

$$= 8kT\left(\frac{\gamma}{g_{m1}} + \frac{\gamma g_{m3}}{{g_{m1}}^2}\right) + \frac{2K_N}{C_{ox}(WL)_1 f} + \frac{2K_P}{C_{ox}(WL)_3 f}\left(\frac{g_{m3}}{g_{m1}}\right)^2. \quad (۵۳-۷)$$

اگر فقط اثر نویز گرمایی را در نظر بگیریم می‌توان نوشت:

$$\overline{V_{n,in,th}^2} = 2 \times 4kT\gamma\frac{1}{g_{m1}}\left(1 + \frac{g_{m3}}{g_{m1}}\right) = 8kT\gamma\frac{1}{g_{m1}}F. \quad (۵۴-۷)$$

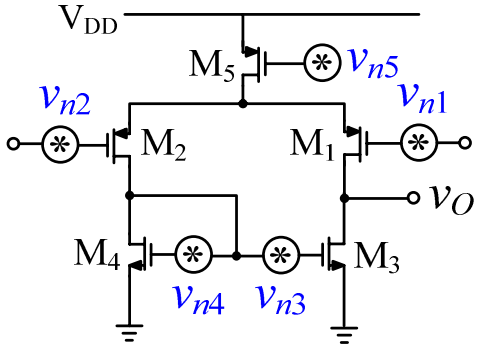
به پارامتر $F = 1 + g_{m3}/g_{m1}$، «فاکتور نویز اضافی» گفته می‌شود. با صرف‌نظر از اثر نویز ترانزیستورهای بالا، اندازه این فاکتور برابر یک خواهد بود.

شکل ۷-۲۱ آرایش یک تقویت‌کننده تفاضلی با خروجی تک سر (با استفاده از آینه جریان) را نشان می‌دهد. در این شکل منابع نویز ارجاع داده‌شده به ورودی گیت هر یک از ترانزیستورها نشان داده‌شده است. با فرض صفر بودن ورودی و تقارن کامل ساختار تفاضلی، بهره ولتاژ تفاضلی از منابع نویز v_{n1}، v_{n2}، v_{n3} و v_{n4} تا خروجی v_O برابر است با:

$$\left|\frac{v_O}{v_{n1}}\right| = \left|\frac{v_O}{v_{n2}}\right| = g_{m1}(r_{O1}\|r_{O3}), \quad (۵۵-۷)$$

$$\left|\frac{v_O}{v_{n3}}\right| = \left|\frac{v_O}{v_{n4}}\right| = g_{m3}(r_{O1}\|r_{O3}). \quad (۵۶-۷)$$

مشابه با شیوه محاسبه بهره حالت مشترک در مدارهای تفاضلی، بهره ولتاژ از منبع v_{n5} تا خروجی v_O برابر است با:



شکل۷-۲۱ تقویت‌کننده تفاضلی با خروجی تک سر.

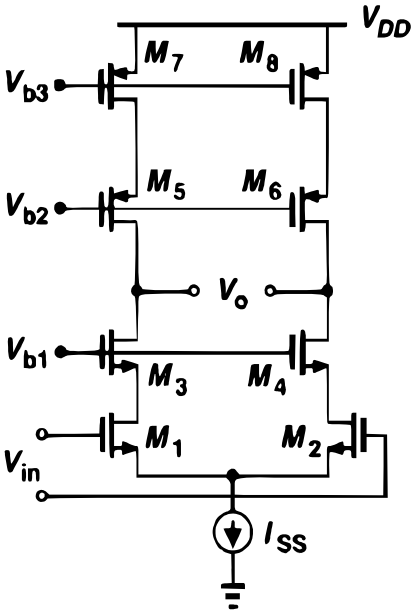
$$\left|\frac{v_O}{v_{n5}}\right| = \frac{g_{m5}}{2g_{m3}}. \qquad (۵۷-۷)$$

با فرض مشابه بودن ترانزیستورها و تقارن کامل مدار در دو طرف، $\overline{V_{n1}^2} = \overline{V_{n2}^2}$ و $\overline{V_{n3}^2} = \overline{V_{n4}^2}$ خواهد بود. بهره ولتاژ نیز برای نویز ترانزیستورهای معادل در دو طرف تا خروجی یکسان است. لذا با صرف‌نظر از نویز ترانزیستور M_5، نویز ارجاع داده‌شده به ورودی مشابه با مدار تمام تفاضلی خواهد بود:

$$\overline{V_{nO}^2} = 2(g_{m1}r_{O1}\|r_{O3})^2\overline{V_{n1}^2} + 2(g_{m3}r_{O1}\|r_{O3})^2\overline{V_{n3}^2}. \qquad (۵۸-۷)$$

❋) **نکته:** در تقویت‌کننده تفاضلی از نوع کسکود شکل ۷-۲۲، ترانزیستورهای M_1 و M_7 نقش مؤثرتری در نویز ورودی دارند چراکه با توجه به بهره کم نویز بقیه ترانزیستورها تا خروجی و با ارجاع دادن نویز به ورودی، قابل صرف‌نظر کردن می‌باشند. ولتاژ نویز گرمایی ارجاع داده‌شده به ورودی برابر است با:

$$\overline{V_{n,in,th}^2} = 2(4kT\gamma)\frac{1}{g_{m1}}\left(1+\frac{g_{m7}}{g_{m1}}\right) = 2(4kT\gamma)\frac{F}{g_{m1}}. \qquad (۵۹-۷)$$



شکل۷-۲۲ تحلیل نویز در تقویت‌کننده تفاضلی از نوع کسکود.

واضح است که g_{m7} کمتر به معنای نویز کمتر است. اما با توجه به رابطه ولتاژ اشباع یعنی $V_{eff} = 2I/g_m$، هدایت انتقالی g_m پایین باعث افزایش V_{eff} و باعث پایین آمدن سوییِنگ ولتاژ خروجی می‌شود.

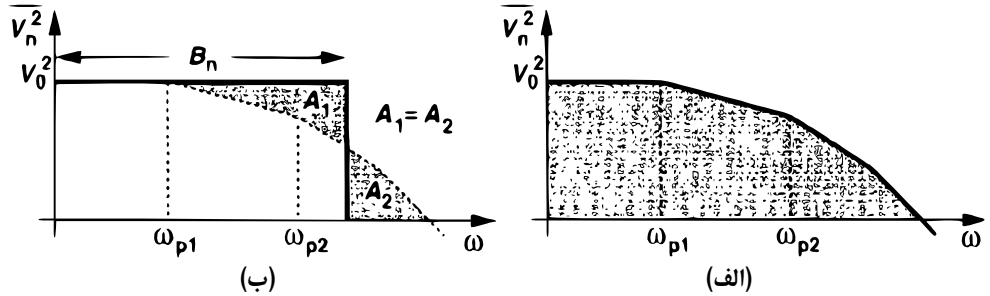
۷-۹) پهنای باند معادل نویز یا B_n

شکل ۷-۲۳-الف چگالی طیف توان نویز یک تقویت‌کننده را به‌صورت مصور نشان می‌دهد. شکل ۷-۲۳- ب تعریف پهنای باند معادل نویز را از روی این شکل نشان می‌دهد. اگر چگالی نویز تقویت‌کننده را از ابتدا همان مقدار اولیه V_0^2 در نظر بگیریم، B_n به ما نشان می‌دهد که به چه میزان پهنای باند لازم است که ولتاژ خروجی نویز کلی $\overline{V_{n,out,tot}^2}$ همان مقدار قبلی باشد. ازلحاظ ریاضی:

$$\overline{V_{n,out,tot}^2} = V_0^2 B_n = \int_0^\infty \overline{V_{n,out}^2} d\omega \Longrightarrow B_n = \frac{1}{V_0^2}\int_0^\infty \overline{V_{n,out}^2} d\omega. \quad (۶۰-۷)$$

این پهنای باند، امکان مقایسه عادلانه مدارهایی را فراهم می‌کند که تابع تبدیل آنها یکسان نیست. به‌عنوان‌مثال، پهنای باند معادل نویز یک سیستم تک‌قطبی برابر با $(\pi/2)\omega_P$ است چراکه:

$$|A(j\omega)|^2 = \frac{A_0^2}{1+(\omega/\omega_P)^2} \Longrightarrow B_n = \frac{1}{A_0^2}\int_0^{+\infty} \frac{A_0^2}{1+(\omega/\omega_P)^2} d\omega = \frac{\pi}{2}\omega_P. \quad (۶۱-۷)$$



شکل۷-۲۳ مفهوم پهنای باند معادل نویز.

فصل هشتم: فیدبک

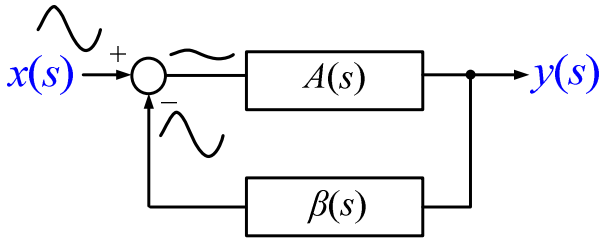
فیدبک به معنای بازگرداندن بخشی از سیگنال خروجی به ورودی به‌منظور مقایسه و تقویت و تضعیف سیگنال اعمال‌شده به ورودی است. این خاصیت در سال ۱۹۲۱ توسط بلاک کشف شد و کاربرد گسترده‌ای در مدارهای آنالوگ دارد. با استفاده از این روش، می‌توان حساسیت، دقت، بازه فرکانسی و پایداری یک تقویت‌کننده را بهبود بخشید. کاهش اثرات غیرخطی، حساسیت به مشخصه‌های عناصر فعال و تغییرات قابل‌توجه در امپدانس ورودی و خروجی یک تقویت‌کننده، از دیگر مشخصه‌های منحصربه‌فرد فیدبک منفی محسوب می‌شوند. دستیابی به برخی از این خصوصیات در مدارهای الکترونیکی، غالباً یا بدون فیدبک امکان‌پذیر نبوده و یا به مصرف توان بسیار بالا و راهکارهای پیچیده طراحی می‌انجامد. در این فصل به برخی کاربردهای سودمند فیدبک منفی در طراحی تقویت‌کننده‌های الکترونیکی کارآمد اشاره می‌کنیم. شکل ۸-۱ بلوک دیاگرام یک سیستم فیدبک‌دار با فیدبک منفی را نشان می‌دهد. تابع $A(s)$ نشان‌دهنده ضابطه سیستم اصلی و $\beta(s)$ ضابطه بلوک فیدبک اعمال‌شده است. واضح است که با تحلیل این بلوک دیاگرام، تابع تبدیل سیستم حلقه بسته از رابطه زیر بدست می‌آید:

$$Y(s) = A(s)[X(s) - \beta(s)Y(s)] \Longrightarrow A_F(s) = \frac{Y(s)}{X(s)} = \frac{A(s)}{1 + A(s)\beta(s)}. \qquad (۱-۸)$$

در حالت ایده‌آل که بهره بلوک دیاگرام اصلی $A(s)$ به‌اندازه کافی بزرگ است، تابع تبدیل ورودی-خروجی مستقل از $A(s)$ گردیده و تنها به $\beta(s)$ وابسته خواهد شد:

$$A(s) \gg 1 \Longrightarrow A_F(s) \simeq \frac{1}{\beta(s)}. \qquad (۲-۸)$$

حاصل‌ضرب بهره تقویت‌کننده در ضریب فیدبک یعنی $T(s) = A(s)\beta(s)$ را بهره حلقه و جمله $1 + A(s)\beta(s)$ را عدم حساسیت می‌نامند. شبکه فیدبک می‌تواند از عناصر وابسته به فرکانس مثل خازن و سلف تشکیل شود و $\beta(s)$ وابسته به فرکانس باشد. اما معمولاً در تقویت‌کننده‌ها این شبکه به‌صورت مقاومتی و غیرفعال پیاده‌سازی شده است و وابسته به فرکانس نمی‌باشد. لذا $\beta(s) = \beta$ است و رفتار $T(s) = \beta \times A(s)$ تنها توسط $A(s)$ تعیین می‌شود.

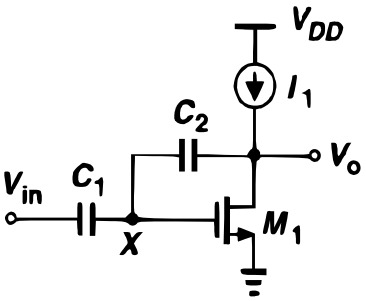


شکل۸-۱ بلوک دیاگرام یک سیستم فیدبک‌دار با فیدبک منفی.

۸-۱) خصوصیات مدار فیدبک

۱- عدم حساسیت به بهره حلقه باز

فیدبک منفی باعث غیر حساس شدن بهره سیستم حلقه بسته از تغییرات بهره سیستم حلقه باز می‌شود. تقویت‌کننده شکل ۸-۲ را در نظر بگیرید. خازن C_2 بخشی از سیگنال خروجی را به ورودی بازمی-گرداند. با توجه به قانون جریان، رابطه ورودی- خروجی به‌قرار زیر خواهد شد:



$$(v_O - v_X)C_2 s = (v_X - v_{in})C_1 s. \quad (۳-۸)$$

بهره ولتاژ از گره v_X تا خروجی v_O عبارت است از:

$$\frac{v_O}{v_X} = -g_{m1}r_{O1}. \quad (۴-۸)$$

شکل۸-۲ طبقه ساده سورس مشترک با حلقه فیدبک.

از ترکیب دو رابطه بالا، نسبت خروجی به ورودی را از رابطه زیر بدست می‌آوریم.

$$g_{m1}r_{O1} \gg 1 \Longrightarrow \frac{v_O}{v_{in}} = -\frac{1}{\left(1+\frac{1}{g_{m1}r_{O1}}\right)\frac{C_2}{C_1}+\frac{1}{g_{m1}r_{O1}}} \simeq -\frac{C_1}{C_2}. \quad (۵-۸)$$

به ازای یک بهره ولتاژ $g_{m1}r_{O1}$ بسیار بزرگ، نسبت خروجی به ورودی تنها به C_1 و C_2 وابسته خواهد شد. لذا اگر در مدار مجتمع، این دو خازن از یک ماده ساخته شوند، نسبت C_1/C_2 وابسته به پروسه

ساخت و دما نمی‌شود. این خاصیت تحت عنوان «عدم حساسیت به بهره حلقه باز» شناخته می‌شود. در حالت کلی اگر بهره مدار حلقه بسته را به‌صورت زیر تقریب بزنیم:

$$\frac{Y}{X}=\frac{A}{1+A\beta}=\frac{1}{\beta}\left(\frac{A\beta}{1+A\beta}\right)\simeq\frac{1}{\beta}\left(1-\frac{1}{A\beta}\right). \qquad (۶-۸)$$

به ازای بهره حلقه بسیار بزرگ ($1 \ll A\beta$)، بهره تقویت‌کننده حلقه بسته مستقل از A شده و تنها به ضریب فیدبک β وابسته می‌شود:

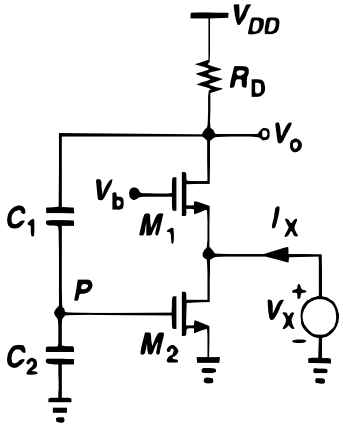
$$\frac{Y}{X}\simeq\frac{1}{\beta}. \qquad (۷-۸)$$

لذا اگر $A\beta$ بسیار بزرگ باشد، تغییرات A تأثیری بر نسبت Y/X نخواهد گذاشت. این تغییرات می‌تواند ناشی از دما ، پروسه ساخت، ولتاژ تغذیه، فرکانس، بار خروجی و موارد مشابه باشد.

۲-تغییر امپدانس پایانه‌ها

از دیگر خواص فیدبک منفی، تغییر در امپدانس پایانه‌های مدار است. تقویت‌کننده گیت مشترک شکل ۸-۳ با شبکه فیدبک خازنی مرکب از C_1 و C_2 را در نظر بگیرید. می‌خواهیم امپدانس ورودی این مدار را با اعمال منبع ولتاژ V_X و بدست آوردن رابطه آن با جریان I_X بدست آوریم. در شرایط عدم وجود مدار فیدبک، M_2 نقش یک منبع جریان مستقل را داشته و مقاومت ورودی از رابطه زیر بدست می‌آید:

$$R_{in.open}=\frac{1}{g_{m1}+g_{mb1}}. \qquad (۸-۸)$$



در مدار فعلی، رابطه ولتاژ خروجی با ولتاژ اعمال‌شده V_X عبارت است از

$$V_O=(g_{m1}+g_{mb1})V_X\times R_D. \qquad (۹-۸)$$

از طرفی، ولتاژ گره فیدبک یا V_P با توجه به قانون تقسیم امپدانس با ولتاژ V_O مرتبط می‌شود.

شکل ۸-۳ محاسبه امپدانس ورودی در تقویت‌کننده فیدبک‌دار.

$$V_P = V_O \frac{C_1}{C_1 + C_2} = (g_{m1} + g_{mb1}) R_D \frac{C_1}{C_1 + C_2} V_X. \qquad (۱۰ - ۸)$$

واضح است که جریان سیگنال-کوچک عبوری از ترانزیستور M_2، برابر با $g_{m2}V_P$ است. لذا درمجموع جریان I_X، از مجموع جریان دو ترانزیستور M_1 و M_2 بدست می‌آید.

$$I_X = I_1 + I_2 = (g_{m1} + g_{mb1}) V_X + g_{m2}(g_{m1} + g_{mb1}) R_D \frac{C_1}{C_1 + C_2} V_X (۱۱ - ۸)$$

با توجه به رابطه بالا، مقاومت ورودی تقویت‌کننده حلقه بسته یا $R_{in.closed}$ از رابطه زیر بدست می‌آید.

$$R_{in.closed} = \frac{V_X}{I_X} = \frac{1}{g_{m1} + g_{mb1}} \left(\frac{1}{1 + g_{m2} R_D \frac{C_1}{C_1 + C_2}} \right). \qquad (۱۲ - ۸)$$

با توجه به آرایش حلقه فیدبک، متغیر $g_{m2}R_D\, C_1/(C_1 + C_2)$ همان بهره حلقه یا $A\beta$ خواهد بود. لذا مقاومت ورودی تقویت‌کننده حلقه بسته از رابطه زیر بدست می‌آید:

$$R_{in.closed} = \frac{R_{in.open}}{1 + A\beta}. \qquad (۱۳ - ۸)$$

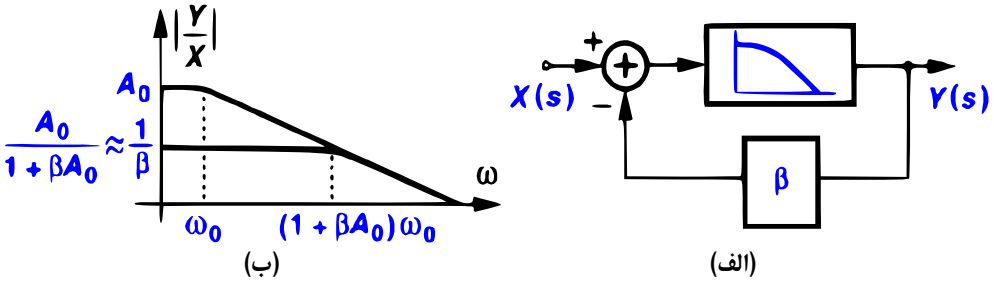
واضح است که فیدبک اعمال‌شده به ساختار شکل ۸-۳، مقاومت ورودی را کاهش می‌دهد. در حالت کلی فیدبک می‌تواند باعث افزایش یا کاهش شدید امپدانس دیده‌شده از پایانه‌های مختلف مدار شود.

۳- تغییر در پهنای باند

فیدبک، فرکانس قطع بالا و پهنای باند تقویت‌کننده تک‌قطبی را با ضریب $1 + A_0\beta$ افزایش می‌دهد. شکل ۸-۴-الف بلوک دیاگرام یک تقویت‌کننده تک‌قطبی $A(s)$ با فرکانس قطع بالای ω_0 را پس از اعمال فیدبک ثابت β نمایش می‌دهد. بهره تقویت‌کننده حلقه بسته $A_F(s)$ برابر است با

$$A(s) = \frac{A_0}{1 + {}^{s}/_{\omega_0}} \Longrightarrow A_F(s) = \frac{\frac{A_0}{1 + {}^{s}/_{\omega_0}}}{1 + \beta \frac{A_0}{1 + {}^{s}/_{\omega_0}}} = \frac{\frac{A_0}{1 + A_0\beta}}{1 + \frac{s}{(1 + A_0\beta)\omega_0}}.$$

$$(۱۴ - ۸)$$



شکل۸-٤ تغییر در پهنای باند تقویت‌کننده پس از اعمال فیدبک.

پس از اعمال فیدبک، فرکانس قطع بالای تقویت‌کننده با ضریب $1 + A_0\beta$ افزایش یافته است. در اغلب تقویت‌کننده‌ها، ضریب $A_0\beta$ عددی نسبتاً بزرگ است. ازآنجاکه پهنای باند به‌طور تقریبی برابر با فرکانس قطع بالا است می‌توان گفت که فیدبک، پهنای باند یک سیستم مرتبه اول را نیز به نسبت $A_0\beta$ افزایش می‌دهد.

اندازه s/ω_0 در فرکانس‌های بالا عددی بزرگ است. لذا می‌توان از یک نیز در مقابل آن صرف‌نظر نمود و رابطه بهره حلقه باز را به‌صورت $A(s) \simeq A_0\omega_0/s$ نوشت. با تعریف GBW به‌عنوان حاصل‌ضرب بهره در پهنای باند (فرکانس بهره واحد)، می‌توان نوشت:

$$|A(j\text{GBW})| = 1 \Longrightarrow \text{GBW} = A_0\omega_0. \qquad (۱۵-۸)$$

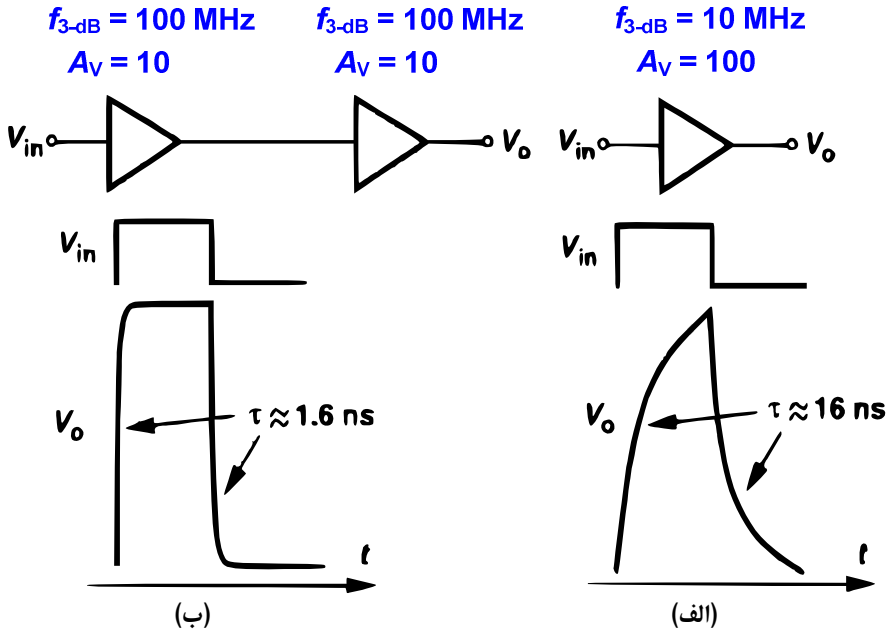
با اعمال فیدبک، بهره فرکانس پایین از A_0 به $A_{F0} \simeq 1/\beta$ کاهش یافته است. در مقابل، فرکانس قطع بالا به همان نسبت از ω_0 به $\omega_{HF} \simeq \beta\text{GBW}$ افزایش یافته است. این بدین معناست که

$$A_{F0}\omega_{HF} = A_0\omega_H = \text{GBW}. \qquad (۱۶-۸)$$

لذا قبل و بعد از اعمال فیدبک، حاصل‌ضرب بهره در فرکانس عدد ثابت GBW باقی می‌ماند. با صرف‌نظر از یک در فرکانس‌های بالا، روابط بهره در فرکانس بالا به شکل $A(s) = A_F(s) \simeq \text{GBW}/s$ در می‌آیند. این موضوع نشان می‌دهد که فیدبک در فرکانس‌های بالا بی‌تأثیر شده و پاسخ فرکانسی تقویت‌کننده اصلی و تقویت‌کننده فیدبک دار یکسان خواهند شد. شکل ۸-۴-ب دیاگرام تقریبی اندازه بود را قبل و بعد از اعمال فیدبک نمایش می‌دهد. به دلیل یکسان بودن پاسخ فرکانسی در فرکانس‌های بالا، در هر دو مورد GBW یک مقدار ثابت (محل تلاقی منحنی با محور افقی) است. افزایش پهنای باند،

از خاصیت حساسیت‌زدایی فیدبک نشات می‌گیرد. اگر $A(s)$ به‌اندازه کافی بزرگ باشد، بهره حلقه بسته به‌طور تقریبی برابر با $1/\beta$ خواهد بود حتی اگر $A(s)$ تغییرات شدیدی را تجربه کند.

فرض کنید که بخواهیم یک سیگنال 20MHz را با بهره 100 و حداکثر پهنای باند تقویت کنیم. همچنین فرض کنید که تنها به تقویت‌کننده‌های حلقه باز تک‌قطبی با فرکانس قطع 10MHz دسترسی داشته باشیم. شکل ۸–۵–الف پاسخ زمانی خروجی تقویت‌کننده و ثابت زمانی آن را پس از اعمال سیگنال ورودی 20MHz نمایش می‌دهد. هم‌اینک فرض کنید که با اعمال فیدبک به دور این تقویت‌کننده، پهنای باند را به 100MHz افزایش داده و بهره را تا حد 10 کاهش داده‌ایم (حاصل‌ضرب بهره در پهنای باند ثابت). با سری نمودن دو تقویت‌کننده از این نوع (شکل ۸–۵– ب)، می‌توان به پاسخ فرکانسی بسیار سریع‌تر و با همان بهره قبلی دست یافت. البته با قرار دادن دو تقویت‌کننده به شکل سری، توان مصرفی نیز دو برابر می‌شود اما بسیار مشکل است که بدون استفاده از فیدبک در ساختار اول، به چنین کارایی دست یافت.



شکل۸–۵ تقویت یک سیگنال 20MHz (الف) با استفاده از یک تقویت‌کننده 10MHz؛ (ب) با سری نمودن دو تقویت‌کننده فیدبک دار 100MHz.

۴-افزایش میزان خطی بودن تقویت‌کننده

از دیگر خواص فیدبک منفی، افزایش میزان خطی بودن تقویت‌کننده است که باز هم از کاسته شدن حساسیت یک سیستم فیدبک‌دار به تغییرات نشات می‌گیرد.

*) **نکته:** تحلیل فیدبک در مدارهای الکترونیکی معمولاً در حالت ac انجام می‌شود. در حالت dc هرچند ممکن است که فیدبک باعث تثبیت نقطه کار شود ولی باید با استفاده از قوانین ولتاژ و جریان و نوشتن معادلات آنها مدار را تحلیل نمود.

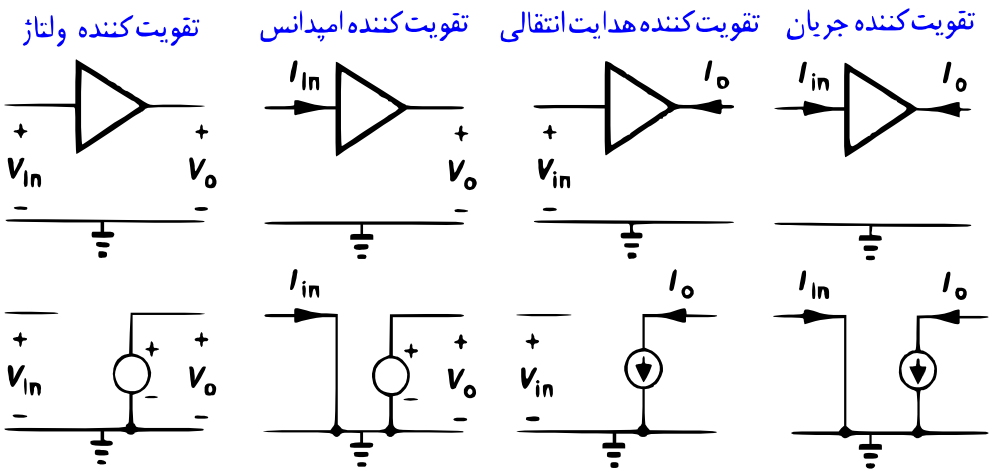
۸-۲) ساختار انواع تقویت‌کننده‌ها

بسته به نوع سیگنال ورودی و خروجی، تقویت‌کننده‌ها به چهار نوع جریان، هدایت انتقالی، امپدانس و ولتاژ تقسیم‌بندی می‌شوند (شکل ۸-۶). برای دستیابی به عملکرد مطلوب، تقویت‌کننده‌ایده‌آل از هر نوع باید دارای خصلت‌های زیر باشد:

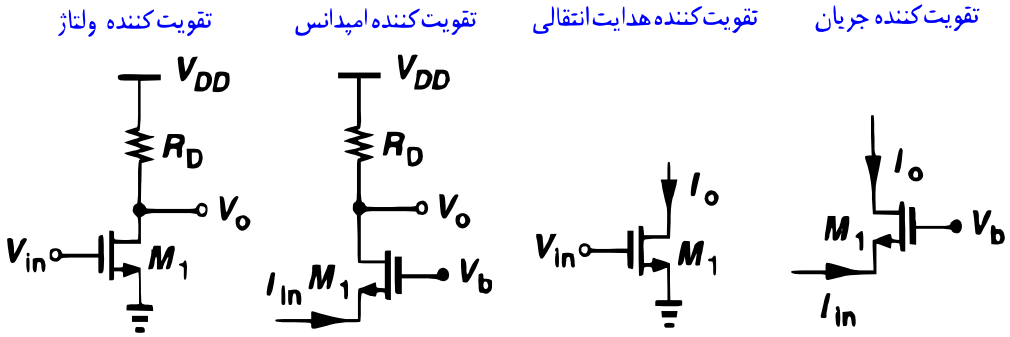
ورودی ولتاژ← امپدانس ورودی تقویت‌کننده بالا، ورودی جریان ← امپدانس ورودی تقویت‌کننده پایین.

خروجی جریان ← امپدانس خروجی تقویت‌کننده بالا، خروجی ولتاژ ← امپدانس خروجی پایین.

شکل ۸-۷ پیاده‌سازی عملی هر یک از این تقویت‌کننده‌ها را نشان می‌دهد.



شکل۸-٦ انواع تقویت‌کننده‌های ولتاژ و جریان.



شکل۸-۷ پیاده‌سازی عملی انواع تقویت‌کننده‌ها در شکل ۸-٦.

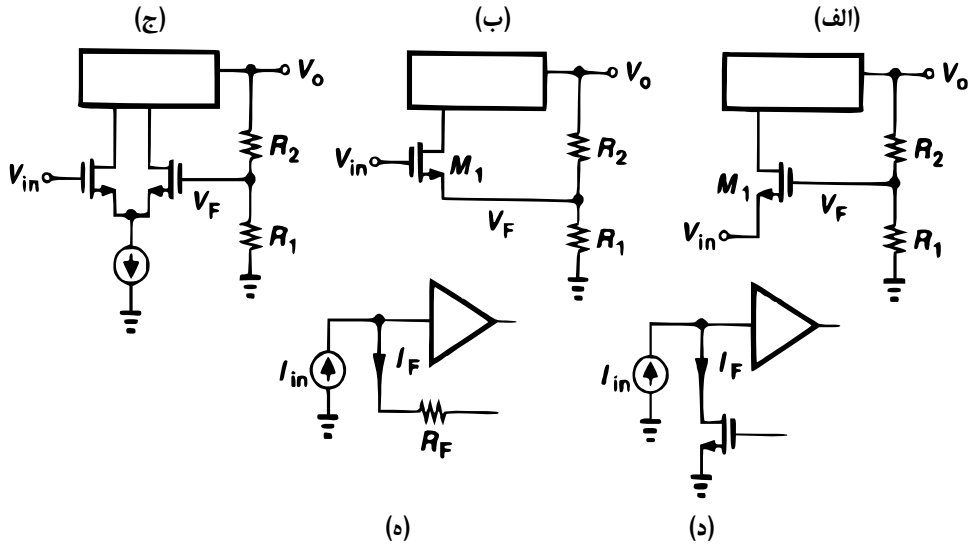
مثال ۸-۱: با توجه به ماهیت جریانی خروجی فتودیودها، از تقویت‌کننده امپدانس به‌منظور دریافت و تقویت این جریان و تبدیل آن به یک ولتاژ مناسب در گیرنده‌های نوری استفاده می‌شود.

۸-۳) نمونه‌برداری از ولتاژ یا جریان خروجی و مقایسه آن با ورودی

بسته به انواع تقویت‌کننده‌های نشان داده‌شده در شکل ۸-۷، راهکارهای فیدبک متفاوتی برای تقویت‌کننده‌ها وجود دارد. شکل ۸-۸ برخی از انواع تقویت‌کننده‌های فیدبک دار و نحوه نمونه‌برداری از خروجی و مقایسه آن را با ورودی نمایش می‌دهد. تمامی این تقویت‌کننده‌ها شامل یک حلقه فیدبک به‌منظور مقایسه خروجی با ورودی و سپس اصلاح خروجی هستند (دقت کنید). بسته به نوع خروجی (ولتاژ یا جریان)، قسمتی از سیگنال خروجی نمونه‌برداری شده و به‌منظور مقایسه در کنار ولتاژ یا جریان ورودی قرار می‌گیرد. راهکارهای موجود در شکل‌های ۸-۸-الف، ب و ج، به‌طور مستقیم از ولتاژ خروجی نمونه‌برداری می‌کنند. ولتاژ نمونه‌برداری شده برابر است با

$$v_F = \frac{R_1}{R_1 + R_2} v_O. \qquad (۱۷ - ۸)$$

این ولتاژ سپس با ولتاژ ورودی v_{in} مقایسه شده و بسته به تفاوت آنها سیگنال خطا صادر می‌شود. نحوه مقایسه می‌تواند با اعمال v_F به گیت و اعمال v_{in} به سورس ترانزیستور M_1 باشد (شکل ۸-۸-الف). با توجه به اینکه جریان عبوری از ترانزیستور متناسب با ولتاژ گیت-سورس اعمال‌شده به آن است، هرگونه تغییر و کم یا زیاد شدن خروجی باعث صدور سیگنال خطای جریان متناسب با آن می‌شود. با استدلالی



شکل۸-۸ راهکارهای عملی نمونه‌برداری از ولتاژ خروجی (موارد (الف)، (ب) و (ج)) یا جریان خروجی و مقایسه با ولتاژ ورودی (موارد (الف)، (ب) و (ج)) یا جریان ورودی (موارد (د) و (ه)).

مشابه، مقایسه خروجی و ورودی می‌تواند به‌صورت اعمال v_F به سورس و اعمال v_{in} به گیت (شکل ۸-۸-ب) و یا به شکل اعمال خروجی v_F به گیت و اعمال ورودی v_{in} به گیت یک ترانزیستور دیگر در غالب یک تقویت‌کننده تفاضلی باشد (شکل ۸-۸-ج). اگر ورودی تقویت‌کننده از جنس جریان باشد، می‌توان از ولتاژ یا جریان خروجی نیز نمونه گرفت و آن را به شکل جریان فیدبک شده I_F با جریان ورودی I_{in} مقایسه نمود. تحقق عملی این ایده، می‌تواند به شکل کم نمودن جریان فیدبک شده از جریان خروجی با استفاده از یک ترانزیستور یا مقاومت و با اتصال هر دو جریان به یک گره مشخص باشد (شکل‌های ۸-۸-د و ۸-۸-ه). حاصل مقایسه، برابر با تفاضل دو جریان و در غالب یک سیگنال خطای جریانی خواهد بود که جهت پردازش‌های بعدی به درون حلقه فیدبک تزریق می‌شود.

در دهانه ورودی، جنس سیگنال‌های فیدبک شده و ورودی و نیز نوع فیدبک به روش زیر مشخص می‌شوند.

الف) سیگنال فیدبک شده و سیگنال ورودی به دو گره مختلف مدار اعمال شوند (شکل‌های ۸-۸-الف، ب و ج) ← مقایسه ولتاژها؛ فیدبک در دهانه ورودی از نوع **سری** است.

ب) سیگنال فیدبک شده و سیگنال ورودی به یک گره مشخص مدار اعمال شوند (شکل‌های ۸-۸-د و ۸-۸-ه) ← مقایسه جریان‌ها؛ فیدبک در دهانه ورودی از نوع **موازی** است.

در دهانه خروجی، جنس سیگنال فیدبک شده و ورودی و نیز نوع فیدبک به روش زیر مشخص می‌شوند:

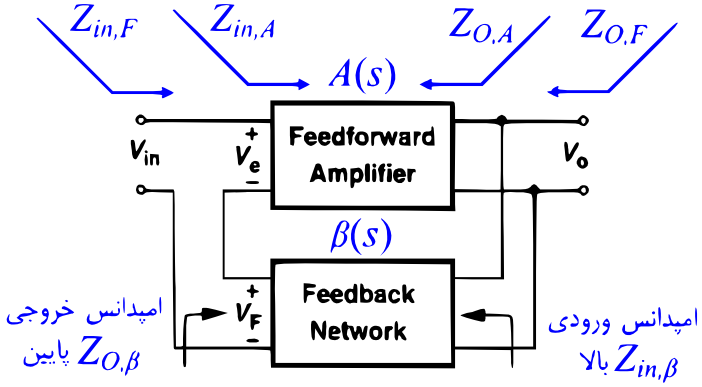
الف) در دهانه خروجی نمونه‌برداری از ولتاژ انجام می‌شود (سیگنال فیدبک شده به‌طور مستقیم یا غیرمستقیم به گره ولتاژ خروجی متصل شده است) ← فیدبک در دهانه خروجی **موازی** است.

ب) در دهانه خروجی، نمونه‌برداری از جریان انجام می‌شود (ولتاژ خروجی در گره درین ترانزیستور است، اما نمونه‌برداری از پایانه سورس انجام شده است) ← فیدبک در دهانه خروجی **سری** است.

با استدلال بالا، انواع تقویت‌کننده‌های فیدبک‌دار به چهار دسته تقسیم‌بندی می‌شوند:

۸-۴) فیدبک سری- موازی

شکل ۸-۹ آرایش سیستمی یک تقویت‌کننده الکترونیکی با فیدبک سری- موازی را نشان می‌دهد. شبکه فیدبک $\beta(s) = V_F/V_O$، از ولتاژ خروجی V_O نمونه‌برداری نموده و حاصل نمونه‌برداری (V_F) را پس از تقویت یا تضعیف، با ورودی مقایسه می‌کند (این کار با کم کردن سیگنال فیدبک شده V_F از سیگنال ورودی V_{in} انجام می‌شود). سیگنال خطای V_e حاصل از این تفاضل، پس‌ازآن به‌منظور پایدارسازی سطح خروجی به تقویت‌کننده اصلی $A(s) = V_O/V_e$ اعمال می‌شود. با توجه به سری بودن ولتاژهای V_F و V_{in}، شبکه فیدبک در قسمت ورودی از نوع **سری** بوده و باید دارای امپدانس $Z_{O,\beta}$ بالا باشد.



شکل۸-۹ آرایش سیستمی فیدبک سری-موازی.

همچنین با توجه به اینکه شبکه فیدبک از ولتاژ خروجی نمونه‌برداری می‌کند، فیدبک در درگاه خروجی از نوع **موازی** بوده و باید دارای امپدانس ورودی $Z_{in,\beta}$ بالا باشد.
بر اساس سری یا موازی بودن شبکه فیدبک در درگاه ورودی یا خروجی، می‌توان به افزایش یا کاهش امپدانس دیده‌شده شبکه فیدبک‌دار از این درگاه پی برد. به‌این‌ترتیب که اگر نوع فیدبک از آن درگاه، سری باشد مقاومت شبکه اولیه در $1 + A(s)\beta(s)$ ضرب شده و اگر موازی باشد بر $1 + A(s)\beta(s)$ تقسیم می‌شود. لذا در تقویت‌کننده‌ای با فیدبک سری- موازی:

$$\begin{cases} Z_{in,F} = Z_{in,A}[1 + A(s)\beta(s)], \\ Z_{O,F} = \dfrac{Z_{O,A}}{1 + A(s)\beta(s)}. \end{cases} \qquad (۱۸ - ۸)$$

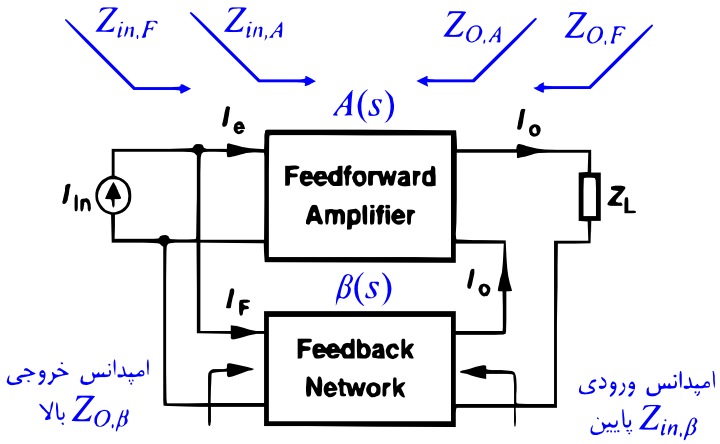
فیدبک سری- موازی باعث افزایش مقاومت ورودی و کاهش مقاومت خروجی تقویت‌کننده می‌شود. واضح است که نسبت خروجی به ورودی همچنان برابر است با:

$$\frac{v_O}{v_{in}} = \frac{A(s)}{1 + A(s)\beta(s)}. \qquad (۱۹ - ۸)$$

همواره نسبت‌های $A(s)$ و $\beta(s)$ به‌گونه‌ای است که بهره حلقه $A(s)\beta(s)$ بدون واحد باقی بماند. در فیدبک سری-موازی هر دو تابع تبدیل نسبت دو ولتاژ هستند و لذا بهره حلقه بدون واحد خواهد بود.

۸-۵) فیدبک موازی- سری

شکل ۸-۱۰ آرایش سیستمی تقویت‌کننده با فیدبک موازی- سری را نشان می‌دهد. شبکه فیدبک $\beta(s) = I_F/I_O$، از جریان خروجی I_O نمونه‌برداری نموده و حاصل نمونه‌برداری (I_F) را پس از تقویت یا تضعیف با ورودی مقایسه می‌کند (این کار با کم کردن جریان فیدبک شده I_F از سیگنال جریان I_{in} انجام می‌شود). جریان خطای I_e حاصل از این تفاضل، سپس به‌منظور پایدارسازی سطح جریان خروجی به تقویت‌کننده اصلی $A(s) = I_O/I_e$ اعمال می‌شود. با توجه به موازی بودن شاخه‌های جریانی I_F و I_{in} در درگاه ورودی، شبکه فیدبک در این درگاه از نوع **موازی** بوده و دارای امپدانس $Z_{O,\beta}$ پایین است.
همچنین با توجه به اینکه شبکه فیدبک از جریان خروجی نمونه‌برداری می‌کند، فیدبک در درگاه خروجی

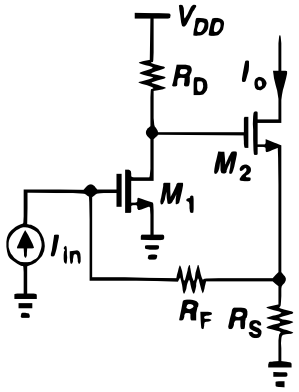


شکل۸-۱۰ آرایش سیستمی فیدبک موازی- سری.

از نوع **سری** است و به‌منظور نمونه‌برداری صحیح باید امپدانس ورودی $Z_{in,\beta}$ پایین باشد. با توجه به توضیحات قبلی، در تقویت‌کننده با فیدبک موازی- سری خواهیم داشت:

$$\begin{cases} Z_{in,F} = \dfrac{Z_{in,A}}{1 + A(s)\beta(s)} \\ Z_{O,F} = Z_{O,A}[1 + A(s)\beta(s)] \end{cases} \qquad (۲۰ - ۸)$$

لذا فیدبک موازی- سری باعث کاهش مقاومت ورودی و افزایش مقاومت خروجی تقویت‌کننده می‌شود. در این حالت، توابع تبدیل $A(s)$ و $\beta(s)$ از جنس نسبت دو جریان هستند و لذا بهره حلقه بدون واحد است. شکل ۸-۱۱ مثالی عملی از تقویت‌کننده با فیدبک موازی- سری را نمایش می‌دهد. شبکه فیدبک از جریان خروجی نمونه-برداری می‌کند (نمونه‌برداری در سورس انجام شده است و تنها جریان درین بین درین و سورس ترانزیستور مشترک است). جریان فیدبک شده سپس با جریان ورودی مقایسه می‌شود تا سیگنال خطای مناسب صادر گردد (شاخه جریان ورودی و جریان فیدبک هر دو به یک گره متصل شده‌اند).

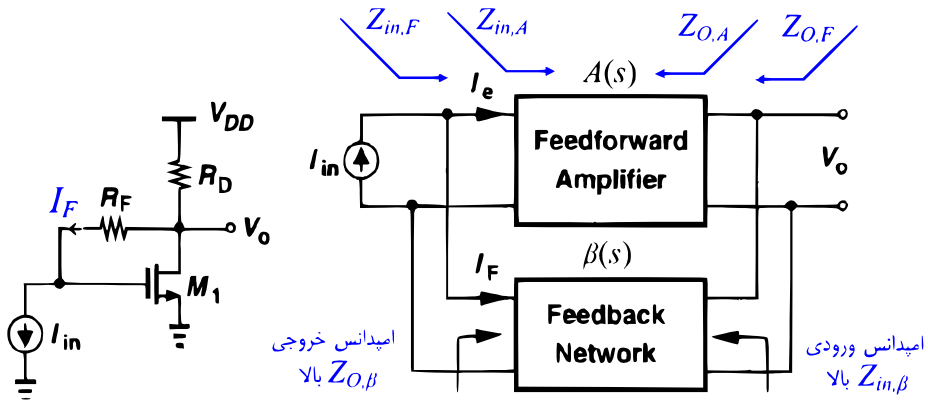


شکل۸-۱۱ مثالی از فیدبک موازی- سری.

۸-۶) فیدبک موازی- موازی

شکل ۸-۱۲-الف آرایش سیستمی یک تقویت‌کننده با فیدبک موازی- موازی را نمایش می‌دهد. شبکه فیدبک موازی- موازی $\beta(s) = I_F/V_O$، از ولتاژ خروجی V_O نمونه‌برداری نموده و این ولتاژ را پس از تقویت به‌صورت جریان فیدبک (I_F) از جریان ورودی I_{in} کم می‌کند. جریان خطای I_e حاصل از این تفاضل، سپس به‌منظور پایدارسازی سطح ولتاژ خروجی به تقویت‌کننده اصلی با تابع تبدیل $A(s) = V_O/I_e$ اعمال می‌شود. با توجه به موازی بودن شاخه‌های جریانی I_F و I_{in} در درگاه ورودی، شبکه فیدبک در این درگاه از نوع **موازی** و دارای امپدانس خروجی $Z_{O,\beta}$ بالا است. با توجه به اینکه شبکه فیدبک از ولتاژ خروجی نمونه‌برداری می‌کند، فیدبک در درگاه خروجی از نوع **موازی** است. لذا به‌منظور نمونه‌برداری صحیح، امپدانس ورودی شبکه فیدبک $Z_{in,\beta}$ باید بالا باشد. با توجه به نوع فیدبک موازی-موازی، در این تقویت‌کننده داریم:

$$\begin{cases} Z_{in,F} = \dfrac{Z_{in,A}}{1 + A(s)\beta(s)}, \\ Z_{O,F} = \dfrac{Z_{O,A}}{1 + A(s)\beta(s)}. \end{cases} \qquad (۲۱ - ۸)$$



(الف) (ب)

شکل۸-۱۲ نمایی از ساختار با فیدبک موازی-موازی و نحوه پیاده‌سازی عملی آن.

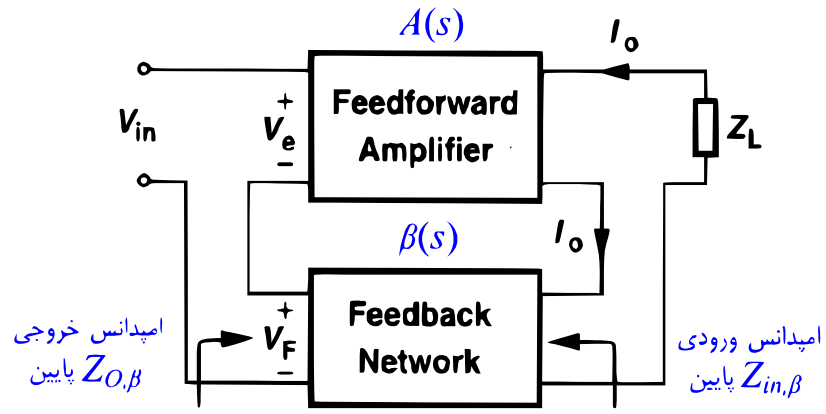
فیدبک موازی- موازی باعث کاهش مقاومت‌های ورودی و خروجی می‌شود. با توجه به جنس توابع تبدیل $A(s)$ و $\beta(s)$، بهره حلقه بدون واحد باقی می‌ماند. شکل ۸-۱۲- ب مثالی عملی از یک تقویت‌کننده دارای فیدبک موازی- موازی را نمایش می‌دهد. شبکه فیدبک از ولتاژ خروجی نمونه‌برداری می‌کند (نمونه‌برداری از همان ولتاژ خروجی V_O انجام شده است). جریان فیدبک شده سپس با جریان ورودی مقایسه (کم) می‌شود تا سیگنال خطای مناسب صادر گردد (شاخه جریان ورودی و جریان فیدبک هر دو به یک گره متصل شده‌اند).

۸-۷) فیدبک سری- سری

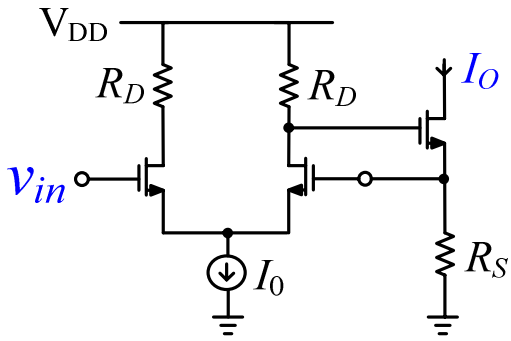
شکل ۸-۱۳-الف آرایش سیستمی یک تقویت‌کننده با فیدبک سری- سری را نمایش می‌دهد. شبکه فیدبک با تابع تبدیل $\beta(s) = V_F/I_O$، از جریان خروجی I_O نمونه‌برداری کرده و این جریان را پس از تقویت به‌صورت ولتاژ فیدبک (V_F) از ولتاژ ورودی V_{in} کم می‌کند. ولتاژ خطای V_e حاصل از این اختلاف، سپس به‌منظور پایدارسازی سطح جریان خروجی به تقویت‌کننده اصلی با تابع تبدیل $A(s) = I_O/V_e$ بازمی‌گردد. با توجه به سری بودن دو منبع ولتاژ V_F و V_{in} در درگاه ورودی، شبکه فیدبک موجود در این درگاه از نوع **سری** بوده و دارای امپدانس $Z_{O,\beta}$ پایین است. همچنین با توجه به اینکه شبکه فیدبک از جریان خروجی نمونه‌برداری می‌کند، فیدبک در درگاه خروجی از نوع **سری** است. لذا به‌منظور نمونه‌برداری صحیح، امپدانس ورودی شبکه فیدبک یعنی $Z_{in,\beta}$ باید پایین باشد. با توجه به نوع فیدبک سری- سری در این تقویت‌کننده داریم:

$$\begin{cases} Z_{in,F} = Z_{in,A}[1 + A(s)\beta(s)], \\ Z_{O,F} = Z_{O,A}[1 + A(s)\beta(s)]. \end{cases} \qquad (۲۲ - ۸)$$

فیدبک سری- سری باعث افزایش مقاومت‌های ورودی و خروجی می‌شود. با توجه به جنس توابع تبدیل $A(s)$ و $\beta(s)$، بهره حلقه بدون واحد است. شکل ۸-۱۳- ب مثالی عملی از یک تقویت‌کننده با فیدبک سری- سری را نمایش می‌دهد. شبکه فیدبک از جریان خروجی نمونه‌برداری می‌کند. ولتاژ فیدبک حاصل از این جریان، سپس با ولتاژ ورودی مقایسه می‌شود (ولتاژهای فیدبک و ورودی، به دو گیت ورودی یک تقویت‌کننده تفاضلی متصل شده‌اند). با این کار سیگنال خطای مناسب صادر می‌گردد.



(الف)



(ب)

شکل۸-۱۳ ساختار سیستمی یک تقویت‌کننده با فیدبک سری- سری و نمونه‌ای از پیاده‌سازی عملی آن.

۸-۸) تحلیل تقویت‌کننده‌های الکترونیکی فیدبک‌دار

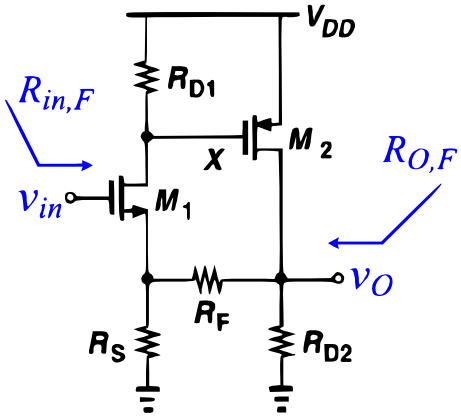
تحلیل تقویت‌کننده‌های الکترونیکی فیدبک دار، با تشخیص نوع فیدبک و علامت آن آغاز می‌شود. در مرحله بعد، پس از تحلیل نقطه کار تقویت‌کننده، شبکه اصلی و شبکه فیدبک از یکدیگر تفکیک می‌شوند. درنهایت نیز با توجه به سری یا موازی بودن فیدبک در درگاه‌های ورودی و خروجی، مقاومت ورودی، مقاومت خروجی و بهره مدار مشخص خواهند شد.

برای بدست آوردن ساختار شبکه اصلی، باید حلقه فیدبک شکسته شود و اثر بارگذاری شبکه فیدبک بر ورودی تقویت‌کننده اصلی مشخص گردد. این کار با تغییر شبکه فیدبک به یکی از صورت‌های زیر انجام می‌شود:

الف) اگر نوع فیدبک در خروجی از نوع موازی باشد، شبکه فیدبک در این درگاه اتصال کوتاه می‌شود.

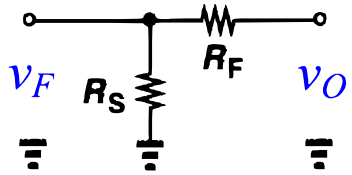
ب) اگر نوع فیدبک در خروجی از نوع سری باشد، شبکه فیدبک در این درگاه اتصال بازمی‌گردد.
برای تعیین اثر بارگذاری شبکه فیدبک در درگاه خروجی تقویت‌کننده اصلی، مراحل زیر انجام می‌شود:
ج) اگر نوع فیدبک در ورودی، سری باشد، مطالعه اثر بارگذاری آن در قسمت خروجی با اتصال بازنمودن شبکه در درگاه ورودی انجام می‌شود.
د) اگر نوع فیدبک در ورودی، موازی باشد، مطالعه اثر بارگذاری آن در قسمت خروجی با اتصال کوتاه نمودن شبکه در درگاه ورودی انجام می‌شود.

مثال ۸-۲: پس از مشخص نمودن نوع و علامت فیدبک در تقویت‌کننده شکل ۸-۱۴، بهره ولتاژ v_O/v_{in}، مقاومت ورودی $R_{in,F}$ و مقاومت خروجی $R_{O,F}$ را بدست آورید.



شکل ۸-۱٤ تقویت‌کننده مثال ۸-۲.

الف) فیدبک تقویت‌کننده شکل ۸-۱۴ از نوع سری-موازی است چراکه از ولتاژ خروجی نمونه‌برداری و در قالب یک منبع ولتاژ فیدبک با ولتاژ ورودی v_{in} مقایسه می‌کند. اختلاف‌فاز ۱۸۰ درجه نیز در حلقه فیدبک مشهود است (اختلاف‌فاز ۱۸۰ درجه در بین گیت و درین M_2 و اختلاف‌فاز صفر درجه بین سورس و درین M_1) و لذا فیدبک از نوع منفی می‌باشد.
ب) شبکه β از ولتاژ خروجی نمونه‌برداری نموده و آن را با ولتاژ ورودی مقایسه می‌کند. لذا شبکه فیدبک به‌قرار شکل ۸-۱۵ خواهد بود.



شکل ۸-۱۵ نمایش شبکه فیدبک.

با توجه به این شکل، ضریب فیدبک برابر است با:

$$\beta = \frac{v_F}{v_O} = \frac{R_S}{R_S + R_F}. \qquad (۲۳ - ۸)$$

ج) پس از تحلیل نقطه کار در این مرحله، متغیرهای مداری سیگنال-کوچک همانند g_{m1}، g_{m2}، r_{O1} و r_{O2} بدست می‌آیند.

د) شکستن حلقه فیدبک و تعیین تقویت‌کننده اصلی A با اعمال قوانین زیر:

خروجی موازی ← اتصال کوتاه

ورودی سری ← اتصال باز

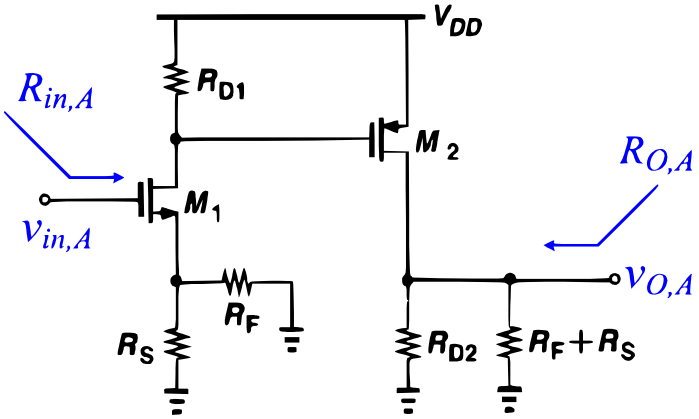
شکل ۸-۱۶ ساختار تقویت‌کننده اصلی را پس از اعمال دو نکته بالا نشان می‌دهد. بهره حلقه باز و مقاومت‌های ورودی و خروجی این ساختار عبارت‌اند از:

$$A_0 = \frac{v_{O,A}}{v_{in,A}} = \left(\frac{-R_{D1}}{1/g_{m1} + R_S \| R_F}\right)\left[\frac{-R_{D2} \| (R_F + R_S)}{1/g_{m2}}\right], \qquad (۲۴ - ۸)$$

$$R_{in,A} = R_G, \qquad (۲۵ - ۸)$$

$$R_{O.A} = R_{D2} \| (R_F + R_S) \| r_{O2}. \qquad (۲۶ - ۸)$$

ه) تخمین پارامترهای حلقه بسته از روی پارامترهای حلقه باز:



شکل ۸-۱۶ نمایش شبکه اصلی.

$$R_{in,F} = R_{in,A}(1 + A_0\beta), \qquad (۲۷ - ۸)$$

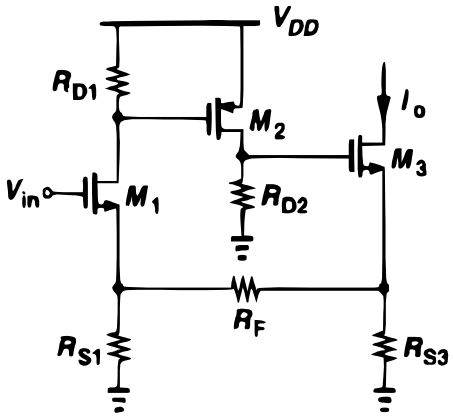
$$R_{O,F} = \frac{R_{O,A}}{1 + A_0\beta}, \qquad (۲۸ - ۸)$$

$$A_F = \frac{A_0}{1 + A_0\beta}. \qquad (۲۹ - ۸)$$

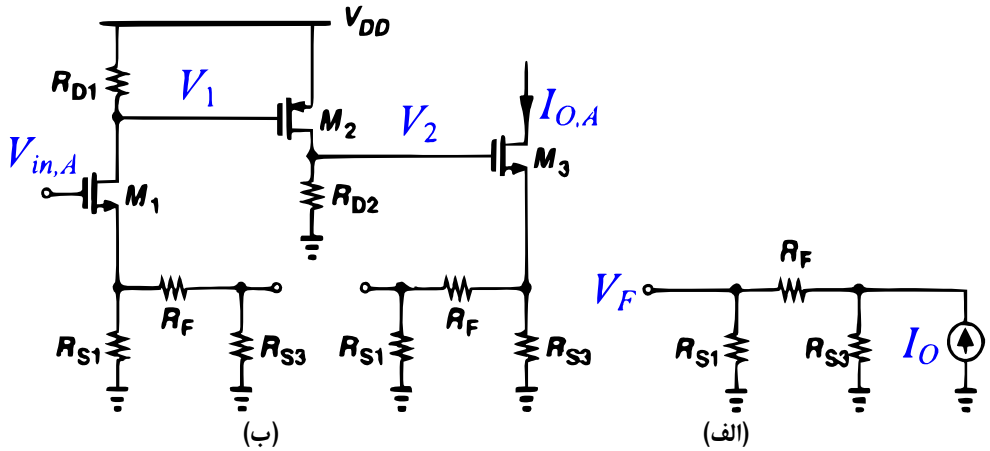
مثال ۸-۳: بهره امپدانس انتقالی I_O/V_{in} را در مدار شکل ۸-۱۷ بدست آورید.

با توجه به شکل ۸-۱۷، فیدبک از نوع منفی بوده و نوع آن سری- سری است. شکل ۸-۱۸-الف، شبکه β را نمایش می‌دهد. اندازه ضریب فیدبک برابر است با:

$$\beta = \frac{V_F}{I_O} = \left(\frac{R_{S3}}{R_{S3} + R_F + R_{S1}}\right) R_{S1}. \qquad (۳۰ - ۸)$$



شکل ۸-۱۷ تقویت‌کننده مثال ۸-۳.



شکل ۸-۱۸ شبکه فیدبک و تقویت‌کننده اصلی برای تقویت‌کننده شکل ۸-۱۷.

با توجه به نوع فیدبک (سری-سری)، اثر شبکه فیدبک بر شبکه اصلی را با اتصال باز نمودن دو درگاه ورودی و خروجی شبکه β مطالعه می‌کنیم. با این کار به تقویت‌کننده اصلی شکل ۸-۱۸-ب می‌رسیم. با تحلیل شبکه اصلی A به نتایج زیر می‌رسیم.

$$A_0 = \frac{I_{O,A}}{V_{in,A}}, \qquad (۳۱-۸)$$

$$\frac{V_1}{V_{in,A}} = \frac{-R_{D1}}{1/g_{m1} + R_{S1}\|(R_F + R_{S3})}, \qquad (۳۲-۸)$$

$$\frac{V_2}{V_1} = -g_{m2}R_{D2}, \qquad (۳۳-۸)$$

$$\frac{I_{O,A}}{V_2} = \frac{1}{1/g_{m3} + R_{S3}\|(R_{S1} + R_F)}, \qquad (۳۴-۸)$$

$$R_{in,A} = R_G, \qquad (۳۵-۸)$$

$$R_{O.A} = r_{O3}[1 + g_{m3}R_{S3}\|(R_{S1} + R_F)]. \qquad (۳۶-۸)$$

از روی نتایج مربوط به شبکه اصلی، بهره I_O/V_{in}، مقاومت ورودی و خروجی تقویت کننده حلقه بسته عبارتند از:

$$A_F = \frac{I_O}{V_{in}} = \frac{A_0}{1 + A_0\beta}, \qquad (۳۷-۸)$$

$$R_{in,F} = R_{in,A}(1 + A_0\beta), \qquad (۳۸-۸)$$

$$R_{O,F} = R_{O,A}(1 + A_0\beta). \qquad (۳۹-۸)$$

*) **نکته:** برخلاف تصور عموم، فیدبک هیچ تأثیری بر کاهش نویز داخلی تقویت‌کننده اصلی ندارد. تقویت‌کننده فیدبک‌دار شکل ۸-۱۹-الف با بلوک تقویت‌کننده اصلی A_1 و نویز ارجاع داده‌شده به

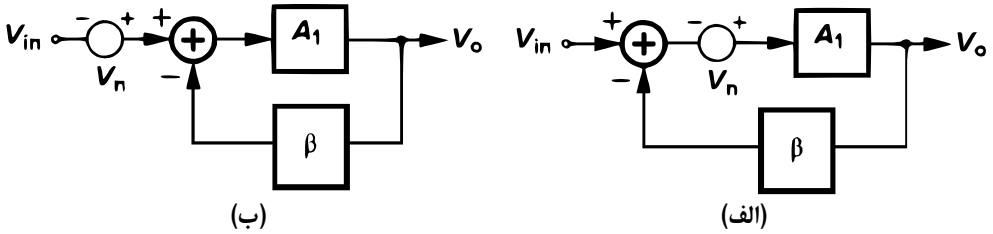
ورودی v_n را در نظر بگیرید. فیدبک منفی با ضریب فیدبک β به دور این تقویت‌کننده اعمال‌شده است. واضح است که رابطه ولتاژ خروجی با ولتاژ ورودی v_{in} و ولتاژ نویز v_n به‌قرار زیر است:

$$v_O = A(v_{in} - \beta v_O + v_n). \qquad (۴۰ - ۸)$$

لذا خواهیم داشت:

$$v_O = (v_{in} + v_n)\frac{A}{1 + A\beta}. \qquad (۴۱ - ۸)$$

این دقیقاً معادل با آن است که منبع نویز v_n را با ولتاژ ورودی v_{in} به‌صورت سری در نظر بگیریم. لذا شکل ۸-۱۹-ب با شکل ۸-۱۹-الف معادل بوده و نویز ارجاع داده‌شده به ورودی تقویت‌کننده اصلی همان نویز ارجاع داده‌شده به ورودی تقویت‌کننده فیدبک‌دار خواهد بود.



شکل۸-۱۹ تأثیر فیدبک بر نویز ارجاع داده‌شده به ورودی تقویت‌کننده.

فصل نهم: تقویت‌کننده‌های عملیاتی

تقویت‌کننده‌های عملیاتی (آپ‌امپ‌ها) مجتمع، در بسیاری از سیستم‌های پردازش سیگنال آنالوگ مجتمع کاربرد دارند. این تقویت‌کننده‌ها قادرند که تفاضل میان دو ورودی را با بهره زیاد در خروجی تقویت کنند. ولتاژ خروجی آپ‌امپ‌ها می‌تواند به‌صورت تک سر یا تمام تفاضلی باشند. اندازه این ولتاژ، به‌طورمعمول در حد چند ده هزار برابر ولتاژ تفاضلی ورودی است. این بلوک‌ها به‌منظور انجام کارهای مختلفی ازجمله تولید ولتاژ و جریان بایاس dc، تقویت سیگنال‌های آنالوگ و فیلتر کردن با سرعت بالا مورداستفاده قرار می‌گیرند. تقویت‌کننده‌های عملیاتی دارای بهره تفاضلی بالا هستند. این خاصیت، همان‌گونه که در ادامه خواهیم دید، باعث ایجاد زمین مجازی شده و از آن می‌توان به‌منظور هم‌پتانسیل کردن گره‌های مختلف یک مدار با استفاده از فیدبک منفی استفاده نمود. مهم‌ترین پارامترهای آپ‌امپ واقعی عبارت‌اند از:

الف) بهره حالت تفاضلی در فرکانس‌های پایین (DC gain): در حالت ایده‌آل بینهایت.

ب) سرعت واکنش به تغییرات ورودی (Speed): در حالت ایده‌آل بینهایت.

ج) حد بالای تغییرات ولتاژ خروجی (Output Swing): در حالت ایده‌آل بینهایت.

د) بازه مجاز تغییرات ورودی (Input Range): در حالت ایده‌آل بینهایت.

ه) نویز ارجاع داده‌شده به ورودی یا خروجی (Noise): در حالت ایده‌آل صفر.

و) توان مصرفی (Power Consumption): در حالت ایده‌آل صفر.

ز) میزان فیدبک با فاکتور فیدبک (Feedback Factor)

ح) نسبت حذف نویز حالت مشترک (CMRR = Common-Mode Rejection Ratio): در حالت ایده‌آل بینهایت.

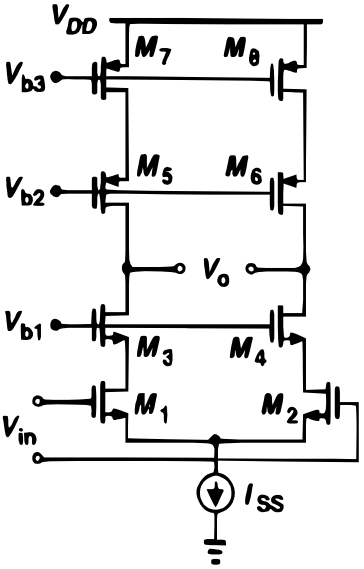
ط) نسبت حذف نویز منبع تغذیه (PSRR = Power Supply Rejection Ratio): در حالت ایده‌آل بینهایت.

ی) مقاومت‌های حالت مشترک و تفاضلی ورودی: در حالت ایده‌آل بینهایت.

ک) مقاومت خروجی: در حالت ایده‌آل صفر.

۹-۱) ملاحظات کلی

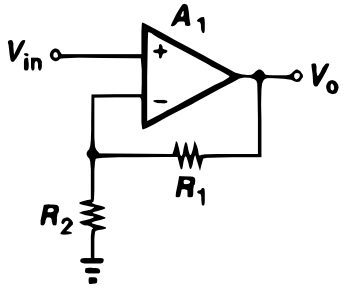
در سال‌های اخیر، هدف اصلی طراح‌های مدار مجتمع طراحی آپ‌امپ‌هایی بوده است که مشخصه آنها تا حد امکان به آپ‌امپ ایده‌آل نزدیک باشد. بهره و مقاومت ورودی چنین آپ‌امپ‌هایی بسیار بالا و مقاومت خروجی آنها نزدیک به صفر است. دستیابی به مشخصه‌های ایده‌آلی ازجمله سرعت، توان مصرفی و سوییننگ ولتاژ خروجی در درجه بعدی اهمیت قرار دارند. برای دستیابی به بهره بالا معمولاً چند ترانزیستور را با یکدیگر سری (کسکود) می‌کنند (شکل ۹-۱). با این کار اما حد بالای سوییننگ ولتاژ خروجی کاهش خواهد یافت.



شکل ۹-۱ آرایش یک آپ‌امپ تلسکوپی.

۹-۲) مطالعه اثر بهره محدود در رفتار آپ‌امپ

مثال ۹-۱: در تقویت‌کننده غیرمعکوس‌کننده شکل ۹-۲، بهره تفاضلی آپ‌امپ یا A_1 حداقل چقدر باشد تا بهره ورودی-خروجی تقویت‌کننده برابر با 10 و خطای بهره $(Gain\ error)$ کوچک‌تر از 1% باشد؟



شکل۹-۲ تقویت‌کننده غیرمعکوس‌کننده مثال ۹-۱.

با توجه به‌صورت سؤال، در حالت ایده‌آل باید داشته باشیم:

$$\frac{V_O}{V_{in}} = 1 + \frac{R_1}{R_2} = 10 \Longrightarrow R_1 = 9R_2. \quad (۱-۹)$$

این تقویت‌کننده از ولتاژ خروجی نمونه‌برداری نموده و ولتاژ فیدبک شده را با ولتاژ ورودی مقایسه می‌کند. لذا با توجه به مطالب فصل قبل، فیدبک از نوع سری – موازی خواهد بود. طبق قاعده تقسیم

مقاومتی، فاکتور فیدبک برابر است با:

$$\beta = \frac{R_2}{R_1 + R_2}. \qquad (۲-۹)$$

با توجه به اینکه بهره تقویت‌کننده اصلی برابر با A_1 است، بهره تقویت‌کننده فیدبک‌دار برابر است با:

$$\frac{v_O}{v_{in}} = \frac{A_1}{1 + \frac{R_2}{R_1 + R_2} A_1} = \left(1 + \frac{R_1}{R_2}\right)\left(\frac{1}{1 + \frac{R_1 + R_2}{R_2}\frac{1}{A_1}}\right)$$
$$\simeq \left(1 + \frac{R_1}{R_2}\right)\left(1 - \frac{R_1 + R_2}{R_2}\frac{1}{A_1}\right). \qquad (۳-۹)$$

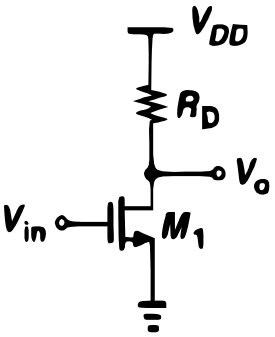
رابطه بالا، بهره واقعی تقویت‌کننده فیدبک دار را به ازای بهره تفاضلی A_1 محدود نشان می‌دهد.واضح است که رابطه خطای بهره به‌صورت

$$Gain\ Error = \frac{R_1 + R_2}{R_2}\frac{1}{A_1} = \frac{10}{A_1} = 0.01.$$

خواهد بود. لذا برای دستیابی به حداکثر خطای 1% باید داشته باشیم:

$$Gain\ Error < 1\% \implies A_1 > 1000.$$

در فرآیندهای ساخت مدار مجتمع فعلی، بسیار مشکل است که با استفاده از ساختارهای ساده و حلقه باز (همچون تقویت‌کننده شکل ۹-۳)، به بهره دقیق 10 (با دقت بالاتر از 1%) دست یابیم. دستیابی به یک بهره پایدار و با خطای پایین، از مزیت‌های مهم استفاده از آپ‌امپ با بهره بالا در آرایش فیدبک منفی است. بهره حلقه باز بالا، بهره حلقه بسته را تنها وابسته به ضریب فیدبک β می‌کند. با در نظر گرفتن عواملی همچون تغییرات دما، پروسه ساخت و ولتاژ تغذیه، دقت بهره آپ‌امپ شکل ۹-۳ به حول‌وحوش 20% محدود می‌شود.



شکل ۹-۳ آرایش یک تقویت‌کننده مجتمع حلقه باز ساده.

۹-۳) مطالعه اثر پهنای باند محدود در رفتار آپ‌امپ

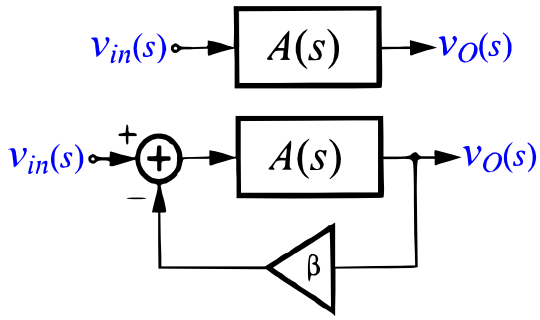
شکل ۹-۴-الف آرایش سیستمی یک تقویت‌کننده حلقه باز تک‌قطبی با بهره اولیه A_0 و پهنای باند ω_0 را به تصویر می‌کشد. رابطه بهره برحسب فرکانس و پاسخ پله تقویت‌کننده عبارت است از

$$A(s)=\frac{A_0}{1+{}^{s}/_{\omega_0}} \xrightarrow{v_{in}(t)=u(t)} v_O(t)=A_0(1-e^{-\omega_0 t}) \quad \tau=\frac{1}{\omega_0} \qquad (۴-۹)$$

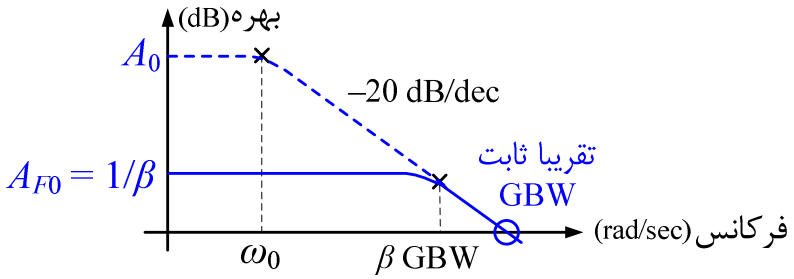
رابطه زمانی بدست آمده نشان می‌دهد که ثابت زمانی نشست ولتاژ خروجی برابر با $\tau=1/\omega_0$ است. در مقایسه با این آرایش، شکل ۹-۴- ب آرایش سیستمی همین تقویت‌کننده را به‌صورت حلقه بسته، با ضریب فیدبک β و بهره اولیه $A_{F0}=A_0/(1+A_0\beta)\simeq 1/\beta$ نشان می‌دهد. شکل ۹-۵-الف پاسخ فرکانسی تقویت‌کننده حلقه باز را با تقویت‌کننده حلقه بسته مقایسه می‌کند. تابع تبدیل حلقه بسته عبارت است از:

$$A_F(s)=\frac{A_{F0}}{1+{}^{s}/_{\omega_0(1+A_0\beta)}} \simeq \frac{{}^{1}/_{\beta}}{1+{}^{s}/_{\omega_0(1+A_0\beta)}}. \qquad (۵-۹)$$

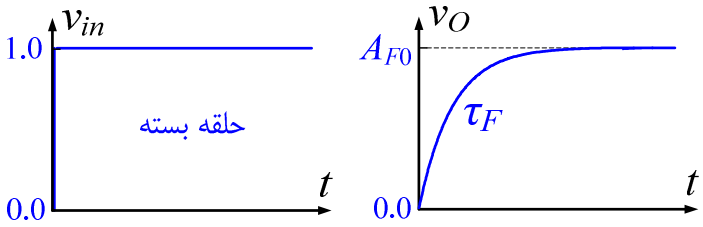
با فرض آنکه پاسخ فرکانسی تقویت‌کننده تک‌قطبی باشد، مستقل از میزان فیدبک، حاصل‌ضرب بهره اولیه در پهنای باند یا $\mathrm{GBW}=A_0\omega_0$ همواره ثابت می‌ماند. لذا با کاهش بهره از A_0 به $A_0/(1+A_0\beta)\simeq 1/\beta$، پهنای باند تقویت‌کننده نیز تا $\omega_0(1+A_0\beta)\simeq\beta\mathrm{GBW}$ افزایش می‌یابد تا حاصل‌ضرب بهره در پهنای باند ثابت بماند. پاسخ پله تقویت‌کننده حلقه بسته برابر است با:



شکل ۹-٤ مقایسه آرایش سیستمی یک تقویت‌کننده حلقه باز با تقویت‌کننده حلقه بسته.



(الف)



(ب)

شکل ۹-۵ طیف فرکانسی و پاسخ پله تقویت‌کننده حلقه بسته.

$$v_{in}(t) = u(t) \Longrightarrow v_O(t) = A_{F0}\left(1 - e^{-t/\tau_F}\right). \qquad (۶-۹)$$

در رابطه بالا، τ_F ثابت زمانی تقویت‌کننده حلقه بسته با مقدار زیر است:

$$\tau_F = \frac{1}{\omega_0(1 + A_0\beta)} \simeq \frac{1}{\beta \mathrm{GBW}}. \qquad (۷-۹)$$

شکل ۹-۵- ب پاسخ زمانی تقویت‌کننده حلقه بسته را به‌صورت مصور نمایش می‌دهد. خطای نشست یا e_{SS} مشخص‌کننده میزان تفاوت ولتاژ خروجی $v_O(t)$ در هرلحظه از زمان با مقدار ایده‌آل و نهایی A_{F0} است. لذا با توجه به رابطه بالا برای $v_O(t)$، خواهیم داشت:

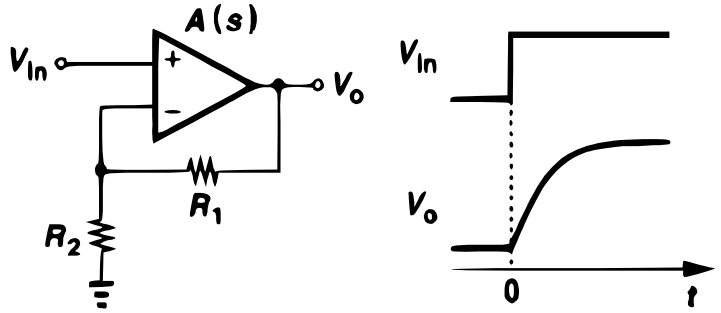
$$e_{SS}(t) = e^{-t/\tau_F}. \qquad (۸-۹)$$

زمان نشست سیگنال-کوچک t_{SS} برابر یا تعداد ثابت زمانی‌های τ_F است که میزان خطای ولتاژ خروجی از مقدار نهایی آن برابر با e_{SS} گردد. لذا اگر $t_{SS} = n\tau_F$ باشد، ضریب ثابت زمانی از رابطه زیر بدست می‌آید:

$$n = \ln\left(\frac{1}{e_{SS}}\right) \Longrightarrow t_{SS} = n\tau_F = \frac{n}{\beta \mathrm{GBW}} \Longrightarrow \mathrm{GBW} = \frac{n}{\beta}\left(\frac{1}{t_{SS}}\right). \qquad (۹-۹)$$

رابطه بالا، ارتباط بین پارامتر GBW تقویت‌کننده را با زمان نشست سیگنال کوچک یا t_{SS} نشان می‌دهد.

مثال ۹-۲: تقویت‌کننده عملیاتی موجود در شکل ۹-۶ از نوع تک‌قطبی است. اگر سیگنال ورودی v_{in} به این تقویت‌کننده از نوع شکل ۹-۶ باشد، زمان نشست لازم برای رسیدن به خطای نشست 1% مقدار نهایی را به ازای خروجی v_O محاسبه کنید. حاصل‌ضرب بهره در پهنای باند یا GBW موردنیاز تقویت‌کننده عملیاتی برای دستیابی به بهره $1 + R_1/R_2 \simeq 10$ و زمان نشست کمتر از $5ns$ را نیز بدست آورید. بهره آپ‌امپ را نامحدود فرض کنید.



شکل۹-٦ تقویت‌کننده فیدبک دار مثال ۹-۲.

با توجه به رابطه بهره، ضریب فیدبک برابر است با:

$$A_V = \frac{1}{\beta} \simeq 10 \implies \beta \simeq 0.1$$

لذا تعداد ثابت زمانی‌های موردنیاز برای دستیابی به خطای 0.01 عبارت است از:

$$n = \ln\left(\frac{1}{e_{SS}}\right) = \ln 100 \simeq 4.6 \implies t_{SS} = 4.6\tau_F$$

پس مقدار 4.6 ثابت زمانی موردنیاز است که خروجی به خطای زیر 1% برسد. درنهایت نیز پهنای باند لازم برای دستیابی به زمان نشست کمتر از $5ns$ از رابطه زیر بدست می‌آید:

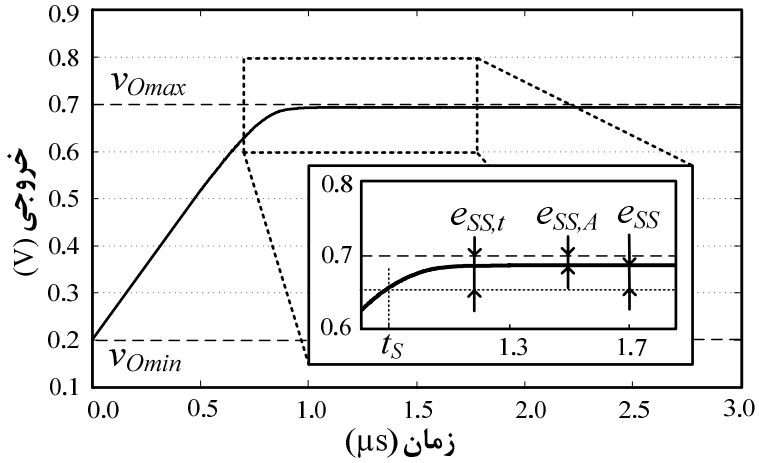
$$\mathrm{GBW} = \frac{4.6}{0.1}\left(\frac{1}{5\ ns}\right) = 9.21\ {}^{\mathrm{Grad}}/_{s} = 1.47\ \mathrm{GHz}.$$

۹-۴) مطالعه اثر رفتار غیرخطی آپ‌امپ واقعی

با افزایش دامنه ولتاژ خروجی یک آپ‌امپ واقعی، ولتاژ به حدی می‌رسد که ترانزیستورها وارد ناحیه عملکرد غیرخطی شده و در خروجی هارمونیک ایجاد می‌شود. خوشبختانه با استفاده از آپ‌امپ تمام تفاضلی، هارمونیک‌های زوج حذف شده و فقط هارمونیک‌های فرد باقی می‌مانند. لذا یکی از مزایای آپ‌امپ تمام تفاضلی نسبت به نوع تک سر، خطی بودن بیشتر آن است.

۹-۵) مطالعه اثر سرعت واکنش محدود آپ‌امپ در رفتار آن

با اعمال یک ولتاژ پله تفاضلی با دامنه زیاد به ورودی آپ‌امپ شکل ۹-۱، رفتار خروجی آپ‌امپ از همان ابتدای کار خطی باقی نمی‌ماند. با این کار، یکی از ترانزیستورها به‌طور کامل خاموش شده و کل جریان I_{SS} از سمت دیگر می‌گذرد. در عمل، ترانزیستورهای ورودی از ناحیه متعادل و خطی (با جریان $I_{SS}/2$ در هر کدام از دو سمت) خارج می‌شوند. در این شرایط، مدت‌زمانی طول خواهد کشید تا خروجی نیز به مقدار نهایی برسد. این تأخیر، ناشی از محدودیت در سرعت واکنش و پهنای باند است و باعث می‌شود که خروجی نتواند تغییرات ناگهانی ورودی را با همان سرعت دنبال کند. پس از اعمال ورودی، زمان نشست (t_S) به مدت‌زمان لازمی گفته می‌شود که خروجی تنها با خطای مشخصی با مقدار نهایی خود اختلاف داشته باشد. زمان نشست به‌طور مستقیم با کارایی مدارهای ساخته‌شده از آپ‌امپ در ارتباط است. واضح است که این پارامتر با پهنای باند و سرعت واکنش در ارتباط است چراکه در آپ‌امپ ایده‌ال، t_S به ازای هر خطایی برابر با صفر است. پیش از آنکه ارتباط میان زمان نشست و پهنای باند را بدست آوریم لازم است که برخی پارامترهای تأثیرگذار در اندازه‌گیری آن را معرفی کنیم. شکل ۹-۷ نحوه نشست ولتاژ خروجی یک تقویت‌کننده فیدبک دار را پس از اعمال سیگنال ورودی پله نشان می‌دهد. فرض کنید که سیگنال پله به‌گونه‌ای اعمال شود که خروجی از حداقل ولتاژ ممکن (در اینجا $v_{Omin} = 0.2\ \mathrm{V}$) به سمت حداکثر ($v_{Omax} = 0.7\ \mathrm{V}$) نشست کند. لذا حداکثر دامنه تغییرات ولتاژ خروجی، $v_{Omax} - v_{Omin} = 0.5\ \mathrm{V}$ خواهد بود. خطای کلی نشست $(e_{SS,t})$ برابر با بازه خطای نشست خروجی و اختلاف مقداری در لحظه t_S است که خروجی با مقدار ایده‌ال خود فاصله دارد. این خطا، همان‌طور که در شکل ۹-۷ نشان داده‌شده است، از دو جزء ناشی از بهره حلقه باز محدود $(e_{SS,A})$ و



شکل۹-۷ پاسخ نشست خروجی تقویت‌کننده عملیاتی با در نظر گرفتن سرعت واکنش محدود.

پهنای باند محدود (e_{SS}) تشکیل‌شده است.

$$e_{SS,t} = e_{SS,A} + e_{SS}. \qquad (۱۰-۹)$$

خطای ناشی از بهره محدود به دلیل بهره ولتاژ مدارباز محدود آپ‌امپ به وجود می‌آید و باعث اختلاف خروجی حالت دائمی و مقدار ایده‌ال می‌شود. می‌توان نشان داد که خطای موردنظر برابر است با

$$e_{SS,A} = \frac{1}{1 + A_0\beta} \approx \frac{1}{A_0\beta}. \qquad (۱۱-۹)$$

در رابطه بالا، β ضریب فیدبک و A_0 بهره ولتاژ تفاضلی در حالت dc است. زمان نشست، خود از دو مؤلفه سیگنال بزرگ یا t_{LS} (ناشی از سرعت واکنش محدود) و سیگنال- کوچک یا t_{SS} (ناشی از پهنای باند محدود) تشکیل می‌شود. خطای e_{SS} یک سیستم تک‌قطبی به‌صورت زیر با t_{SS} در ارتباط است.

$$e_{SS} = \exp(-\beta\text{GBW} \times t_{SS}) \Longrightarrow t_{SS} = \ln\left(\frac{1}{e_{SS}}\right)\frac{1}{\beta\text{GBW}} = n\tau. \qquad (۱۲-۹)$$

در رابطه بالا، n تعداد ثابت زمانی‌هایی است که خطای ناشی از پهنای باند محدود از e_{SS} کمتر می‌شود. طبق رابطه بالا، این متغیر تابعی از e_{SS} است.

$$n = \frac{t_{SS}}{1/\beta\text{GBW}} = \ln\left(\frac{1}{e_{SS}}\right) = f(e_{SS}). \qquad (۱۳-۹)$$

ارتباط کلی فرکانس بهره واحد با سرعت واکنش به ساختمان داخلی آپ‌امپ بستگی دارد. اگر فرض کنیم که آپ‌امپ تک‌قطبی و از نوع CMOS باشد، می‌توانیم روابط بالا را با رابطه فرکانس بهره واحد و سرعت واکنش ترکیب کنیم. با این کار ارتباط میان حداکثر زمان نشست (به ازای حداکثر دامنه تغییرات ولتاژ خروجی $v_{Omax} - v_{Omin}$) با فرکانس بهره واحد به‌صورت زیر تعیین می‌شود:

$$\mathrm{GBW} = \left(\frac{n-1}{\beta} + \frac{v_{Omax} - v_{Omin}}{|V_{DSi}(sat)|}\right)\frac{1}{t_S}. \qquad (۱۴-۹)$$

در معادله بالا، $|V_{DSi}(sat)|$ ولتاژ درین – سورس اشباع ترانزیستورهای ورودی است. رابطه بالا را با فرض تک‌قطبی‌بودن آپ‌امپ به دست آوردیم. اما با تغییرات جزئی می‌توان از آن برای تحلیل زمان نشأت آپ‌امپ‌های چندقطبی نیز استفاده نمود. این رابطه به‌وضوح نشان می‌دهد که t_S و GBW با یکدیگر ارتباط معکوس داشته و به‌منظور کاهش زمان نشست، باید فرکانس بهره واحد را افزایش دهیم. با افزایش خطای نشست مورد انتظار (کاهش n) و کاهش نرخ تغییرات خروجی (کاهش $v_{Omax} - v_{Omin}$)، فرکانس بهره واحد موردنیاز برای رسیدن به یک حداکثر زمان نشست معین کمتر است.

مثال ۹-۳: در یک آپ‌امپ تک‌قطبی CMOS با فیدبک واحد و بهره ولتاژ حلقه باز $A_0 = 66\ \mathrm{dB}$، جریان عبوری از ترانزیستورهای nMOS ورودی پایه‌های مثبت و منفی برابر با $0.25\ \mathrm{mA}$ است. اگر $\beta_n = \beta_p = 5\ \mathrm{mA/V^2}$ باشند، فرکانس بهره واحد لازم را به‌منظور دستیابی به حداکثر زمان نشست $1\ \mu\mathrm{s}$ با خطای نشست کلی $0.1\ \%$ پیدا کنید. حداکثر دامنه تغییرات ولتاژ خروجی را $1\ \mathrm{V}$ در نظر بگیرید.

ولتاژ اشباع ترانزیستورهای ورودی برابر است با:

$$V_{DS}(sat) = \sqrt{\frac{2I_{DQ}}{\beta_n}} = \sqrt{\frac{2 \times 0.25\ \mathrm{mA}}{5\ \mathrm{mA/V^2}}} \simeq 0.3\ \mathrm{V}.$$

بهره ولتاژ حلقه باز برابر با 2000 است. ازآنجاکه ضریب فیدبک نیز $\beta = 1$ است لذا $e_{SS,A} = 0.0005$ بدست می‌آید. از خطای کلی 0.001 مربوط به زمان نشست $1\ \mu\mathrm{s}$، 0.0005 آن مربوط به $e_{SS,A}$ و 0.0005 باقیمانده مربوط به e_{SS} خواهد بود. درنتیجه $n = 7.6$ تعیین می‌شود. هم‌اکنون می‌توان فرکانس بهره واحد را با استفاده از رابطه بدست آورد.

$$\text{GBW} = \left(\frac{7.6-1}{1} + \frac{1\ \text{V}}{0.3\ \text{V}}\right)\frac{1}{1\ \mu\text{s}} = 9.93\ \text{Mrad/s}$$ یا 1.58 MHz.

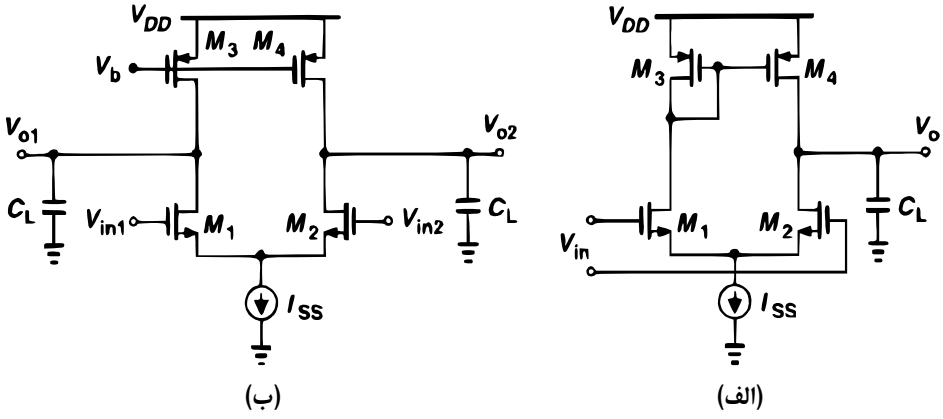
۹-۶) مطالعه اثر نویز و افست غیر صفر آپ‌امپ واقعی

نویز و افست ورودی آپ‌امپ دو پارامتری هستند که حداقل سطح سیگنال ورودی را به‌منظور پردازش صحیح معین می‌کنند. از طرف دیگر، قابلیت تقویت‌کننده در حذف نویز منبع تغذیه، حداقل PSR موردنیاز آپ‌امپ را معلوم می‌کند. در اینجا این موارد را به‌صورت جزئی‌تر بررسی نمی‌کنیم.

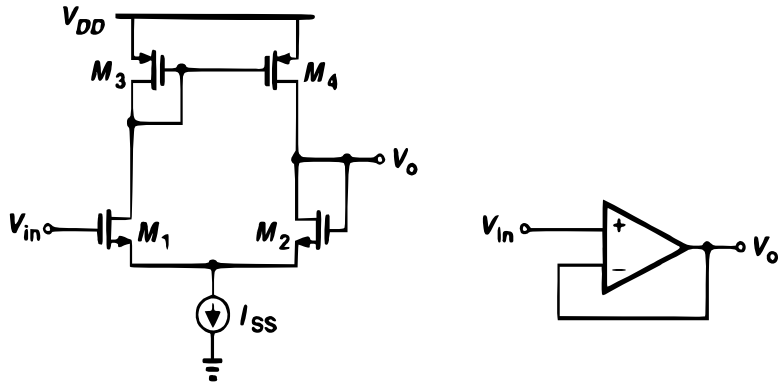
۹-۷) آپ‌امپ‌های یک طبقه

تمامی تقویت‌کننده‌های تفاضلی که قبلاً به آن‌ها اشاره شد می‌توانند به‌عنوان ساختار ساده برای آپ‌امپ در نظر گرفته شوند. به‌عنوان‌مثال، شکل ۹-۸ دو نمونه آپ‌امپ تک طبقه ساده را برای تغذیه بار خازنی نمایش می‌دهد. بهره این تقویت‌کننده‌ها برابر با $g_{MN}(r_{ON} \parallel r_{OP})$ است و پهنای باند آنها برابر با $\text{GBW} = g_{mi}/C_L$ است (وابسته به خازن بار C_L). اما ساختار تمام تفاضلی دارای این مزیت است که قطب آینه‌ای موجود در ساختار تک‌سر ندارد. از نقطه‌نظر نویز ارجاع داده‌شده به ورودی، همه ترانزیستورها در هر دو ساختار به یک اندازه در این نویز تأثیرگذار هستند.

مثال ۹-٤: آپ‌امپ با خروجی تک سر و فیدبک واحد شکل ۹-۹-الف مفروض است. بازه تغییرات



شکل۹-۸ آرایش ساده یک آپ‌امپ تک سر و یک آپ‌امپ تمام تفاضلی.



(ب) (الف)

شکل۹-۹ پیاده‌سازی یک آپ‌امپ تک سر با فیدبک واحد.

سیگنال حالت مشترک ورودی و مقاومت ورودی ساختار را در حالت حلقه بسته محاسبه کنید.

پاسخ: نوع فیدبک در آپ‌امپ شکل ۹-۹ از نوع سری- موازی است (نمونه‌برداری از ولتاژ خروجی و مقایسه با ولتاژ ورودی). اگر فرض کنیم که ارتباط بین خروجی v_O با ورودی گیت ترانزیستور قطع شود، مقاومت خروجی حلقه باز برابر با $r_{OP} \parallel r_{ON}$ خواهد شد. با توجه به نوع فیدبک سری- موازی، این ساختار مقاومت خروجی را به‌اندازه $1 + A\beta = 1 + g_{mN}(r_{OP} \parallel r_{ON})$ کم می‌کند. لذا مقاومت خروجی حلقه بسته برابر است با

$$R_{O,F} = \frac{r_{OP} \parallel r_{ON}}{1 + g_{mN}(r_{OP} \parallel r_{ON})} \simeq \frac{1}{g_{mN}}. \qquad (۱۵ - ۹)$$

امپدانس خروجی مستقل از امپدانس خروجی حلقه باز است. این نکته ما را قادر می‌سازد که آپ‌امپ‌هایی با بهره بالا و مقاومت خروجی حلقه بسته کم طراحی کنیم.

حداقل ولتاژ مجاز برای اعمال به دو ورودی برابر با ولتاژ گیت-سورس لازم برای روشن نگاه‌داشتن ترانزیستور M_1 یعنی یک v_{GS1} به‌علاوه ولتاژ مؤثر (ولتاژ درین- سورس اشباع) موردنیاز برای ترانزیستور منبع جریان یعنی $v_{effs} = v_{SD,sat,S}$ است. ازآنجاکه $v_{GS} = v_{TH} + v_{eff}$ است، این مقدار حداقل از رابطه زیر بدست می‌آید.

$$v_{in,min} = v_{GS1} + v_{effs} = v_{TH} + 2v_{eff}. \qquad (۱۶ - ۹)$$

حداکثر ولتاژ مجاز قابل‌اعمال به ترانزیستورهای ورودی نیز برابر با ولتاژ منبع تغذیه منهای حداقل ولتاژ لازم به‌منظور در ناحیه اشباع نگاه‌داشتن ترانزیستور M_1 است.

$$v_{in,max} = v_{DD} - v_{SG3} + v_{TH1}. \qquad (۱۷-۹)$$

در ساختار شکل ۹-۹، بهره $g_{mN}r_{OP} \parallel r_{ON}$ ممکن است به‌اندازه کافی نبوده و تقریب رابطه مقاومت خروجی حلقه بسته را با مشکل مواجه کند. شکل ۹-۱۰، ساختار آپ‌امپ کسکود تلسکوپی (Telescopic Cascode) با بهره بالا را برای کاربردهای با دقت بالا نشان می‌دهد. بهره ولتاژ در این حالت برابر است با

$$A_V = g_{mN}\left[g_{mN}{r_{O,N}}^2 \middle\| g_{mp}{r_{O,P}}^2\right]. \qquad (۱۸-۹)$$

شکل ۹-۱۰-الف آرایش آپ‌امپ تلسکوپی را در حالت تک سر نشان می‌دهد. از آینه جریان کسکود به‌منظور انتقال بخشی از سیگنال از سمت چپ به سمت راست استفاده شده است.

یکی از مشکلات اصلی آپ‌امپ تلسکوپی موجود در شکل ۹-۱۰-الف، نیاز به اتصال کوتاه نمودن خروجی V_O به ورودی V_{in} همانند شکل ۹-۹ است تا بتوان آپ‌امپی با فیدبک واحد ساخت. در این حالت، به‌منظور در ناحیه اشباع نگاه‌داشتن ترانزیستور M_2 باید داشته باشیم:

$$V_O \leq V_b - V_{TH4} - V_{OV4} + V_{TH2}. \qquad (۱۹-۹)$$

از طرفی برای در ناحیه اشباع نگاه‌داشتن ترانزیستور M_4 باید داشته باشیم:

$$V_O \geq V_b - V_{TH4}. \qquad (۲۰-۹)$$

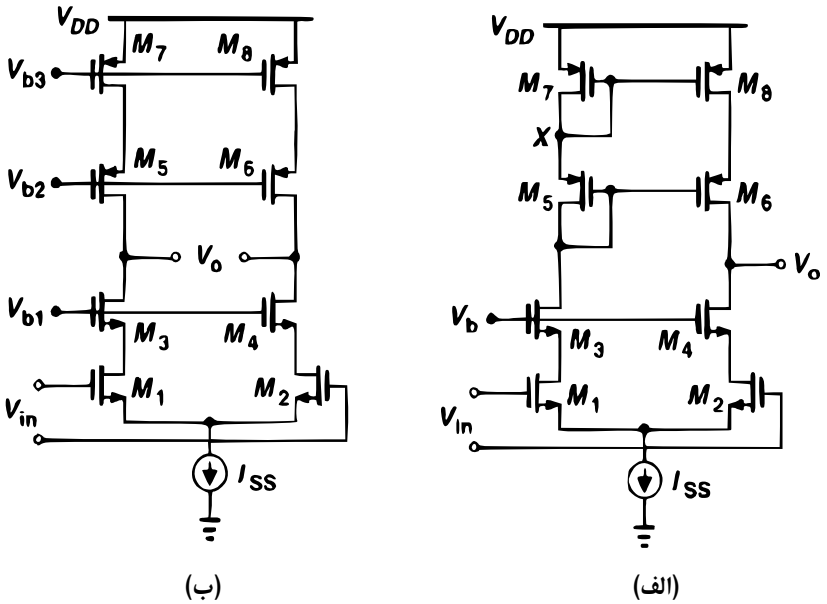
اختلاف بین این دو ولتاژ برابراست با:

$$V_{Omax} - V_{Omin} = V_{TH2} - V_{OV4}. \qquad (۲۱-۹)$$

که همواره از V_{TH2} کمتر است.

*) **نکته:** در حالت اتصال مستقیم خروجی و ورودی به یکدیگر، حداکثر دامنه تغییرات ولتاژ خروجی با حداکثر دامنه تغییرات ولتاژ ورودی برابر خواهند شد:

Input Swing = Output Swing.



شکل ۹-۱۰ استفاده از آپ‌امپ تلسکوپی به‌منظور افزایش بیشتر بهره ولتاژ تقویت‌کننده عملیاتی.

مثال ۹-۵: طراحی آپ‌امپ: یک تقویت‌کننده تمام تفاضلی با مشخصه‌های زیر طراحی کنید.

الف) مشخصه‌های ترانزیستورهای موجود در پروسه ساخت مورداستفاده عبارت‌اند از

$L_{min} = 0.5\ \mu m$: $\lambda_n = 0.1\ V^{-1}, \lambda_p = 0.2\ V^{-1}$,

$\gamma = 0$

$V_{THN} = |V_{THP}| = 0.7\ V$

$\mu_n C_{OX} = 60\ \mu A/V^2, \qquad \mu_p C_{OX} = 30\ \mu A/V^2,$

ب) ولتاژ تغذیه:

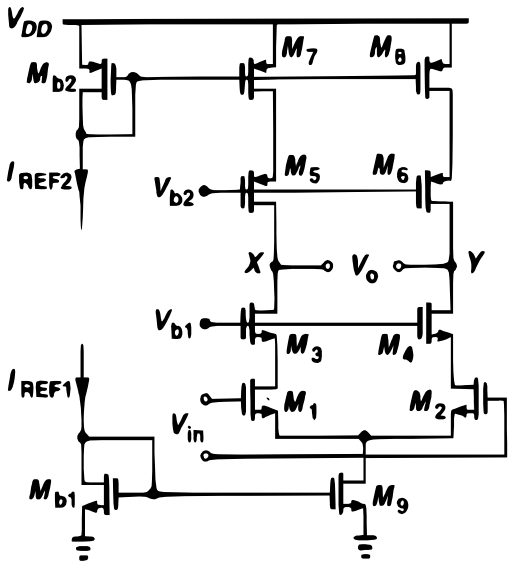
$V_{DD} = 3V$

ج) حد بالای نوسان ولتاژ خروجی تمام تفاضلی و بهره ولتاژ تفاضلی:

$Swing_{diff} = 3V, \qquad A_V = 2000$

د) حداکثر توان مصرفی مجاز برای این ساختار:

$P = 10\ mW$



شکل ۹-۱۱ ساختار آپ‌امپ مورداستفاده در طراحی.

شکل ۹-۱۱ ساختار آپ‌امپ مورداستفاده را با توجه به بهره بالای موردنیاز نشان می‌دهد. به‌منظور تغذیه منبع جریان M_9 از آینه جریان شامل ترانزیستور M_{b1} و به‌منظور تغذیه منابع جریان متشکل از M_7 و M_8، از آینه جریان شامل M_{b2} استفاده می‌شود.

با توجه به بودجه کل $P = 10\ \text{mW}$ ساختار و اینکه $V_{DD} = 3\text{V}$ است، جریان‌های زیر را برای شاخه‌های مختلف مدار در نظر می‌گیریم:

$$I_{REF1} = I_{REF2} = 165\ \mu\text{A}, \qquad I_9 = 3\ \text{mA}.$$

با توجه به مقدار در نظر گرفته‌شده برای I_9، سهم جریان‌های هر یک از دو شاخه در حالت تعادل برابر است با:

$$I_1 = I_2 = 1.5\ \text{mA}.$$

حد بالای نوسان ولتاژ خروجی تمام تفاضلی برابر با $Swing_{diff} = 3\text{V}$ است. لذا دامنه نوسان ولتاژ در هر یک از گره‌های X و Y عبارت است از:

$$Swing_X = Swing_Y = 1.5\ \text{V}.$$

برای رسیدن به دامنه نوسان مشخص‌شده در خروجی، حداقل ولتاژ لازم برای در اشباع ماندن ترانزیستورها (مجموع ولتاژ اشباع ترانزیستورها) از ولتاژ تغذیه کسر گردیده و ولتاژ باقیمانده برابر با $Swing_X$ در نظر گرفته می‌شود:

$$V_{ov7} + V_{ov5} + V_{ov3} + V_{ov1} + V_{ov9} = V_{DD} - Swing_X = 1.5\ \text{V}.$$

همان‌گونه که در فصل دوم اشاره گردید، ولتاژ اشباع از رابطه زیر بدست می‌آید:

$$V_{ov} = V_{eff} = v_{DS,sat} = \sqrt{\frac{2I}{\beta}} = \sqrt{\frac{2I}{\mu C_{OX}(W/L)}}. \qquad (۲۲-۹)$$

رابطه بالا نشان می‌دهد که باید ابعاد ترانزیستور را متناسب با میزان جریان افزایش یا کاهش داد تا به یک V_{ov} ثابت و مشخص و بیشتر از حداقل لازم برای ورود ترانزیستور به ناحیه زیر آستانه شویم (مقدارهای بین $150\ \text{mV}$ تا $500\ \text{mV}$ معمول است). میزان تحرک پذیری حفره یا μ_p نیز از تحرک پذیری الکترون یا μ_n کمتر بوده و در حدود نصف تا یک‌سوم آن است. جریان ترانزیستور M_9 نیز بیشتر از سایر ترانزیستورها است. با در نظر گرفتن این نکات، اگر بخواهیم که ترانزیستورهای با ابعاد نسبتاً یکسان داشته باشیم، ولتاژ اشباع ترانزیستورها را برابر با مقادیر زیر در نظر می‌گیریم:

$$V_{ov9} = 500\ \text{mV}, V_{ov6} = V_{ov8} = 300\ \text{mV}, V_{ov1} = V_{ov3} = 200\ \text{mV}.$$

با داشتن جریان هر ترانزیستور و رابطه ولتاژ اشباع، ابعاد آنها را بدست می‌آوریم:

$$(W/L)_{1-4} = 1250/(W/L)_{5-8} = 1111, (W/L)_9 = 400.$$

با داشتن ابعاد هر ترانزیستور و جریان آن، هم‌اکنون می‌توانیم بهره ولتاژ تقویت‌کننده را محاسبه کنیم:

$$g_m = \sqrt{2\mu C_{ox}\left(\frac{W}{L}\right) I_D}, \qquad (۲۳-۹)$$

$$r_O = \frac{1}{\lambda I_D}, \qquad (۲۴-۹)$$

$$A_V = g_{m1}[g_{m3} r_{O1} r_{O3} \| g_{m5} r_{O5} r_{O7}] \simeq 1416. \qquad (۲۵-۹)$$

بهره ولتاژ بدست آمده، میزان بهره موردنیاز در صورت‌مسئله را ارضا نمی‌کند. بنابراین باید به دنبال راهی برای افزایش بهره ساختار باشیم. همان‌طور که می‌دانیم، بهره ولتاژ تقویت‌کننده‌ها با بهره ذاتی ترانزیستورها در ارتباط است:

$$g_m r_O = \frac{\sqrt{2\mu C_{ox}\left(\frac{W}{L}\right) I_D}}{\lambda I_D}, \lambda \propto \frac{1}{L} \Rightarrow g_m r_O \propto \sqrt{\frac{WL}{I_D}}. \qquad (۲۶-۹)$$

لذا به‌منظور افزایش بهره ذاتی یک ترانزیستور، می‌توان طول و عرض آن را افزایش داد و یا اینکه جریان آن را کاهش داد. در عمل، این سرعت و نویز ترانزیستور هستند که جریان بایاس آن را تعیین می‌کنند. درنتیجه تنها راه افزایش L ترانزیستور و درعین‌حال افزایش W آن است تا W/L ثابت مانده و ولتاژ اشباع ترانزیستور یا $v_{DS,sat}$ تغییر نکند.

ازآنجاکه ترانزیستورهای M_1 تا M_4 در مسیر سیگنال از ورودی تا خروجی قرارگرفته‌اند، افزایش ابعاد آنها باعث افزایش خازن این قطعات و درنهایت خراب شدن پایداری و پهنای باند خواهد شد. لذا ابعاد آن‌ها را دست نمی‌زنیم و تنها ابعاد ترانزیستورهای بالا از M_5 تا M_8 را بزرگ می‌کنیم. دو برابر کردن W و L یک ترانزیستور، $g_m r_O$ آن را دو برابر می‌کند چراکه $\lambda_P \propto 1/L$ نصف می‌شود (g_m ثابت می‌ماند و r_O دو برابر می‌شود). لذا با دو برابر کردن ابعاد ترانزیستورهای بالا خواهیم داشت:

$$(\mathrm{W/L})_{5-8} = 1111\mu m/1\mu m \Rightarrow \lambda_P = 0.1\mathrm{V}^{-1} \Longrightarrow \mathrm{A_V} \simeq 4000.$$

بهره بدست آمده بیشتر از مقدار موردنیاز بدست آمد. لذا به‌منظور کاهش اندازه خازن‌های پارازیت، می‌توان ابعاد ترانزیستورهای pMOS را کمی کوچک‌تر در نظر گرفت. به‌منظور کاهش بیشتر ابعاد ترانزیستورهای pMOS، می‌توان $V_{ov9} = 150$ mV در نظر گرفت و ولتاژ احیاشده را به افزایش ولتاژ اشباع این ترانزیستورها اختصاص داد. با این کار، طراحی آپ‌امپ موردنظر بر روی کاغذ به پایان می‌رسد و مرحله بعد، طراحی و شبیه‌سازی ساختار با استفاده از یک نرم‌افزار شبیه‌سازی است.

در ساختار طراحی‌شده، حد پایین ولتاژ حالت مشترک ورودی به‌منظور روشن شدن و در اشباع ماندن ترانزیستورها عبارت است از:

$$V_{CM,min} = V_{GS1} + V_{ov9} = V_{TH1} + V_{ov1} + V_{ov9} = 1.4\ \mathrm{V}.$$

حد پایین ولتاژ بایاس V_{b1} و حد بالای ولتاژ بایاس V_{b2} به‌منظور در ناحیه اشباع ماندن ترانزیستورها عبارت است از

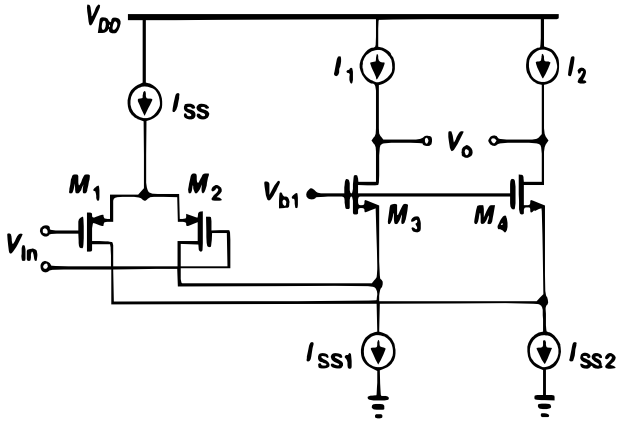
$$V_{b1,min} = V_{GS3} + V_{ov1} + V_{ov9} = 1.6\ \text{V},$$
$$V_{b2,max} = V_{DD} - V_{SG5} - V_{ov7} = 1.7\ \text{V}.$$

*) **نکته:** ساختار طراحی‌شده، باید پایداری و مقاومت لازم را هنگام تغییر V_{b1} و V_{b2} در اثر تغییرات پروسه ساخت و دما داشته باشد. همچنین باید اثر تغییرات ولتاژ آستانه ترانزیستورها را به خاطر اثر بدنه ترانزیستورها لحاظ نمود.

از مشکلات ساختار طراحی‌شده در مثال بالا، کمتر شدن حد بالای تغییرات ولتاژ خروجی به دلیل قرار دادن چندین ترانزیستور بر روی یکدیگر است. امکان اتصال مستقیم پایانه خروجی به پایانه ورودی منفی نیز به دلیل تفاوت در سطح dc این دو ولتاژ وجود ندارد. ولتاژ حالت مشترک ورودی نیز نمی‌تواند از حد خاصی کمتر شود. شکل ۹-۱۲ آرایش آپ‌امپ کسکود تاشده (*Folded Cascode*) را برای حل این مشکل نشان می‌دهد. به‌منظور حفظ تعادل ساختار باید داشته باشیم:

$$I_{SS1} = I_1 + {I_{SS}}/{2}, \qquad (۲۷-۹)$$

$$I_{SS2} = I_2 + {I_{SS}}/{2}. \qquad (۲۸-۹)$$



شکل ۹-۱۲ آپ‌امپ کسکود تاشده.

اگر مقاومت خروجی را برابر با R_O در نظر بگیریم، بهره ولتاژ آپ‌امپ موردنظر برابر است با:

$$v_O = g_{m1}R_O v_{in}. \qquad (۲۹-۹)$$

اگر مقاومت خروجی منبع جریان I_{SS1} را $r_{O,SS1}$ در نظر بگیریم، مقاومت خروجی در ساختار ۹-۱۲ برابر است با:

$$R_O = r_{O11}\|(g_{m3}+g_{mb3})r_{O3}(r_{O,SS1}\|r_{O1}). \qquad (۳۰-۹)$$

واضح است که اندازه این مقاومت خروجی از مقاومت خروجی آپ‌امپ کسکود تلسکوپی کمتر است. درنتیجه در شرایط یکسان، بهره بدست آمده از این ساختار کمی کمتر از آپ‌امپ کسکود تلسکوپی است. همچنین حداقل ولتاژ حالت مشترک قابل‌اعمال به دو پایانه ورودی عبارت است از:

$$V_{in,CM}(min) = V_{b1} - V_{GS3} + V_{TH}. \qquad (۳۱-۹)$$

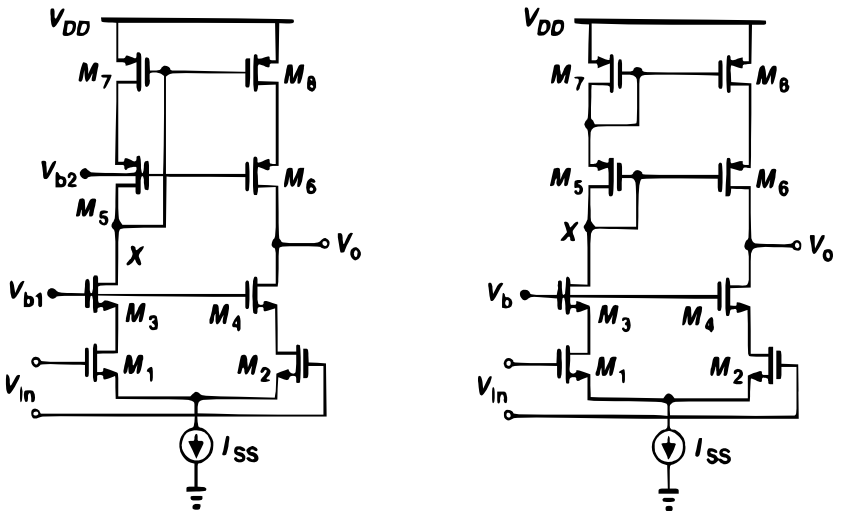
رابطه بالا نشان می‌دهد که در ساختار کسکود تاشده، ولتاژ حالت مشترک را می‌توان تا حد صفر کاهش داد. در این حالت حد بالای تغییرات ولتاژ خروجی نیز چندان محدود نمی‌شود چراکه همانند ساختار تلسکوپی، چندین ترانزیستور در هر شاخه بر روی یکدیگر قرار نمی‌گیرند.

از معایب ساختار کسکود تاشده، ایجاد یک قطب فرکانس پایین بیشتر موسوم به قطب تاشدگی (*Folding Pole*) در محل تاشدگی گره X است. چنین قطبی در ساختار تلسکوپی جود ندارد و باعث می‌شود که پایداری و پهنای باند آپ‌امپ کسکود تلسکوپی کوچک‌تر از آپ‌امپ کسکود تاشده باشد. این مشکل به دلیل بزرگ‌تر شدن خازن دیده‌شده در گره X به وجود می‌آید. اندازه مقاومت دیده‌شده در این گره عبارت است از:

$$R_X = \frac{1}{g_{m3}+g_{mb3}}. \qquad (۳۲-۹)$$

❋) **نکته:** در هر دو حالت کسکود تلسکوپی و کسکود تاشده، می‌توان آپ‌امپ‌هایی با خروجی تک سر طراحی نمود. شکل ۹-۱۳-الف آرایش یک آپ‌امپ کسکود تلسکوپی با خروجی تک سر را نشان می‌دهد. حداکثر ولتاژ خروجی تک‌سر یا $V_{O,max}$ برابر است با:

$$V_{O,max} = V_{DD} - V_{SG5} - V_{SG7} + |V_{TH6}|. \qquad (۳۳-۹)$$



(ب) (الف)

شکل۹-۱۳ آپ‌امپ کسکود با خروجی تک سر.

لذا حداکثر ولتاژ خروجی تک سر را نمی‌توان از حد مشخصی به V_{DD} نزدیک‌تر نمود. برای حل این مشکل می‌توان از آرایش اصلاح‌شده شکل ۹-۱۳-ب استفاده نمود. با استفاده از این ساختار می‌توان دو ترانزیستور M_7 و M_8 را در مرز نواحی اشباع و تریود نگاه داشت. از ایده‌ای مشابه نیز برای افزایش سوییِنگ ولتاژ خروجی در آرایش کسکود تاشده استفاده می‌شود. درمجموع، مشکلات ساختار تک سر نسبت به حالت تفاضلی از قرار موارد زیر هستند:

۱- کاهش حد بالای تغییرات ولتاژ خروجی به نصف تغییرات در حالت تفاضلی؛

۲- وجود قطب آینه‌ای در گره X.

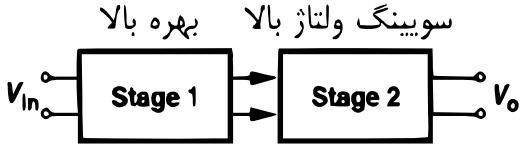
دقیقاً به دلیل همین موارد است که ساختار تمام تفاضلی نسبت به ساختار تک‌سر ترجیح داده می‌شود. هرچند که ساختار تمام تفاضلی نیاز به فیدبک حالت مشترک یا CMFB به‌صورت اشاره‌شده در ادامه بحث دارد.

*) **نکته:** در هر دو ساختار تک سر و تفاضلی، می‌توان تعداد ترانزیستور بیشتری را بر روی یکدیگر قرار داد و به بهره ولتاژ بالاتر دست یافت. با این کار سوییِنگ ولتاژ خروجی محدود می‌شود.

۹-۸) آپ‌امپ‌های دوطبقه

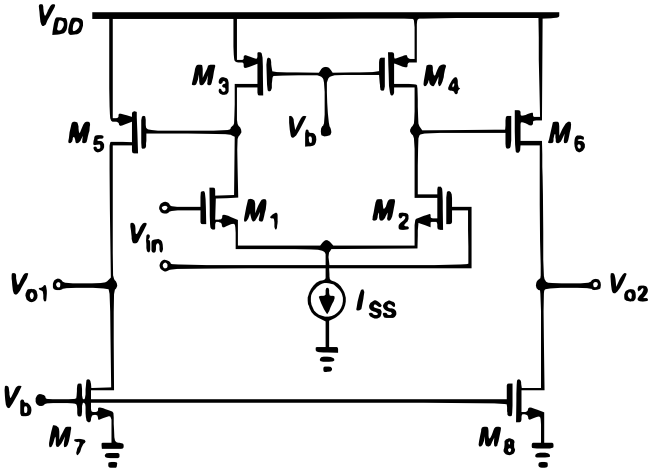
آپ‌امپ‌های بررسی‌شده تاکنون، به‌طور مستقیم سیگنال ورودی را به سمت مقاومت خروجی هدایت می‌کردند. در فن‌آوری‌های نانوی فعلی، بهره و حد بالای تغییرات خروجی این آپ‌امپ‌ها ممکن است پایین بوده و به میزان مطلوبی نباشد. در چنین شرایطی از آپ‌امپ‌های دوطبقه استفاده می‌شود تا بهره و سوییننگ ولتاژ خروجی به حد معقول برسد. شکل ۹-۱۴ آرایش سیستمی یک آپ‌امپ دوطبقه را به تصویر می‌کشد. طبقه اول دارای بهره ولتاژ نسبتاً بالا است تا سطح سیگنال ورودی را به حد معقول برساند. از طرف دیگر، تمرکز اصلی در طراحی طبقه دوم با بهره ولتاژ متوسط بر روی سوییننگ ولتاژ این طبقه است. درمجموع، بهره ولتاژ کلی این آرایش برابر است با

$$A_V = \frac{v_O}{v_{in}} = A_{V1}A_{V2}. \qquad (۳۴-۹)$$



شکل۹-۱٤ آرایش سیستمی آپ‌امپ دوطبقه.

لذا هم بهره ولتاژ به حد معقولی می‌رسد و هم سوییننگ ولتاژ خروجی به حد کافی افزایش می‌یابد. شکل ۹-۱۵ یک روش پیاده‌سازی ساده برای آپ‌امپ دوطبقه شکل ۹-۱۴ را نشان می‌دهد. بهره ولتاژ این ساختار برابر است با:



شکل۹-۱۵ یک روش پیاده‌سازی تفاضلی برای آپ‌امپ دوطبقه.

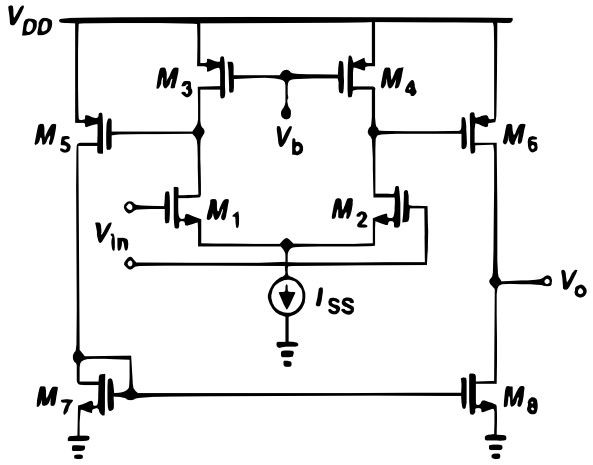
$$A_V = g_{m1}(r_{O1}\|r_{O3}) \times g_{m5}(r_{O5}\|r_{O7}). \qquad (۳۵-۹)$$

همچنین حد بالای تغییرات ولتاژ خروجی در این ساختار برابر است با:

$$Swing = 2(V_{DD} - V_{ov6} - V_{ov8}). \qquad (۳۶-۹)$$

به‌منظور افزایش بیشتر بهره، می‌توان از آپ‌امپ‌های سه‌طبقه و بالاتر استفاده نمود. اما مشکات اصلی، نحوه تأمین پایداری و پهنای باند بسیار محدود چنین آپ‌امپ‌هایی است.

شکل۹-۱۶ پیاده‌سازی آپ‌امپ دوطبقه شکل ۹-۱۵ را به‌صورت تک‌سر نشان می‌دهد. از آینه جریان $M_7 - M_8$ به‌منظور انتقال بخشی از سیگنال از سمت چپ به سمت راست استفاده شده است. ولتاژ خروجی در دو خروجی طبقه اول، توسط ترانزیستورهای V_{GS} $M_5 - M_6$ از طبقه دوم تثبیت می‌شود. درواقع اگر آپ‌امپ تک سر باشد با تثبیت شدن جریان نقطه کار طبقات توسط منابع جریان دیگر نیازی به خازن تزویج و کنارگذر نیست.

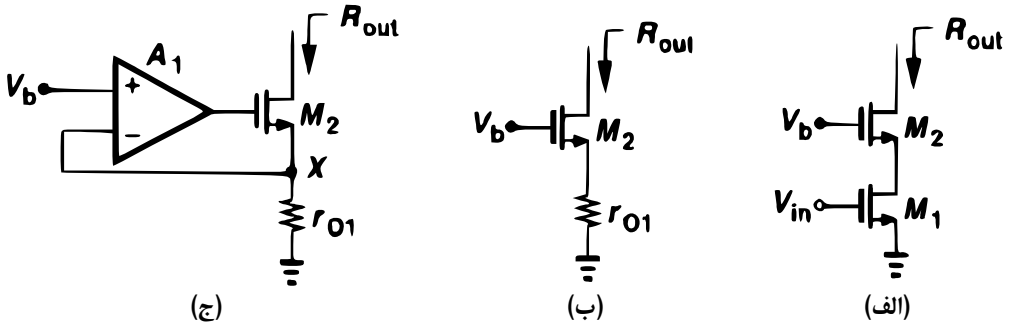


شکل۹-۱۶ پیاده‌سازی آپ‌امپ دوطبقه به‌صورت تک‌سر.

۹-۹) افزایش قابل‌توجه بهره با استفاده از فیدبک سری (Gain Boosting)

شکل ۹-۱۷-الف آرایش تقویت‌کننده کسکود شامل دو ترانزیستور سری M_1 و M_2 را با هدف افزایش هر چه بیشتر مقاومت خروجی R_{out} و درنهایت افزایش بهره کلی ساختار یعنی $A_V = g_{m1}R_{out}$ نشان می‌دهد. با در نظر گرفتن r_{O1} به‌عنوان مقاومت خروجی ترانزیستور M_1، مقاومت خروجی R_{out} در بهره ذاتی ترانزیستور M_2 یعنی $g_{m2}r_{O2}$ ضرب می‌شود (شکل ۹-۱۷-ب):

$$R_{out} = g_{m2}r_{O2}r_{O1}. \qquad (۳۷-۹)$$



شکل ۹-۱۷ افزایش امپدانس خروجی با استفاده از فیدبک.

شکل ۹-۱۷- ج یک روش محبوب برای افزایش مقاومت خروجی و افزایش هر چه بیشتر بهره را نشان می‌دهد. تقویت‌کننده اضافی با بهره A_1 و در آرایش فیدبک منفی از جریان خروجی نمونه‌برداری کرده و ولتاژ فیدبک شده V_X را با ولتاژ V_b مقایسه می‌کند. لذا فیدبک از نوع سری – سری است و باعث افزایش مقاومت خروجی می‌شود. ازآنجاکه بهره تقویت‌کننده اصلی برابر با $A = A_1$ و ضریب فیدبک برابر با $\beta = 1$ است، مقاومت خروجی در بهره حلقه ضرب می‌شود:

$$R_{out} = R_{O,A}(1 + A\beta) = A_1 g_{m2} r_{O2} r_{O1}. \qquad (۳۸ - ۹)$$

لذا بهره ولتاژ کلی ساختار یعنی $A_V = g_{m1} R_{out}$ به طرز قابل‌توجهی افزایش می‌یابد. یک روش برای به‌کارگیری ایده شکل ۹-۱۷، در شکل ۹-۱۸ به‌صورت مصور نشان داده‌شده است. تقویت‌کننده با بهره A_1 در شکل ۹-۱۸- الف، با استفاده از آرایش سورس- مشترکی مرکب از دو ترانزیستور M_2 و M_3 و منبع جریان I_1 پیاده‌سازی شده است. لذا $A_1 = g_{m3} r_{O3}$ است و بهره کلی در این ساختار برابر است با:

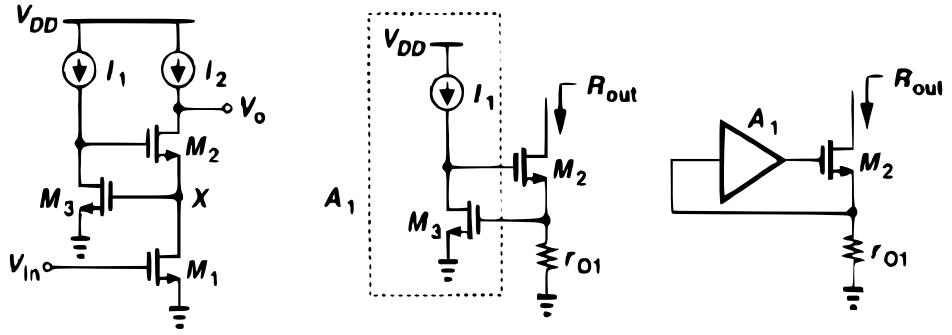
$$A_V \simeq g_{m1}(g_{m3} r_{O3})(g_{m2} r_{O2} r_{O1}). \qquad (۳۹ - ۹)$$

در مقایسه با ساختار شکل ۹-۱۷- ب، تحت تأثیر قرار گرفتن حداکثر دامنه نوسان ممکن برای ولتاژ خروجی یک مشکل ساختار ۹-۱۸- ج است. ولتاژ خروجی حداقل در شکل ۹-۱۷- ب برابر است با

$$V_O(min) = V_{ov1} + V_{ov2}. \qquad (۴۰ - ۹)$$

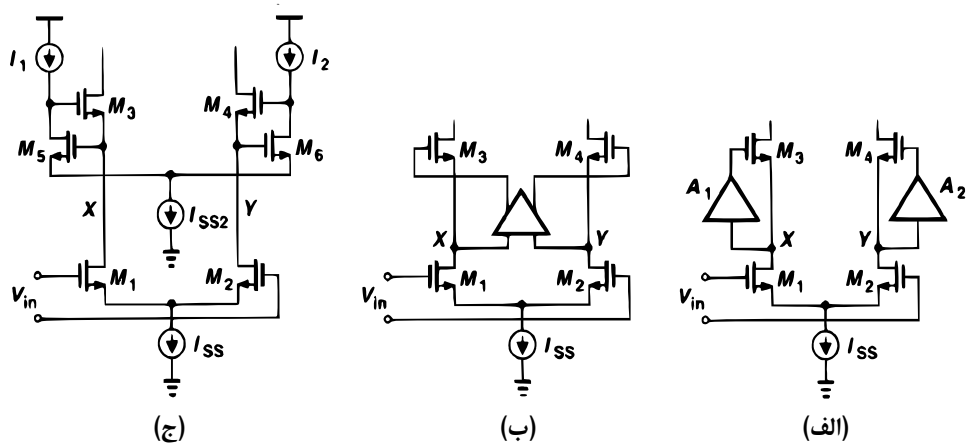
درحالی‌که ولتاژ خروجی حداقل در ساختار ۹-۱۸- ج عبارت است از

$$V_O(min) = V_{GS3} + V_{ov2} = V_{TH} + V_{ov3} + V_{ov2}. \qquad (۴۱ - ۹)$$



شکل۹-۱۸ پیاده‌سازی ایده افزایش بهره با افزایش قابل‌توجه مقاومت خروجی.

لذا حداقل ولتاژ خروجی ممکن در ساختار جدید، به‌اندازه یک V_{TH} بیشتر از حالت عادی است. شکل ۹-۱۹ نحوه پیاده‌سازی این ایده را در حالت تمام تفاضلی نشان می‌دهد. در اینجا می‌توان دو تقویت‌کننده با خروجی تک‌سر شکل ۹-۱۹-الف را حذف نمود و به‌جای آن از یک تقویت‌کننده تفاضلی همانند شکل ۹-۱۹- ب را برای افزایش بهره استفاده کرد. شکل ۹-۱۹- ج نحوه پیاده‌سازی این ایده را به شکل مداری نمایش می‌دهد. با در نظر گرفتن V_{SS2} به‌عنوان ولتاژ موردنیاز حداقل به‌منظور عملکرد صحیح منبع جریان I_{SS2}، ولتاژ درین ترانزیستورهای M_3 و M_4 حداقل می‌توانند تا سطح



شکل۹-۱۹ پیاده‌سازی ایده افزایش بهره در حالت تمام تفاضلی.

$$V_D(min) = V_{ov3} + V_{GS5} + V_{SS2} \qquad (۴۲ - ۹)$$

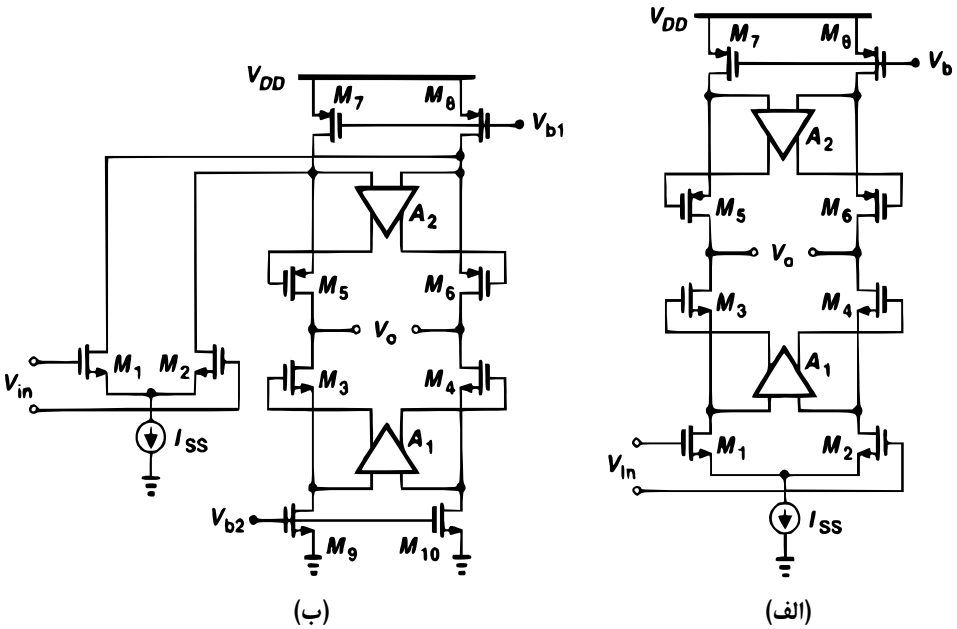
کاهش یابند. چنین حداقل ولتاژی ممکن است در برخی کاربردها قابل‌قبول نباشد و در این شرایط می‌توان از ساختار تاشده (*Folded*) با ورودی ترانزیستورهای pMOS استفاده نمود (شکل ۹-۱۲).

شکل ۹-۲۰ نحوه به‌کارگیری ایده افزایش بهره (*Gain Boosting*) را در آرایش تقویت‌کننده‌های یک طبقه کسکود تلسکوپی (*Telescopic Cascode*) (شکل ۹-۲۰-الف)و کسکود تاشده (*Folded Cascode*) (شکل ۹-۲۰-ب) نشان می‌دهد. با توجه به افزایش مقاومت خروجی، بهره در ساختار شکل ۹-۲۰-الف برابر است با:

$$A_V \simeq g_{m1}(A_2 g_{m5} r_{O5} r_{O7}) \| (A_1 g_{m3} r_{O3} r_{O1}). \qquad (۴۳ - ۹)$$

بهره در ساختار شکل ۹-۲۰-ب برابر است با:

$$A_V \simeq g_{m1}[A_2 g_{m5} r_{O5}(r_{O7} \| r_{O1})] \| (A_1 g_{m3} r_{O3} r_{O1}). \qquad (۴۴ - ۹)$$

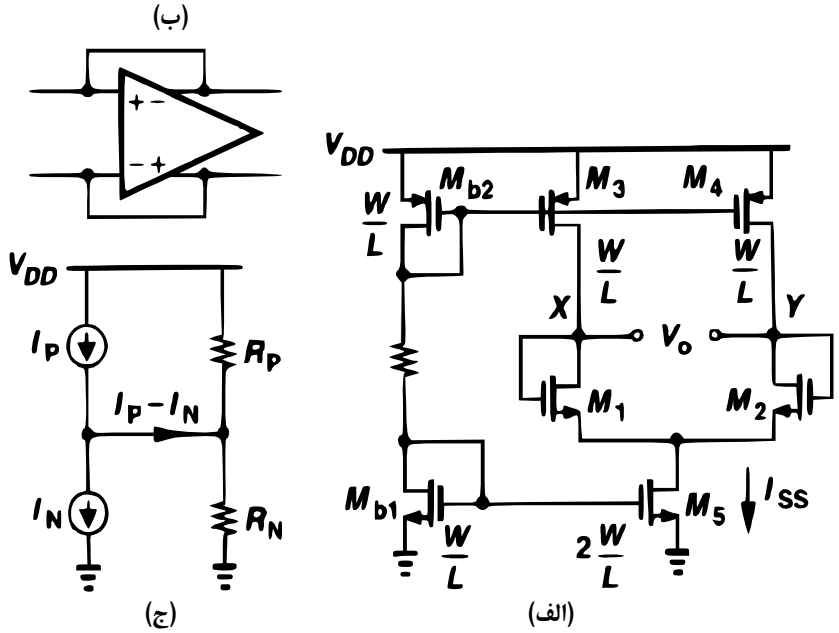


شکل ۹-۲۰ به‌کارگیری ایده افزایش بهره در آرایش تقویت‌کننده‌های تفاضلی.

۹-۱۰) فیدبک حالت مشترک (Common-Mode Feedback = CMFB)

در قسمت قبل، مزایای قابل‌توجه مدارهای با خروجی تمام تفاضلی را در مقابل مدارهای با خروجی تک-سر برشمردیم. این مزایا شامل سوییِنگ ولتاژ خروجی بیشتر، عدم وجود قطب آینه (پایداری بهتر) و درنهایت سرعت حلقه بسته بالاتر است. بااین‌وجود، آپ‌امپ‌های با خروجی تمام تفاضلی نیازمند یک فیدبک اضافی موسوم به فیدبک حالت مشترک یا CMFB هستند تا نقطه کار تثبیت‌شده و سیگنال‌های حالت مشترک به حالت پایدار برسند. درواقع، فیدبک اعمال‌شده در حالت تفاضلی چیزی از سیگنال حالت مشترک خروجی را به ورودی بازنمی‌گرداند. لذا خروجی در وضعیت اشباع قرار می‌گیرد.

تقویت‌کننده شکل ۹-۲۵-الف را در نظر بگیرید. همان‌طور که در مدل مداری مشاهده می‌شود، خروجی این تقویت‌کننده تفاضلی به ورودی آن وصل شده است. شکل ۹-۲۱-ب مدل سیستمی این تقویت‌کننده را به همراه فیدبک تمام تفاضلی نشان می‌دهد. ازآنجاکه جریان ترانزیستور M_5 برابر با I_{SS} است، اگر به دلیل عدم تقارن، مجموع جریان I_{D3} و I_{D4} (که فرض می‌کنیم با یکدیگر برابر هستند) تنها کمی بیشتر از



شکل ۹-۲۱ اشباع ولتاژ خروجی با وجود اعمال فیدبک حالت تفاضلی به تقویت‌کننده

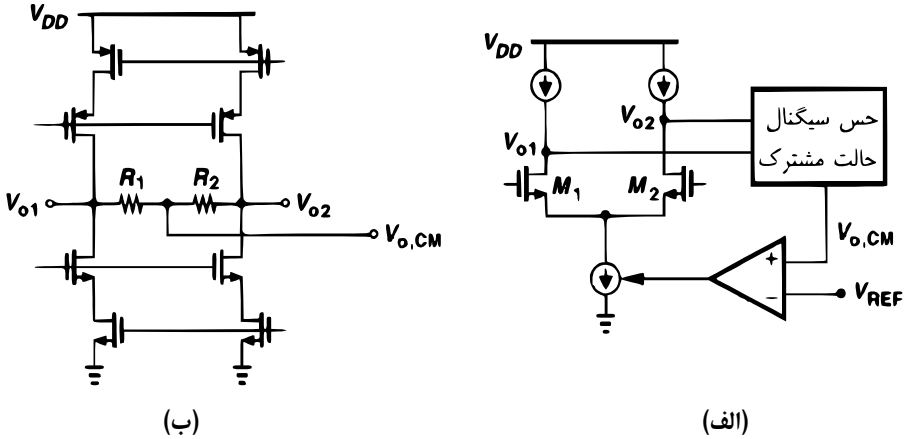
I_{SS} باشد، به دلیل مقاومت بالای گره‌های خروجی، ولتاژ حالت مشترک گره‌های X و Y بالا رفته و ترانزیستورهای M_3 و M_4 را به ناحیه تریود می‌کشاند (شکل ۹-۲۱- ج). مثلاً با فرض اینکه مقاومت خروجی در دو طرف برابر با $266\ k\Omega$، جریان I_{SS} برابر با 2.97 mA و جریان هرکدام از ترانزیستورهای M_3 و M_4 برابر با 1.5 mA باشند، جریان اضافی $15\ \mu A$ در هر طرف به خروجی راه‌یافته و ولتاژ

$$\Delta V_O = R_P \| R_N \left(I_p - I_N\right) = 266k\Omega \times 15\mu A = 3.99\text{V}$$

در خروجی‌ها ایجاد می‌کند. لذا ولتاژهای V_X و V_Y افزایش می‌یابند تا ترانزیستورهای M_3 و M_4 را به ناحیه تریود کشانده و ولتاژ این گره‌ها را به V_{DD} برساند.

درمجموع، خروجی‌های حالت مشترک قابل پایدارسازی به کمک فیدبک حالت تفاضلی نیستند. لذا در اثر عواملی همچون عدم تقارن و دما، نقطه کار خروجی‌ها به اشباع می‌روند. در چنین شرایطی نیاز به فیدبک حالت مشترک داریم.

شکل ۹-۲۲-الف نحوه اعمال فیدبک حالت مشترک در یک تقویت‌کننده تفاضلی را به تصویر می‌کشد. با استفاده از یک بلوک مداری اضافی موسوم به حس‌گر سیگنال حالت مشترک، خروجی حالت مشترک تقویت‌کننده یا $V_{O,CM}$ استخراج شده و توسط یک تقویت‌کننده جانبی با سیگنال مرجع V_{REF} مقایسه می‌شود.



(ب) (الف)

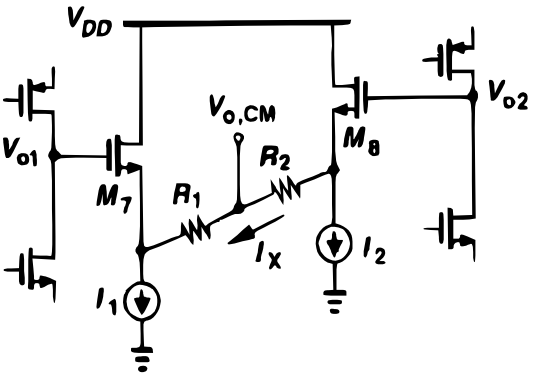
شکل۹-۲۲ فیدبک حالت مشترک با استفاده از حس‌گر مقاومتی.

حاصل این مقایسه به منابع جریان موجود در قسمت پایین یا بالایی تقویت‌کننده اعمال می‌شود تا به کمک حلقه فیدبک ایجادشده، ولتاژ حالت مشترک خروجی بر روی V_{REF} تثبیت گردد. شکل ۹-۲۲- ب یک روش ساده برای ساخت چنین تقویت‌کننده‌ای را نشان می‌دهد. شبکه مقاومتی متشکل از مقاومت‌های R_1 و R_2 برای حس نمودن سیگنال حالت مشترک گره‌های خروجی در مدار قرار داده‌شده است. با استفاده از قاعده جمع آثار می‌توان نوشت:

$$V_{O,CM} = \frac{R_1}{R_1 + R_2} V_{O2} + \frac{R_2}{R_1 + R_2} V_{O1}. \qquad (۴۵ - ۹)$$

لذا با در نظر گرفتن $R_1 = R_2$ متوسط ولتاژ دو گره یا همان $V_{O,CM}$ استخراج می‌شود.

$$R_1 = R_2 \Longrightarrow V_{O,CM} = \frac{V_{O1} + V_{O2}}{2}. \qquad (۴۶ - ۹)$$



برای آنکه مقاومت‌های R_1 و R_2 اثری بر روی مقاومت‌های دو گره خروجی نداشته باشند، لازم است که اندازه این دو مقاومت را خیلی بزرگ‌تر از مقاومت خروجی یا R_O دو گره انتخاب کنیم. مقاومت‌های بزرگ، سطح زیادی بر روی تراشه اشغال می‌کنند و همچنین باعث ایجاد خازن‌های پارازیت

شکل۹-۲۳ استفاده از بافر ولتاژ به‌منظور کاهش اندازه مقاومت‌های حس‌گر.

بزرگ می‌شود. برای همین، استفاده از دو بافر ولتاژ قبل از مقاومت‌ها (ساختار شکل ۹-۲۳) رایج‌تر است. با این کار می‌توان اندازه مقاومت‌های R_1 و R_2 را تا حد زیادی کاهش داد.

مشکل اصلی ساختار شکل ۹-۲۳ حداقل ولتاژ ممکن قابل‌دسترس در دو خروجی V_{O1} و V_{O2} است که هم‌اکنون به‌اندازه V_{GS8} بیشتر شده است. لذا سوییِنگ ولتاژ خروجی توسط مدار CMFB محدود شده و به‌اندازه یک V_{GS} کمتر می‌شود.

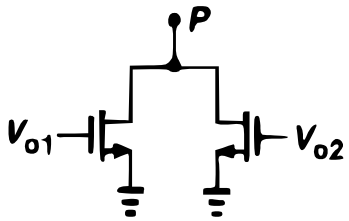
مشکل دیگر ساختار مذکور، جریان القاشده I_X است که به هنگام افزایش دامنه نوسانات حالت تفاضلی ولتاژ خروجی می‌تواند مقداری نسبتاً بزرگ داشته باشد. درواقع، با توجه به کوچک بودن اندازه مقاومت-های R_1 و R_2، جریان I_X می‌تواند بیش‌ازحد بزرگ شده و باعث افزایش قابل‌توجه توان مصرفی ساختار گردد.

$$I_X = \frac{V_{O2} - V_{O1}}{R_1 + R_2}. \qquad (۴۷ - ۹)$$

گذشته از مشکل بالا، اگر اندازه جریان‌های I_{D7} و I_{D8} به‌اندازه کافی بزرگ انتخاب نشوند، ترانزیستورهای M_7 و M_8 به‌طور کامل خاموش خواهند شد. بنابراین، یا باید R_1 و R_2 را بزرگ انتخاب نمود و یا جریان ترانزیستورهای M_7 و M_8 را بزرگ کرد.

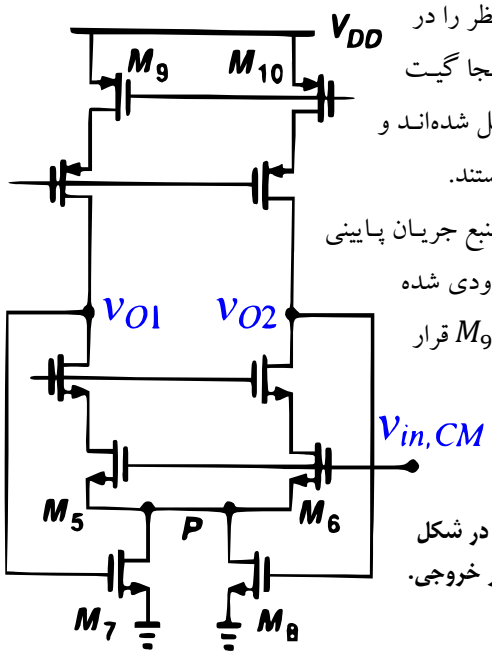
بیشتر مشکلات بالا، با استفاده از دو خازن به‌جای مقاومت‌های حس‌کننده R_1 و R_2 قابل‌حل است. این کار بیشتر در مدارهای کلید-خازنی انجام می‌شود. یک راهکار دیگر استفاده از دو ترانزیستور در ناحیه تریود عمیق به‌جای مقاومت است (شکل ۹-۲۴). با این کار، اندازه مقاومت معادل در گره مشترک بین دو ترانزیستور (گره P) از رابطه زیر بدست می‌آید:

$$R_P = R_{ON7} \| R_{ON8} = \left(\frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{O1} - V_{TH})} \right) \Bigg\| \left(\frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{O2} - V_{TH})} \right)$$
$$= \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{O1} + V_{O2} - 2V_{TH})}. \qquad (۴۸ - ۹)$$



شکل۹-۲٤ استفاده از دو ترانزیستور در ناحیه تریود عمیق به‌جای مقاومت.

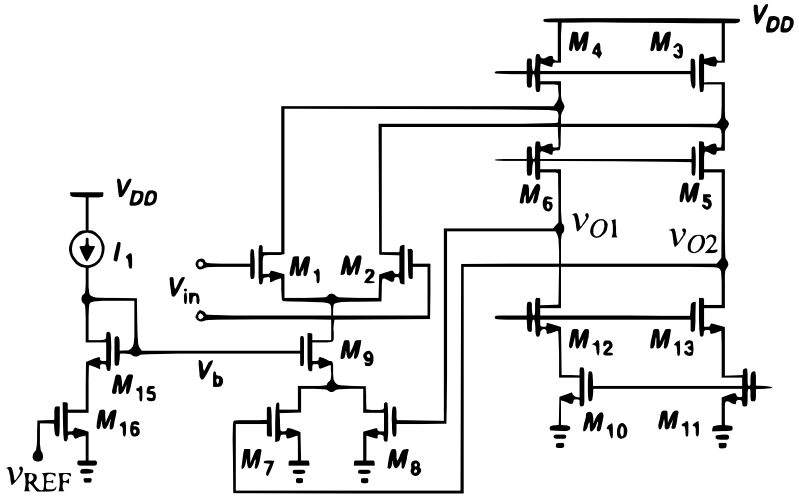
مقاومت معادل تا گره P دارای نسبت عکس با ولتاژ حالت مشترک خروجی‌ها است. مشکل اصلی این ساختار، تضمین ابقای ترانزیستورهای M_7 و M_8 در ناحیه تریود عمیق است چراکه به ازای $V_{O,CM}$ کوچک، باید V_P در حد صفر ولت نگاه داشته شود تا ترانزیستورها در ناحیه تریود عمیق قرار گیرند. شکل ۹-۲۵ نحوه به‌کارگیری مدار CMFB موردنظر را در یک تقویت‌کننده عملیاتی تفاضلی نشان می‌دهد. در اینجا گیت ترانزیستورهای M_6 و M_5 به ورودی‌های تفاضلی متصل شده‌اند و لذا برای سیگنال‌های حالت مشترک برابر با $V_{in,CM}$ هستند. فیدبک منفی موجود در این ساختار باعث می‌شود که منبع جریان پایینی تقویت‌کننده تفاضلی وابسته به ولتاژ حالت مشترک ورودی شده و جریان خود را با برابر با جریان منابع جریان M_{10} و M_9 قرار دهد. رابطه جریانی منبع جریان وابسته پایینی برابر است با



شکل۹-۲۵ نحوه به‌کارگیری ایده مقاومت‌های تریود در شکل ۹-۲۴ برای پایدارسازی نقطه کار خروجی.

$$I_{SS} = 2I_D = \frac{V_{in,CM} - V_{GS5,6}}{\mu_n C_{OX}\left(\frac{W}{L}\right)(V_{O1} + V_{O2} - 2V_{TH})}. \qquad (۴۹-۹)$$

از مشکلات مهم ساختار بالا، می‌توان به وابستگی $V_{O,CM}$ به پارامترهای ترانزیستوری (به دلیل عدم وجود ولتاژ مرجع برای مقایسه) و سوییگ محدود ولتاژ خروجی (به دلیل استفاده از ساختار تلسکوپی) اشاره نمود. برای حل این مشکلات، می‌توان از ساختار کسکود تاشده شکل ۹-۲۶ استفاده نمود.



شکل۹-۲۶ به‌کارگیری ایده مقاومت‌های تریود؛ ساختار کسکود تاشده.

با توجه به اینکه تعداد ترانزیستور کمتری بر روی یکدیگر از منبع تغذیه تا زمین قرارگرفته‌اند، حد بالای تغییرات ولتاژ خروجی بیشتر است. فرض کنیم که وضعیت M_{16} مشابه با ترکیب ترانزیستورهای M_7 و M_8 باشد و هر سه در ناحیه تریود عمیق بایاس شده باشند. این وضعیت با ارضای معادله

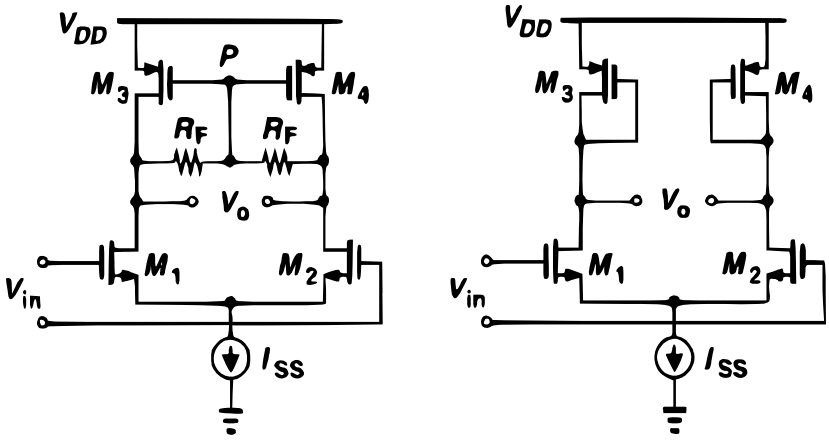
$$\left(\frac{W}{L}\right)_{16} = \left(\frac{W}{L}\right)_7 + \left(\frac{W}{L}\right)_8 \qquad (۵۰-۹)$$

بدست می‌آید. همچنین فرض کنیم که دو ترانزیستور M_9 و M_{15} نیز کاملاً مشابه باشند و به‌طور خاص:

$$\left(\frac{W}{L}\right)_{15} = \left(\frac{W}{L}\right)_9 \qquad (۵۱-۹)$$

باشد. با توجه به تقارن کامل ساختار در حالت مشترک، در این صورت جریان ترانزیستور M_9 طوری اصلاح می‌شود که درنهایت $I_{D9} = I_1$ گردد و ولتاژ حالت مشترک خروجی و اعمال‌شده به گیت ترانزیستورهای M_7 و M_8 برابر با ولتاژ گیت M_{16} باشد $(V_{O,CM} = V_{REF})$.

یک روش دیگر برای تقویت ولتاژ حالت مشترک خروجی، استفاده از ترانزیستورهای در آرایش دیودی همانند شکل ۹-۲۷-الف است. با این کار، امپدانس خروجی کاهش یافته و ولتاژ حالت مشترک خروجی برابر با $V_{DD} - V_{SG3,4}$ می‌شود. این کار باعث کاهش بهره ولتاژ تقویت‌کننده از مقدار اولیه



(ب) (الف)

شکل۹-۲۷ استفاده از بار دیودی به‌منظور تعریف ولتاژ خروجی.

$A_V = g_{m1}(r_{O1}\|r_{O3})$ به مقدار $A_V = g_{m1}/g_{m3}$ خواهد شد. لذا به‌منظور افزایش بهره و مقاومت خروجی می‌توان از دو مقاومت سری R_F به‌صورت نشان داده‌شده در شکل ۹-۲۷- ب استفاده نمود. در حالت ac، گره P زمین مجازی تفاضلی خواهد بود و بهره ولتاژ از رابطه زیر بدست می‌آید:

$$A_V = \frac{v_O}{v_{in}} = g_{m1}(r_{O1}\|r_{O3}\|R_F). \qquad (۵۲-۹)$$

*) **نکته:** تقویت‌کننده‌های دوطبقه نیاز به دو CMFB به‌منظور پایدارسازی ولتاژ حالت مشترک طبقات اول و دوم دارند. هرچند که با یک فیدبک حالت مشترک نیز می‌توان کل تقویت‌کننده را پایدار نمود.

۹-۱۱) محدودیت ولتاژ ورودی

آپ‌امپ‌هایی که در قسمت‌های قبلی بررسی نمودیم، نیازمند سوییننگ تمام تفاضلی بالایی در درگاه خروجی هستند. واضح است که این ولتاژ سوییننگ تمام تفاضلی، بر بهره ولتاژ آپ‌امپ تقسیم شده و میزان سوییننگ ولتاژ تمام تفاضلی ورودی را مشخص می‌کند. لذا سوییننگ ولتاژ ورودی نسبتاً پایین است. بااین‌وجود، تغییرات dc حالت مشترک ورودی می‌تواند نسبتاً بالا باشد. تقویت‌کننده شکل۹-۲۸ را به‌عنوان نمونه در نظر بگیرید. با توجه به اینکه خروجی به‌طور مستقیم به ورودی پایه منفی متصل شده

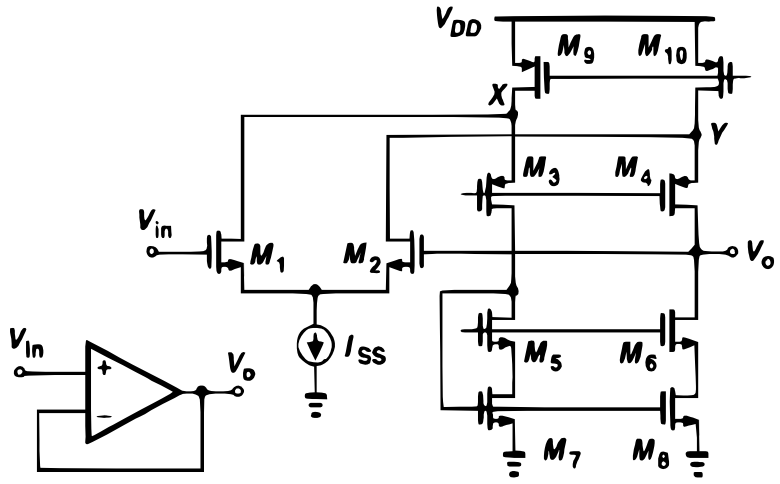
است، $Swing_{out} \simeq Swing_{in}$ خواهد بود. لذا حد بالای نوسانات خروجی یا $Swing_{out}$ به حد بالای نوسانات در ورودی یا $Swing_{in}$ محدود می‌شود. با توجه به اینکه

$$V_{in,min} = V_{GS1} + V_{ISS} = V_{TH} + 2V_{ov} \qquad (۵۳-۹)$$

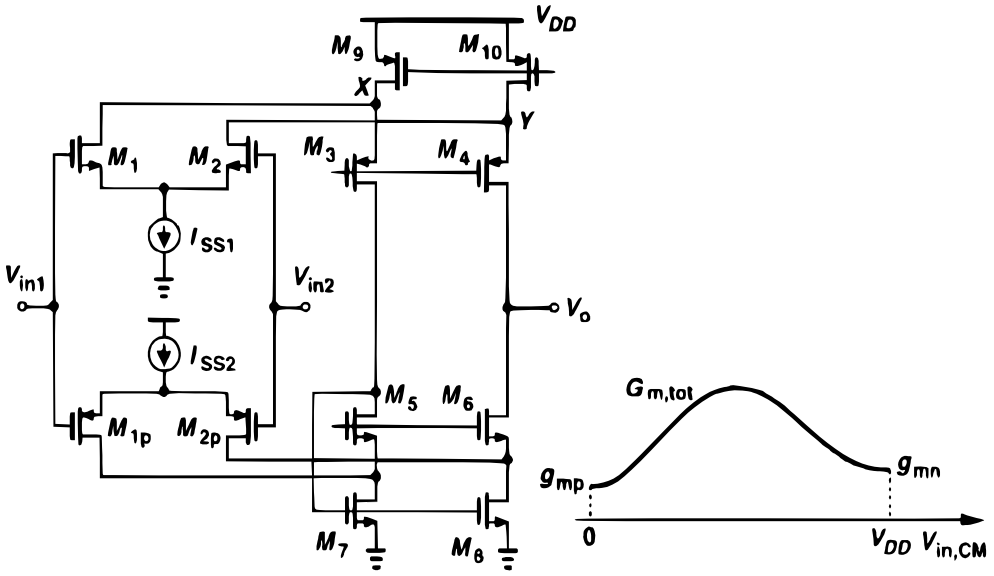
و حد پایین ولتاژ خروجی (در صورت عدم اتصال ورودی و خروجی به یکدیگر) برابر با

$$V_{in,min} = V_{ov6} + V_{ov8} = 2V_{ov} \qquad (۵۴-۹)$$

است، این محدودیت تقریباً به‌اندازه یک V_{TH} بیشتر باعث کاهش سوییِنگ ولتاژ خروجی می‌شود.
یک راه‌حل به‌منظور افزایش دامنه حالت مشترک ورودی، استفاده از ساختار مکمل nMOS و pMOS در قسمت ورودی تقویت‌کننده است (شکل ۹-۲۹). در ولتاژهای کم ورودی، ترانزیستورهای pMOS روشن هستند و سیگنال را به خروجی منتقل می‌کنند. در عوض در ولتاژهای زیاد، ترانزیستورهای nMOS ورودی روشن هستند و باعث انتقال سیگنال ورودی به خروجی می‌شوند. اما مشکلی که به وجود می‌آید آن است که در ولتاژهای متوسط ورودی، هر دو نوع ترانزیستور روشن هستند و G_m کلی ساختار بیشتر خواهد شد (شکل ۹-۲۹). لذا کلیه پارامترهای سگنال-کوچک تقویت‌کننده ازجمله بهره ولتاژ و پهنای باند، وابسته به ولتاژ حالت مشترک ورودی خواهند شد.



شکل۹-۲۸ تأثیر اتصال مستقیم خروجی به ورودی بر میزان سوییِنگ ولتاژ خروجی.

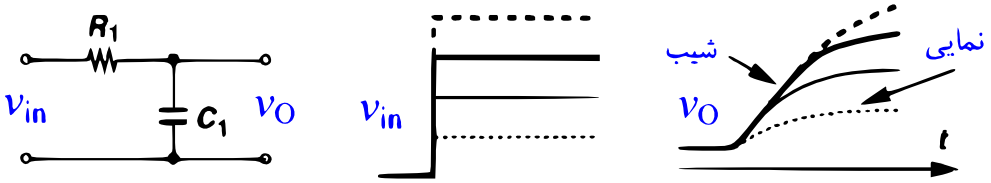


شکل۹-۲۹ افزایش محدوده حالت مشترک ورودی با استفاده از ترانزیستورهای مکمل.

۹-۱۲) سرعت واکنش (*Slew-Rate*)

در حالت کلی، می‌توان رفتار پایانه خروجی یک آپ‌امپ در قسمت بار را به‌صورت حاصل سری یک مقاومت R_1 با یک خازن C_1 مدل‌سازی نمود (شکل ۹-۳۰). با در نظر گرفتن v_{OM} به‌عنوان ولتاژ نهایی، ولتاژ خروجی (v_O) این مدار خطی از رابطه زیر بدست می‌آید:

$$v_O = v_{OM}(1 - e^{-t/R_1C_1}). \qquad (۵۵ - ۹)$$



شکل۹-۳۰ مدل‌سازی نحوه نشست ولتاژ خروجی یک تقویت‌کننده.

لذا مشتق ولتاژ خروجی از رابطه زیر بدست می‌آید.

$$\frac{dv_O}{dt} = \frac{v_{OM}}{R_1 C_1} e^{-t/R_1 C_1}. \qquad (۵۶-۹)$$

رابطه بالا نشان می‌دهد که با افزایش دامنه سیگنال خروجی، شیب ولتاژ خروجی نیز تغییر می‌کند و هرچه دامنه بیشتر باشد، شیب ولتاژ خروجی در لحظه ابتدایی نیز بیشتر خواهد بود. به چنین وضعیتی، نشست خطی ولتاژ خروجی گفته می‌شود. اما بررسی سیگنال‌های اندازه‌گیری شده از خروجی آپ‌امپ‌های واقعی نشان می‌دهد که این سیگنال‌ها همواره از معادله خطی تبعیت نمی‌کنند. معادله مذکور با فرض خطی بودن سیستم به‌دست‌آمده است. با اعمال ورودی پله با دامنه زیاد به ورودی آپ‌امپ واقعی، در لحظات اولیه اختلاف ولتاژ ورودی‌های مثبت و منفی به‌قدری زیاد می‌شود که فرض خطی‌بودن صادق نیست. منشأ اصلی تفاوت در سیگنال اندازه‌گیری شده با رابطه تئوری بالا، محدودیتی است که با عنوان سرعت واکنش شناخته می‌شود. سرعت واکنش (SR) در یک آپ‌امپ واقعی، نشان‌دهنده حداکثر نرخ تغییرات ممکن برای ولتاژ خروجی است به‌گونه‌ای که خروجی نمی‌تواند تغییرات شدیدتری از آن داشته باشد. این پارامتر نامحدود نیست و به‌صورت زیر تعریف می‌شود.

$$\mathrm{SR} = \left(\frac{dv_O}{dt}\right)|\max. \qquad (۵۷-۹)$$

در آغاز، اگر شیب تغییرات خروجی از SR بیشتر باشد، به حداکثر مقدار یعنی SR محدود شده و خروجی از رابطه زیر پیروی می‌کند:

$$v_O(t) = \mathrm{SR} \times t. \qquad (۵۸-۹)$$

این وضع تا زمانی ادامه می‌یابد که شیب تغییرات پیش‌بینی‌شده از معادله خطی کمتر از SR شود. پس‌ازآن خروجی مجدداً از رابطه خطی تبعیت می‌کند. اگر حداکثر نرخ تغییرات خروجی همواره کمتر از SR آپ‌امپ باشد، این پارامتر محدودیتی در پاسخ خروجی ایجاد نمی‌کند و معادله خروجی از همان ابتدای کار خطی خواهد بود. سرعت واکنش برای تقویت‌کننده عملیاتی ایده‌ال بی‌نهایت است. یک روش خوب برای محاسبه SR آن است که به ورودی تقویت‌کننده حلقه بسته، یک پالس ولتاژ اعمال کنیم و نسبت $\Delta v/\Delta t$ را اندازه‌گیری نماییم.

تقویت‌کننده شکل ۹-۳۱ را در نظر بگیرید. با اعمال سیگنال پله v_{in} با دامنه بزرگ به ورودی، یکی از ترانزیستورهای ورودی خاموش شده و کل جریان I_{SS} از دیگری می‌گذرد. در این شرایط، جریان منبع جریان I_{SS} توسط ترانزیستور روشن به بار انتقال می‌یابد. درنتیجه حداکثر نرخ تغییرات خروجی (همان سرعت واکنش) از رابطه زیر بدست می‌آید:

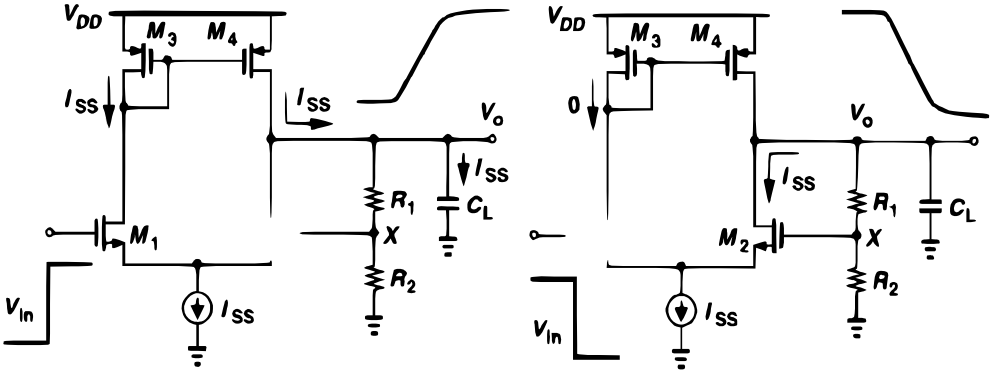
$$R_1, R_2 \gg 1 \Longrightarrow \text{SR} = \frac{dv_O}{dt} = \frac{I_{SS}}{C_L}. \qquad (۵۹ - ۹)$$

سرعت واکنش یا SR محدود، به دلیل محدود بودن جریان قابل تأمین در بار (در اینجا I_{SS}) ایجاد می‌شود. چنین نرخ تغییرات محدودی هم به ازای ورودی مثبت و هم به ازای ورودی منفی برقرار خواهد بود. این وضعیت غیرخطی تا زمانی ادامه می‌یابد که شارژ خازن به حدی برسد که v_O به v_{in} نزدیک شود. لذا ترانزیستور M_2 مجدداً روشن می‌شود و ساختار مجدداً به حالت خطی و تعادل کامل برمی‌گردد. در این شرایط، ولتاژ خروجی از معادله خطی پیروی می‌کند. فرض کنید که سیگنال ورودی یا فرکانس ω به ورودی تقویت‌کننده فیدبک دار اعمال گردد:

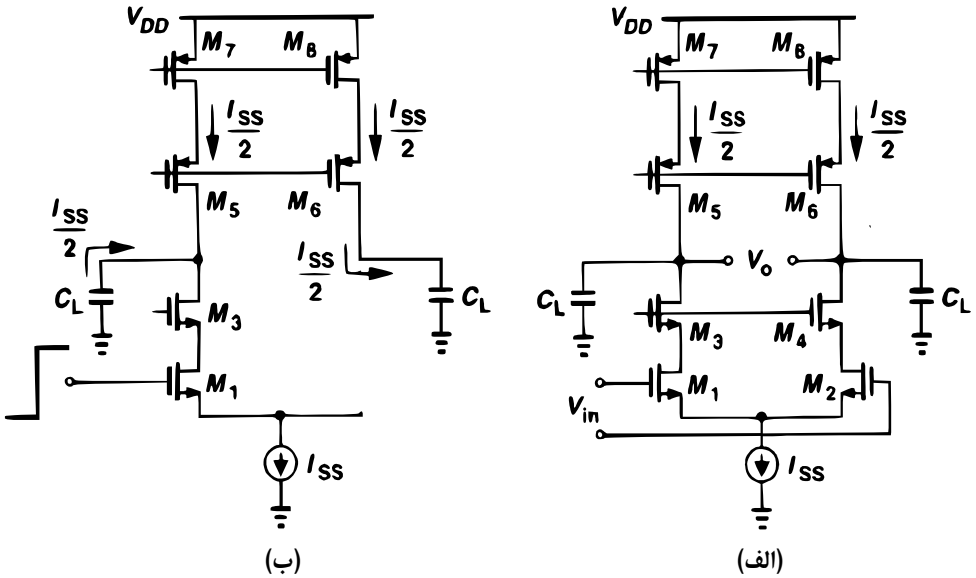
$$v_O = v_{OM}\sin(\omega t). \qquad (۶۰ - ۹)$$

با مشتق‌گیری از رابطه بالا خواهیم داشت:

$$\frac{dv_O}{dt} = \omega v_{OM}\cos(\omega t). \qquad (۶۱ - ۹)$$



شکل۹-۳۱ مطالعه رفتار نشست ولتاژ خروجی در یک آپ‌امپ واقعی با سرعت واکنش محدود.



شکل۹-۳۲ مطالعه رفتار نشست آپ‌امپ تمام تفاضلی در اثر سرعت واکنش محدود.

حداکثر نرخ تغییرات رابطه بالا به‌ازای حداکثر مقدار $\cos(\omega t)$ به دست می‌آید. لذا

$$\left(\frac{dv_O}{dt}\right)|\max = \omega v_{OM}. \qquad (۶۲-۹)$$

برای آنکه نرخ تغییرات خروجی توسط SR محدود نشود باید داشته باشیم:

$$\mathrm{SR} \geq \omega v_{OM}. \qquad (۶۳-۹)$$

فرکانس f_M، فرکانسی است که حداکثر نرخ تغییرات با محدودیت SR آپ‌امپ برابر شود. این فرکانس برابر است با

$$\mathrm{SR} = \omega_M v_{OM} \Longrightarrow f_M = \frac{\mathrm{SR}}{2\pi v_{OM}}. \qquad (۶۴-۹)$$

به‌عنوان نمونه‌ای دیگر از محدود شدن خروجی آپ‌امپ با SR، تقویت‌کننده با خروجی تمام تفاضلی شکل ۹-۳۲-الف را در نظر بگیرید. شکل ۹-۳۲- ب تقویت‌کننده موردنظر را با اعمال ورودی پله تفاضلی با دامنه بزرگ نشان می‌دهد. در این حالت، یکی از ترانزیستورها کاملاً روشن شده و دیگری

به‌طور کامل خاموش می‌شود. درنتیجه یکی از خازن‌ها با جریان $I_{SS}/2$ شارژ می‌شود و دیگری با همین جریان دشارژ می‌شود. لذا سرعت واکنش خروجی تمام تفاضلی برابر است با:

$$\frac{d(v_O^+ - v_O^-)}{dt} = \frac{I_{SS}}{C_L}. \qquad (۶۵ - ۹)$$

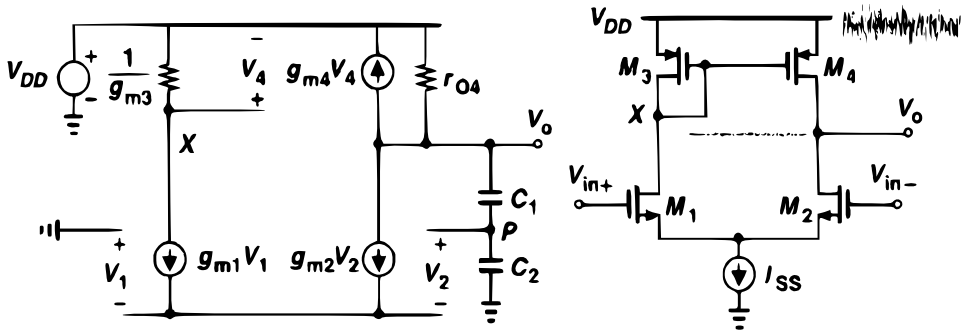
لحظه‌ای که آپ‌امپ از ناحیه غیرخطی (با پارامتر غالب SR) وارد ناحیه خطی (با رابطه خطی) می‌شود چندان روشن نیست. یک روش معقول برای پیدا کردن این لحظه آن است که شیب رابطه خطی را مشخص نموده و دامنه‌ای سیگنال خروجی را پیدا کنیم که شیب معادله خطی با SR برابر شود.

آپ‌امپ‌های دوطبقه دارای SR های متفاوت در طبقات اول و دوم هستند. به‌منظور محاسبه SR کلی در این آپ‌امپ‌ها باید سرعت واکنش حداقل را محاسبه کنیم:

$$\mathrm{SR} = \min(\mathrm{SR}_1, \mathrm{SR}_2). \qquad (۶۶ - ۹)$$

۹-۱۳) ضریب حذف نویز منبع تغذیه ($PSRR$):

نویز منبع تغذیه باعث کاهش کیفیت سیگنال خروجی تقویت‌کننده‌ها می‌شود و باید تا جای ممکن بهره سیگنال-کوچک نویز را از منبع تغذیه و زمین تا خروجی کاهش داد. تقویت‌کننده شکل ۹-۳۳-الف را با منبع تغذیه همراه با نویز V_{DD} در نظر بگیرید. به دلیل تعادل مدار و برابر بودن سطح جریان ترانزیستورها در دو طرف، ولتاژهای متناظر در دو شاخه با یکدیگر برابر خواهند بود. لذا می‌توان نوشت:



(الف) (ب)

شکل۹-۳۳ تحلیل سیگنال- کوچک ولتاژ خروجی یک تقویت‌کننده تفاضلی ساده در اثر ولتاژ نویز تغذیه.

$$V_O = V_X. \qquad (۶۷-۹)$$

ترانزیستور M_3 با آرایش دیودی، نقش واسط را بین ولتاژهای V_{DD} و V_X بازی می‌کند. لذا بهره ولتاژ از V_{DD} تا V_X برابر با یک خواهد بود. از طرف دیگر، به دلیل تقارن کامل مدار V_O نیز تغییرات یکسانی را با V_{DD} تجربه می‌کند و بهره نویز از V_{DD} تا V_O نزدیک به واحد می‌شود.

*) **تعریف:** ضریب حذف نویز منبع تغذیه ($PSRR$) به‌صورت نسبت بهره ولتاژ سیگنال-کوچک مدار از ورودی v_{in} تا خروجی v_O به بهره ولتاژ سیگنال-کوچک نویز مدار از منبع تغذیه v_{DD} تا خروجی v_O تعریف می‌شود:

$$PSRR = \frac{v_O/v_{in}}{v_O/v_{DD}}. \qquad (۶۸-۹)$$

در مورد تقویت‌کننده شکل ۹-۳۳-الف، بهره ولتاژ ورودی – خروجی برابر با $g_{mN}(r_{ON}\|r_{OP})$ و بهره ولتاژ نویز از منبع تغذیه برابر با یک است. لذا به‌طور تقریبی خواهیم داشت:

$$PSRR = g_{mN}(r_{ON}\|r_{OP}). \qquad (۶۹-۹)$$

مثال ۹-٦: تقویت‌کننده شکل ۹-۳۳-الف را در وضعیت فیدبک خازنی شامل دو خازن C_1 و C_2 (شکل ۹-۳۳- ب) در نظر بگیرید. ضریب $PSRR$ را در فرکانس‌های پایین تعیین کنید.

در مورد این تقویت‌کننده فیدبک‌دار، ضریب فیدبک برابر است با

$$\beta = \frac{1/C_2 s}{1/C_1 s + 1/C_2 s} = \frac{C_1}{C_1 + C_2}. \qquad (۷۰-۹)$$

لذا بهره ولتاژ از رابطه زیر بدست می‌آید:

$$\frac{v_O}{v_{in}} = \frac{1}{\beta} = 1 + \frac{C_2}{C_1}. \qquad (۷۱-۹)$$

از طرف دیگر، با تحلیل سیگنال-کوچک شکل ۹-۳۳-ب خواهیم داشت:

$$\frac{v_O}{v_{DD}} = \frac{1}{1 + g_{m2} r_{O4} \dfrac{C_1}{C_1 + C_2}} \simeq g_{m2} r_{O4} \frac{C_1}{C_1 + C_2}. \qquad (۷۲-۹)$$

لذا ضریب حذف نویز منبع تغذیه از رابطه زیر بدست می‌آید:

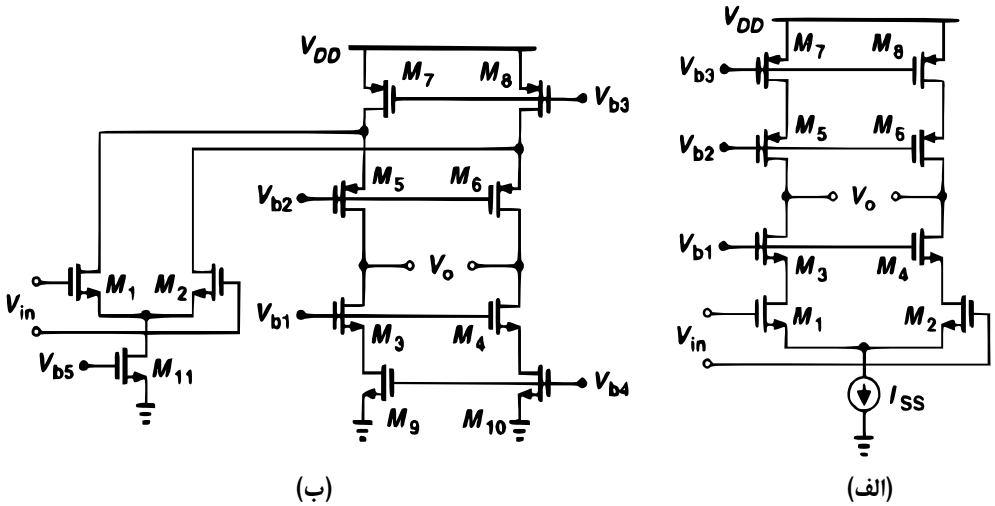
$$PSRR \simeq \left(1+\frac{C_2}{C_1}\right) g_{m2} r_{O4} \frac{C_1}{C_1+C_2}. \qquad (۹-۷۳)$$

۹-۱۴) نویز در آپ‌امپ‌ها

نویز ارجاع داده‌شده به ورودی آپ‌امپ از اهمیت خاصی در کاربردهای با نویز کم برخوردار است. آپ-امپ کسکود تلسکوپی شکل ۹-۳۴-الف را در نظر بگیرید. با توجه به تحلیل انجام شده در فصل قبل، ترانزیستورهای $M_{1,2}$ و $M_{7,8}$ نقش اصلی را در نویز ورودی تقویت‌کننده بازی می‌کنند. لذا نویز گرمایی کانال و نویز فلیکر ارجاع داده‌شده به ورودی برابر است با:

$$\overline{v_n^2} = 2(4KT\gamma)\left(\frac{1}{g_{m1}}\right)\left(1+\frac{g_{m7}}{g_{m1}}\right) + 2\frac{K_N}{(W/L)_1 C_{OX} f} + 2\frac{K_P}{(W/L)_7 C_{OX} f}\left(\frac{g_{m7}}{g_{m1}}\right)^2. \qquad (۹-۷۴)$$

شکل ۹-۳۴-ب آرایش یک نویز تقویت‌کننده کسکود تاشده را نشان می‌دهد. با در نظر گرفتن R_O به‌عنوان مقاومت خروجی تقویت‌کننده، نویز گرمایی کانال ارجاع داده‌شده به خروجی و ناشی از ترانزیستورهای $M_{7,8}$ و $M_{9,10}$ از رابطه زیر بدست می‌آید:



شکل۹-۳٤ بررسی رفتار آپ‌امپ تلسکوپی و کسکود تاشده در حضور نویز قطعات.

$$\overline{v_{n,out}^2}|M_{7,8} = 8kT\gamma\frac{1}{g_{m7}}(g_{m7}^2R_O^2), \qquad (۷۵-۹)$$

$$\overline{v_{n,out}^2}|M_{9,10} = 8kT\gamma\frac{1}{g_{m9}}(g_{m9}^2R_O^2). \qquad (۷۶-۹)$$

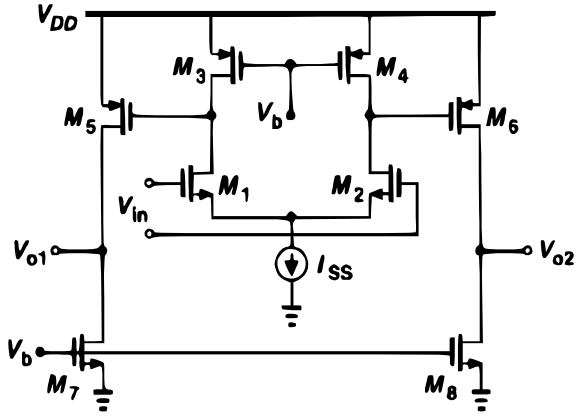
برای محاسبه نویز ارجاع داده‌شده به ورودی، باید حاصل‌جمع این نویز را در مجذور بهره $g_{m1}R_O$ تقویت‌کننده تقسیم نموده و با نویز ترانزیستورهای ورودی جمع نمود:

$$v_{n1,in}^2 = 8kT\gamma\left(\frac{1}{g_{m1}}\right)\left(1+\frac{g_{m7}}{g_{m1}}+\frac{g_{m9}}{g_{m1}}\right). \qquad (۷۷-۹)$$

رابطه بالا نشان می‌دهد که ساختار کسکود تاشده از نویز کانال بیشتری نسبت به آرایش تلسکوپی رنج می‌برد.

۹-۱۴-۱) نویز در تقویت‌کننده‌های دوطبقه

تقویت‌کننده دوطبقه شکل ۹-۳۵ را در نظر بگیرید. برای بررسی نویز ارجاع داده‌شده به ورودی این تقویت‌کننده، سهم هرکدام از طبقات را جداگانه محاسبه می‌کنیم. به‌وضوح، نویز گرمایی کانال ناشی از ترانزیستورهای طبقه خروجی از رابطه زیر محاسبه می‌شود:



شکل۹-۳۵ محاسبه نویز در آپ‌امپ دوطبقه.

$$\overline{v_{n,O}^2}|M_{5-8} = 2\times 4kT\gamma(g_{m5}+g_{m7})(r_{O5}\|r_{O7})^2. \qquad (۷۸-۹)$$

نویز بالا بر مجذور بهره کلی آپ‌امپ تقسیم می‌شود تا به ورودی راه یابد.

$$A_V = g_{m1}(r_{O1}\|r_{O3})\times g_{m5}(r_{O5}\|r_{O7}). \qquad (۷۹-۹)$$

با توجه به بزرگ بودن بهره بدست آمده از رابطه بالا، نویز طبقه دوم تأثیر کمتری بر ورودی خواهد داشت:

$$\overline{v_{n,in}^2}|M_{5-8} = 2 \times 4kT\gamma(g_{m5}+g_{m7})(r_{O5}\|r_{O7})^2 \times \frac{1}{g_{m1}^2 g_{m5}^2 (r_{O1}\|r_{O3})^2 (r_{O5}\|r_{O7})^2}. \quad (۸۰-۹)$$

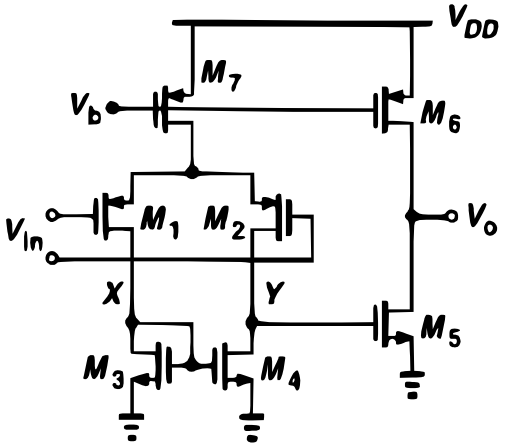
از طرف دیگر، نویز ارجاع داده‌شده به ورودی و ناشی از طبقه اول عبارت است از:

$$\overline{v_{n,in}^2}|M_{1-4} = 2 \times 4kT\gamma \frac{1}{g_{m1}}\left(1+\frac{g_{m3}}{g_{m1}}\right). \quad (۸۱-۹)$$

درمجموع، نویز کلی ارجاع داده‌شده به ورودی تقویت‌کننده از رابطه زیر بدست می‌آید:

$$\overline{v_{n,in,tot}^2} = \overline{v_{n,in}^2}|M_{1-4} + \overline{v_{n,in}^2}|M_{5-8}. \quad (۸۲-۹)$$

*** نکته: حذف آفست تقویت‌کننده دوطبقه:** آفست به دلیل عدم تقارن در ساختار آپ‌امپ تفاضلی به وجود می‌آید. این پارامتر باعث ایجاد تفاوت dc بین ورودی‌های تفاضلی آپ‌امپ در هنگامی می‌شود که دو ورودی یکسان باشند. لذا باید تا حد امکان کم شود. شکل ۹-۳۶ آرایش یک آپ‌امپ دوطبقه را نشان می‌دهد. شرط نداشتن آفست سیستماتیک آن است که ولتاژ گیت-سورس ترانزیستورهای ورودی طبقات یکسان باشند:



شکل۹-۳۶ شرط حذف آفست در آپ‌امپ دوطبقه.

$$v_{GS3} = v_{GS5} \Rightarrow \sqrt{\frac{2I_3}{\beta_3}} = \sqrt{\frac{2I_5}{\beta_5}} \quad (۸۳-۹)$$

لذا نسبت جریان‌ها برابر است با:

$$\frac{I_3}{I_5} = \frac{(W/L)_3}{(W/L)_5} \quad (۸۴-۹)$$

فصل دهم: پایداری و جبران‌سازی فرکانسی

مزایای فیدبک منفی باعث استفاده گسترده از این روش در مدارهای الکترونیکی شده است.با این وجود، سیستم‌های فیدبک‌دار مستعد ناپایداری هستند و ممکن است در یک فرکانس مشخص فیدبک منفی به فیدبک مثبت تبدیل شده و باعث ناپایداری تقویت‌کننده شود.

در این فصل، پس از مطالعه پایداری تقویت‌کننده‌های فیدبک‌دار، راهکارهای مختلفی را به‌منظور پایدارسازی تقویت‌کننده‌های چندطبقه ارائه می‌دهیم.

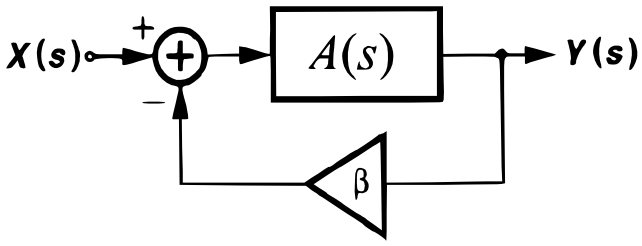
۱۰-۱) ملاحظات کلی

شکل ۱۰-۱ آرایش کلی یک تقویت‌کننده فیدبک دار را به تصویر می‌کشد. تابع تبدیل آن عبارت است از:

$$\frac{Y(s)}{X(s)} = \frac{A(s)}{1 + \beta A(s)}. \qquad (۱ - ۱۰)$$

در حالت دائمی و به ازای $\beta A(s = j\omega_1) = -1$ مخرج برابر با صفر شده و بهره نامحدود می‌گردد. لذا سیستم، کمترین نویز موجود در این فرکانس را تقویت نموده و شروع به نوسان در فرکانس موردنظر می‌کند. به شکل ساده، دو شرط زیر به‌عنوان شرط‌های اصلی نوسان در فرکانس مشخص ω_1 شناخته می‌شوند. این شروط به معیارهای بارخوزن مشهورند.

$$\begin{cases} |A\beta(j\omega_1)| = 1 \\ < A\beta(j\omega_1) = -180^o \end{cases} \qquad (۲ - ۱۰)$$



شکل ۱۰-۱: سیستم پایه فیدبک‌دار.

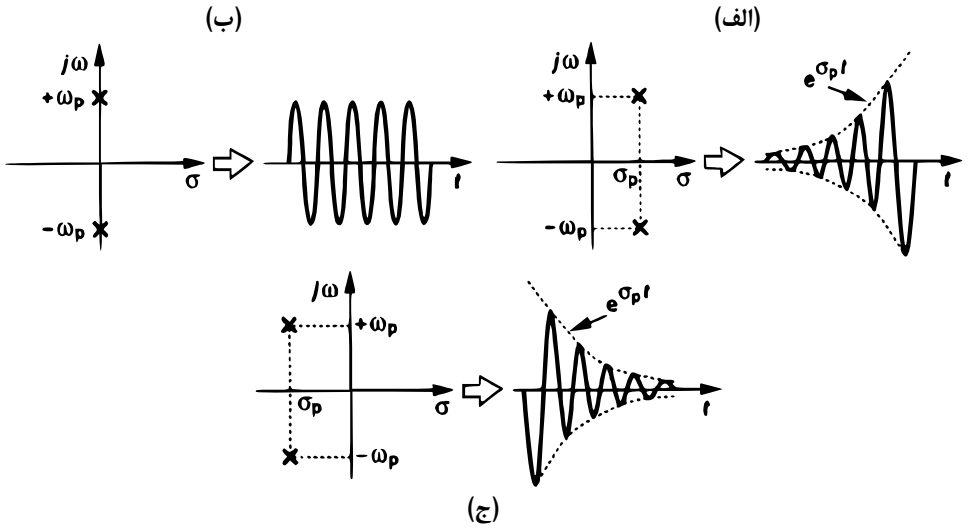
با محرز شدن این شرایط، اختلاف‌فاز موجود در حلقه با فیدبک منفی به ۳۶۰ درجه رسیده و اگر در این فرکانس، بهره حلقه بزرگ‌تر مساوی یک باشد، نوسانات آغاز می‌شوند و دامنه آنها افزایش می‌یابد. شکل ۱۰-۲ مکان قطب‌ها در صفحه اعداد مختلط را در سه سیستم ناپایدار، نوسانی و پایدار مقایسه می‌کند. مرز بین پایداری، ناپایداری و نوسانی بودن یک سیستم، قرار گرفتن قطب‌ها بر روی محور اعداد مختلط است. شکل ۱۰-۳ نمودار بود دو سیستم پایدار و ناپایدار را با یکدیگر مقایسه می‌کند. دو فرکانس در این شکل اهمیتی ویژه دارند:

۱- فرکانسی که درآن بهره حلقه برابر ۱۸۰ – درجه می‌گردد و به PX معروف است.

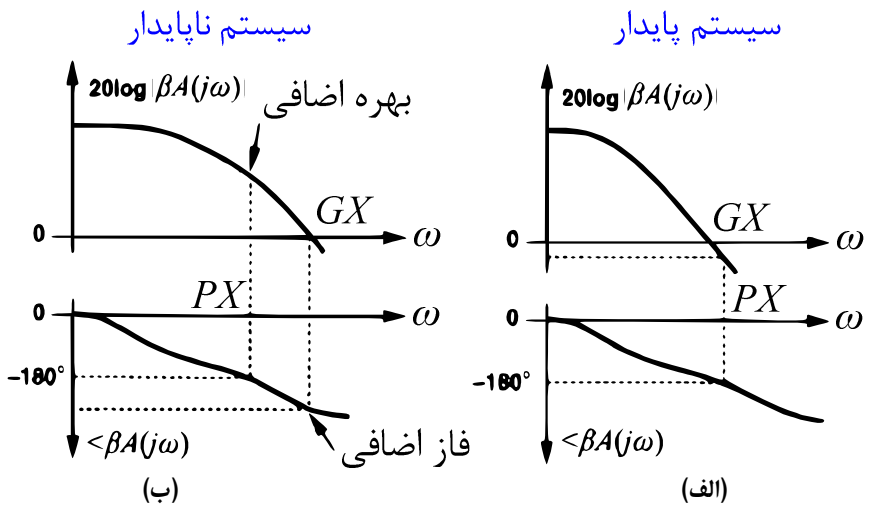
۲- فرکانسی که درآن اندازه بهره حلقه برابر با واحد می‌شود و به GX معروف است.

دریک سیستم پایدار، همواره $GX < PX$ و در یک سیستم ناپایدار، همواره $GX > PX$ است.

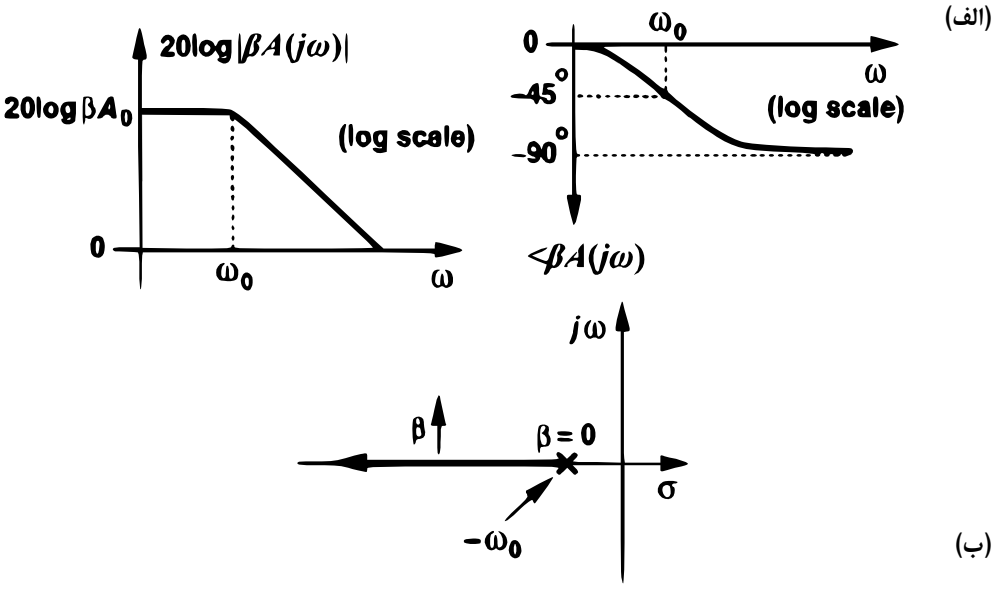
با کاهش اندازه فیدبک، $|A\beta|$ از مقادیر کمتری شروع شده و GX به فرکانس‌های پایین‌تری منتقل می‌شود. درنتیجه سیستم پایدارتر می‌گردد. لذا بدترین شرایط ازلحاظ پایداری در ضریب فیدبک $\beta = 1$ خواهد بود. اگر پایداری به ازای این ضریب فیدبک تضمین شود، به ازای تمامی ضرایب فیدبک کوچک‌تر نیز تأمین می‌شود. در ادامه وضعیت پایداری چند نوع سیستم را از نقطه‌نظر پایداری با یکدیگر مقایسه می‌کنیم.



شکل ۱۰-۲ مکان قطب‌ها در یک سیستم (الف) ناپایدار؛ (ب) نوسانی و (ج) پایدار.



شکل ۱۰-۳ مقایسه نمودار بود بهره حلقه دو سیستم پایدار و ناپایدار.



شکل ۱۰-٤ (الف) نمودار بود بهره حلقه سیستم تک‌قطبی $A\beta$؛
(ب) مکان هندسی ریشه‌های سیستم حلقه بسته تک‌قطبی.

۱۰-۲) سیستم مرتبه اول

با استفاده از تابع تبدیل حلقه باز یک سیستم تک‌قطبی مرتبه اول، می‌توان تابع تبدیل حلقه بسته این سیستم را با اعمال فیدبک بدست آورد.

$$\frac{Y(s)}{X(s)} = A(s) = \frac{A_0}{1 + {}^{s}/_{\omega_0}} \Longrightarrow A_F(s) = \frac{\frac{A_0}{1+A_0\beta}}{1 + \frac{s}{\omega_0(1+A_0\beta)}}. \quad (۳-۱۰)$$

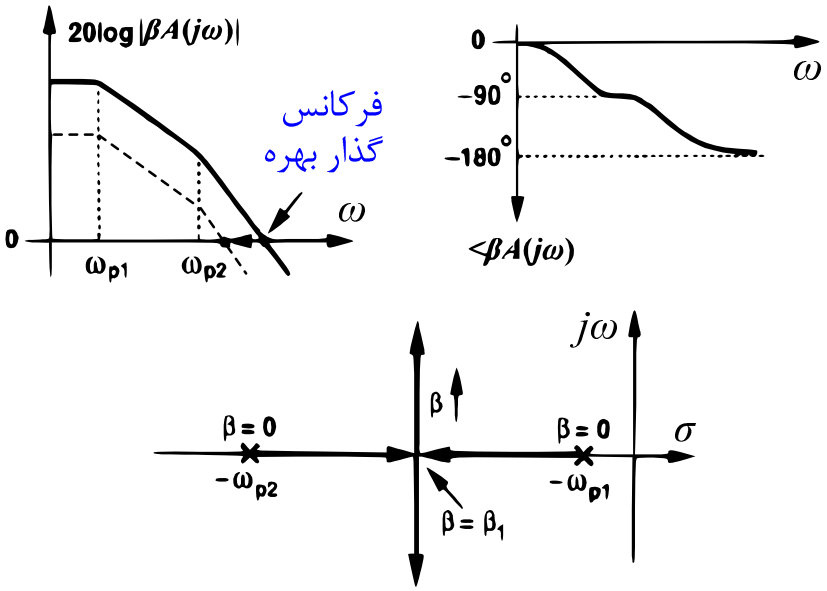
شکل ۱۰-۴ نمودار بود بهره حلقه سیستم تک‌قطبی و مکان هندسی ریشه‌ها را در این سیستم تک‌قطبی نشان می‌دهد. در موقع رسم نمودار بود، توجه به این نکته ضروری است که همواره هر قطب ω_P، 90^{o} از فاز کم می‌کند که این کاهش فاز از محل $0.1\omega_P$ آغاز و تا $10\omega_P$ ادامه می‌یابد. قطب‌ها همچنین شیب منحنی اندازه را به‌اندازه $-20\,\mathrm{dB/dec}$ کاهش می‌دهد که آغاز کاهش شیب در محل فرکانس قطب ω_P است. هر صفر 90^{o} به فاز اضافه می‌کند و شیب منحنی اندازه را به میزان $+20\,\mathrm{dB/dec}$ افزایش می‌دهد. با مقایسه شکل ۱۰-۴-الف با مفاهیم تعریف‌شده در شکل ۱۰-۳، به این نتیجه می‌رسیم که برای یک سیستم تک‌قطبی $PX = \infty$ است و لذا موردنظر همواره پایدار خواهد بود. از روی مکان هندسی ریشه‌ها در شکل ۱۰-۴-ب، به این نتیجه می‌رسیم که با افزایش ضریب فیدبک، تنها قطب سیستم از محور عمودی دورتر شده و پایداری سیستم تک‌قطبی بیشتر می‌شود. توجه به این نکته ضروری است که در منحنی فاز، اثر صفر و قطب‌ها از $0.1\omega_P$ آغاز می‌شود. لذا این اثر در منحنی فاز مشهودتر خواهد بود.

۱۰-۳) سیستم مرتبه دوم

شکل ۱۰-۵ نمودار بود بهره حلقه سیستم دوقطبی و مکان هندسی ریشه‌ها را در یک سیستم دوقطبی نشان می‌دهد. در یک سیستم دوقطبی، اگر یک قطب 10 برابر از دیگری فاصله داشته باشد،کاهش فاز در محل قطب دوم -135^{o} درجه خواهد شد. علاوه بر این، کاهش فاز درنهایت به -180^{o} خواهد رسید. درنتیجه نقطه‌گذار فاز در یک سیستم دوقطبی نیز $PX = \infty$ است و این سیستم همواره پایدار خواهد بود.

*) **نکته:** همواره با کاهش β، پایداری سیستم بهتر می‌شود.

سیستم‌های از سه قطب بالاتر مستعد پایداری هستند و باید به‌دقت وضعیت پایداری آنها بررسی شود.



شکل ۱۰-۵ (الف) نمودار بود یک سیستم دوقطبی؛ (ب) مکان هندسی ریشه‌ها در یک سیستم دوقطبی.

۱۰-۴) حاشیه فاز

چه میزان فاصله میان PX و GX لازم است تا به پایداری مطلوب دست‌یابیم؟ اگر فاصله بین این دو متغیر کم باشد و مثلاً GX در فاز بهره حلقه -175^{o}اتفاق افتد، آنگاه خواهیم داشت:

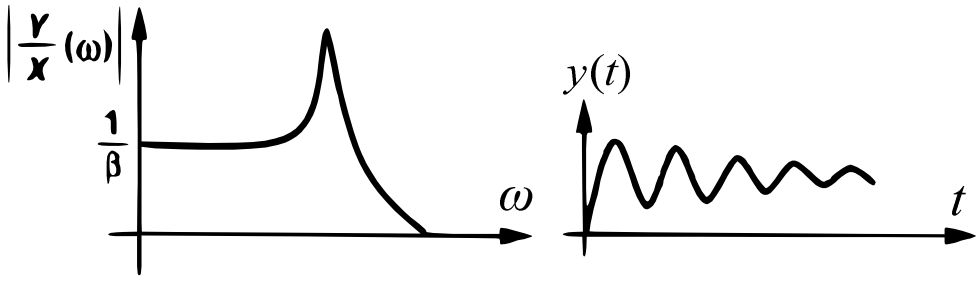
$$|A\beta(jGX)| = 1 \qquad (۴-۱۰)$$

$$< A\beta(jGX) = -175^{o} \qquad (۵-۱۰)$$

$$A_F(s) = \frac{1}{\beta}\left[\frac{A\beta(s)}{1+A\beta(s)}\right] \Longrightarrow$$

$$A_F(jGX) = \frac{1}{\beta}\left[\frac{\exp(-j175^{o})}{1+\exp(-j175^{o})}\right] = \frac{1}{\beta}\left(\frac{-0.9962-j0.0872}{0.0038-j0.0872}\right). \qquad (۶-۱۰)$$

$$|A_F(jGX)| = \frac{1}{\beta}\left(\frac{1}{0.0872}\right) \simeq \frac{11.5}{\beta}. \qquad (۷-۱۰)$$



شکل ۱۰-٦ پاسخ فرکانسی حلقه بسته و پاسخ پله به ازای فاصله کم بین نقاط گذار بهره و فاز.

لذا بهره سیستم حلقه بسته که در ابتدا برابر با $1/\beta$ بوده است، در نقاط حول‌وحوش GX به $11.5/\beta$ خواهد رسید. شکل ۱۰-۶ پاسخ فرکانسی حلقه بسته چنین سامانه‌ای را به همراه پاسخ پله آن (به ازای فاصله کم بین نقاط گذار بهره و فاز) نشان می‌دهد. این نمودارها نشان می‌دهد که سیستم در حال تقویت زیاد فرکانس‌های حول‌وحوش GX است و پاسخ فرکانسی هموار و تخت نخواهیم داشت. پاسخ پله در نمودار سمت راست، نشان‌دهنده نوسان و تقویت فرکانس خاصی می باشد.

موارد بالا نشان می‌دهد که PX و GX باید به حد کافی از هم فاصله داشته باشند تا پایداری نسبی مناسب بدست آید. به‌عنوان معیاری از فاصله میان GX و PX در نمودار فاز، حاشیه فاز به‌صورت رابطه زیر تعریف می‌شود:

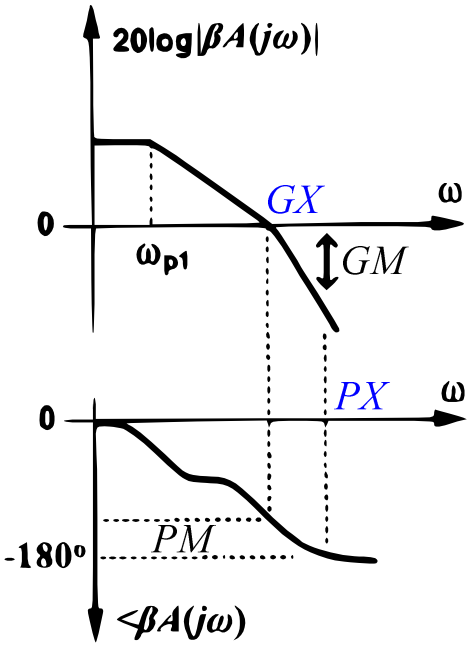
$$PM = 180^{\circ} + < A\beta(GX). \qquad (۸-۱۰)$$

به‌طور معادل، می‌توان حاشیه بهره را از روی نمودار بهره و به شکل زیر تعریف نمود:

$$GM = -20\log(|A\beta(PX)|). \qquad (۹-۱۰)$$

شکل ۱۰-۷ حاشیه بهره و حاشیه فاز را به شکل گرافیکی و از روی نمودار بود بهره حلقه $A\beta$ نمایش می‌دهد. واضح است که هر چه حاشیه بهره و حاشیه فاز بیشتر باشند PX و GX فاصله بیشتری از یکدیگر داشته و سیستم پایدارتر خواهد بود.

مثال ۹-۷: یک سیستم فیدبک دار به‌گونه‌ای طراحی شده است که $|A\beta(j\omega_{P2})| = 1$ و $|\omega_{P1}| \gg |\omega_{P2}|$ باشد. حاشیه فاز این سیستم چقدر است؟ در فرکانس GX پاسخ سیستم حلقه بسته چه میزان برآمدگی خواهد داشت؟



شکل ۱۰-۷ تعریف حاشیه بهره و حاشیه فاز.

می‌دانیم که هر قطب به‌اندازه 90^{o} از فاز کم می‌کند و میزان افت فاز در فرکانس خود قطب برابر با 45^{o} است. چون دو قطب فاصله زیادی از یکدیگر دارند، قطب اول به‌اندازه 90^{o} از فاز کم نموده و میزان افت در محل قطب دوم برابر با -135^{o} می‌شود. ازآنجاکه $|A\beta(j\omega_{P2})| = 1$ است لذا $GX = \omega_{P2}$ خواهد بود. پس در فرکانس $\omega = \omega_{P2}$، $A\beta <$ به -135^{o} می‌رسد که با توجه به فاصله آن از -180^{o}، PM برابر با 45^{o} خواهد بود:

$$A\beta(jGX) = 1, A\beta(jGX) = -135^{o} \Longrightarrow PM = 45^{o}. \qquad (۱۰-۱۰)$$

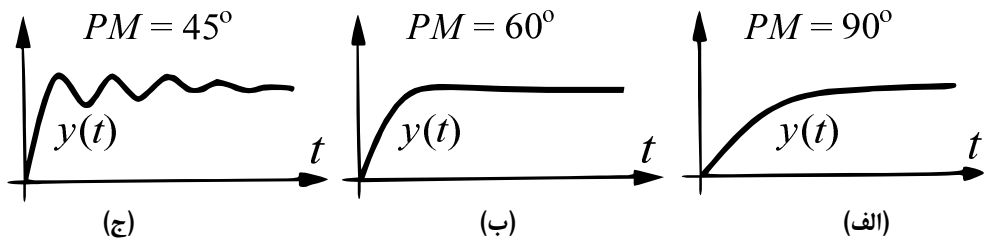
هم‌اکنون وضعیت سیستم حلقه بسته را با توجه به تابع تبدیل حلقه بسته با ضریب β بررسی می‌کنیم:

$$A_F(jGX) = \frac{1}{\beta}\left(\frac{e^{-j135}}{1+e^{-j135}}\right) \Longrightarrow |A_F(jGX)| = \frac{1}{\beta}\frac{1}{|0.29-j0.71|} \simeq \frac{1.3}{\beta}. \qquad (۱۱-۱۰)$$

با توجه به اینکه بهره سیستم حلقه بسته در فرکانس‌های پایین برابر با $1/\beta$ است، پاسخ فرکانسی از 30% برآمدگی در فرکانس GX رنج می‌برد. می‌توان نشان داد که به ازای

$$PM = 60^{o} \Longrightarrow |A_F(jGX)| = \frac{1}{\beta}. \qquad (۱۲-۱۰)$$

است. در این حالت پاسخ فرکانسی فاقد برآمدگی و پاسخ زمانی نیز فاقد نوسان در یک فرکانس مشخص خواهد بود. چنین حاشیه فازی در همه سیستم‌ها مطلوب است و باعث می‌شود که خروجی با سرعت بالا به مقدار نهایی میل می‌کند. شکل ۱۰-۸ پاسخ زمانی سیستم حلقه بسته را به ازای حاشیه فاز ۴۵، ۶۰ و ۹۰ درجه نشان می‌دهد. با افزایش حاشیه فاز خروجی سیستم پایدارتر می‌شود. ولی سرعت سیستم نیز به همان نسبت کاهش می‌یابد.



شکل ۱۰-۸ پاسخ زمانی سیستم حلقه بسته به ازای حاشیه فاز ٤٥، ٦٠ و ۹۰ درجه.

در عمل ممکن است به دلیل خواص غیرخطی و جابجایی صفر و قطب‌ها، خروجی تقویت‌کننده‌های حلقه بسته دقیقاً به این شکل‌ها نباشد.

۱۰-۵) جبران سازی فرکانس

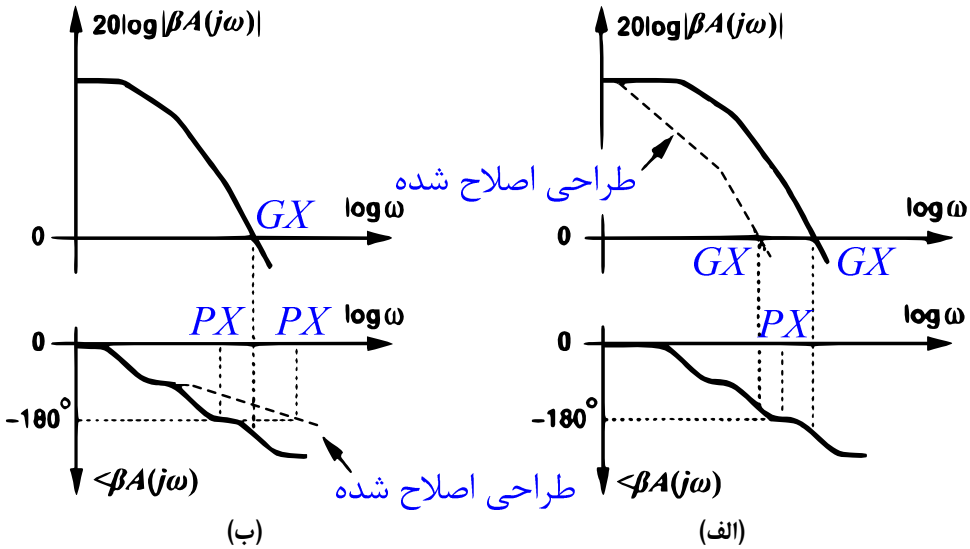
آپ‌امپ های ساخته‌شده از ترانزیستور، شامل تعداد زیادی قطب در تابع تبدیل هستند. لذا رفتار فرکانسی آنها باید جبران سازی فرکانسی شود تا در آرایش حلقه بسته، ناپایدار نشود. جبران‌سازی فرکانسی به راهکاری اطلاق می‌شود که با انتقال فرکانس‌های GX و PX، باعث رعایت شرط $GX < PX$ شده و یا

سیستم را مطلقاً پایدار می‌کنند و یا پایداری یک سیستم پایدار را به‌اندازه مطلوب بالا می‌برند. همان‌گونه که در شکل ۱۰-۹ نشان داده‌شده است، این روش‌ها به دو طریق پایداری تقویت‌کننده را افزایش می‌دهند:

الف) کاهش فرکانس GX: در این روش، همان‌گونه که در شکل ۱۰-۹-الف مشهود است، قطب غالب به فرکانس‌های پایین‌تر منتقل شده و لذا GX به فرکانس‌های پایین‌تر منتقل می‌شود. این کار درنهایت به $GX < PX$ و دستیابی به یک تقویت‌کننده پایدار ختم می‌شود.

ب) افزایش فرکانس PX: همان‌گونه که در شکل ۱۰-۹-ب نشان داده‌شده است، در این روش قطب‌های غیر غالب به فرکانس‌های بالاتر منتقل می‌شوند. لذا درنهایت PX به فرکانس‌های بالاتر منتقل می‌شود. این کار درنهایت به $GX < PX$ و دستیابی به یک تقویت‌کننده پایدارتر ختم می‌شود.

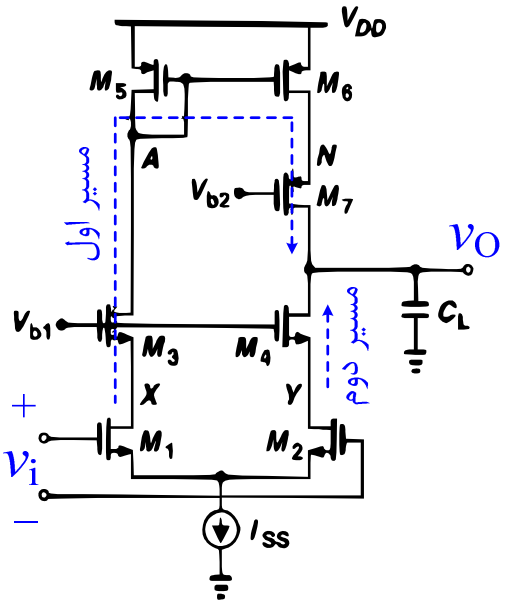
در عمل، ابتدا آپ‌امپ با حداقل تعداد قطب (با توجه به قضیه نسبت‌دهی قطب‌ها به گره‌ها، تعداد طبقات به حداقل می‌رسد) به‌گونه‌ای طراحی می‌شود که همگی معیارها (توان مصرفی، سطح اشغالی، سرعت و دقت) ارضا شوند. پس‌ازآن جبران سازی فرکانسی انجام می‌شود و طراحی به‌گونه‌ای اصلاح می‌گردد که GX به سمت مبدأ کشیده شود. این کار البته باعث کاهش پهنای باند تقویت‌کننده نیز می‌شود.



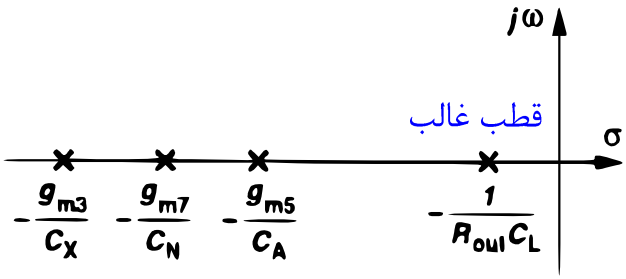
شکل ۱۰-۹ (الف) جبران سازی فرکانسی با GX؛ (ب)جبران سازی فرکانسی با جابجایی PX

۱۰-۵-۱) جبران‌سازی در تقویت‌کننده‌های یک طبقه

شکل ۱۰-۱۰ آرایش یک تقویت‌کننده عملیاتی یک طبقه و مکان هندسی قطب‌های آن را نشان می‌دهد. دو مسیر سیگنال برای سیگنال تفاضلی ورودی وجود دارد تا با گذر از این دو مسیر به گره خروجی برسد. قطب‌های مختلفی در این مسیرها وجود دارند که در هر شکل، با توجه به‌اندازه مشخص‌شده‌اند. با توجه به اینکه گره خروجی دارای بزرگ‌ترین خازن بار C_L و مقاومت معادل R_{out} تا زمین است، لذا قطب غالب (کوچک‌ترین قطب در فرکانس‌های بالا) در این گره قرار دارد. اندازه سایر قطب‌ها با توجه به تحلیل



(الف)



(ب)

شکل ۱۰-۱۰ آرایش یک تقویت‌کننده عملیاتی تلسکوپی تک طبقه و محل قرارگیری قطب‌ها در آن.

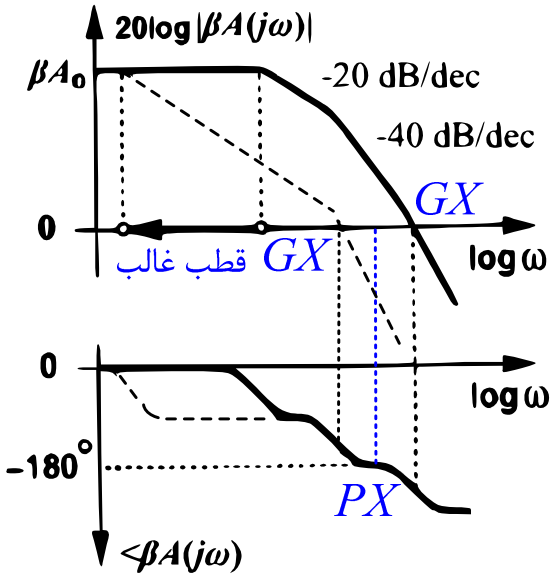
مداری و مقایسه اندازه آنها با یکدیگر تعیین می‌شود. با توجه به‌اندازه حرکت کوچک‌تر حفره نسبت به الکترون، ترانزیستورهای pMOS معمولاً بزرگ‌تر از nMOS انتخاب می‌شوند تا به هدایت انتقالی یکسان دست یابند. لذا خازن‌های ناشی از این ترانزیستورها نیز بزرگ‌تر هستند و درنهایت C_N بزرگ‌تر از C_X خواهد بود. با توجه به تقارن مداری، C_X و C_Y به یک اندازه هستند و لذا قطب‌های این دو گره با یکدیگر ترکیب شده و تنها یک قطب را در مکان صفر و قطب‌ها ایجاد می‌کنند.

با توجه به غالب بودن قطب گره خروجی نسبت به سایر قطب‌ها، می‌توان جبران‌سازی فرکانسی را با کوچک‌تر نمودن اندازه قطب این گره و از طریق افزایش اندازه خازن بار C_L انجام داد (مطابق با روش (الف) توضیح داده‌شده در بخش قبل). شکل ۱۰-۱۱ نحوه جبران‌سازی تقویت‌کننده شکل ۱۰-۱۰-الف و افزایش پایداری آن را بر مبنای روش (الف) نمایش می‌دهد. خط پررنگ رفتار فرکانسی تقویت‌کننده را قبل از جبران سازی فرکانسی نشان می‌دهد. قبل از جبران‌سازی فرکانسی، $GX > PX$ است و لذا سیستم ناپایدار است. با افزایش خازن بار پس از جبران سازی فرکانسی، قطب غالب ω_{P1} به فرکانس‌های پایین‌تر منتقل شده و با کاهش GX، سیستم پایدارتر می‌گردد. یک راه برای دستیابی به پایداری مطلوب آن است که $GX = \omega_{P2}$ در نظر بگیریم. با این کار، پس از جبران سازی $A\beta(GX) = -135^{\text{o}}$ شده و حاشیه فاز $PM = 45^{\text{o}}$ خواهد شد (هر قطب به‌اندازه 90^{o} از فاز کم می‌کند و کاهش فاز در محل خود قطب برابر با -45^{o} است). برای دستیابی به این هدف، محل جدید قطب غالب ω_{P1} را از رابطه زیر حساب می‌کنیم:

$$\omega_{P1} = \frac{GX}{A_0\beta} = \frac{\omega_{P2}}{A_0\beta}. \qquad (۱۳-۱۰)$$

*) **نکته:** کوچک‌تر نمودن اندازه قطب غالب با افزایش اندازه R_{out} گره خروجی نیز امکان‌پذیر است. این کار اما منجر به افزایش پایداری تقویت‌کننده نمی‌شود چراکه هم بهره زیاد شده و هم قطب غالب به فرکانس‌های پایین‌تر منتقل می‌گردد. پس درمجموع، رفتار فرکانسی حلقه فیدبک در فرکانس‌های بالا یکسان باقی می‌ماند.

*) **نکته:** ساختار تمام تفاضلی، مشکل ساختار تک سر شکل ۱۰-۱۰-الف ازلحاظ آینه نمودن سیگنال از یک سمت به سمت دیگر و ایجاد شدن قطب اضافی آینه‌ای در محل گره A را ندارد. بنابراین ساختار تمام تفاضلی تعداد قطب غیر غالب کمتر داشته و پایداری آن بهتر است.



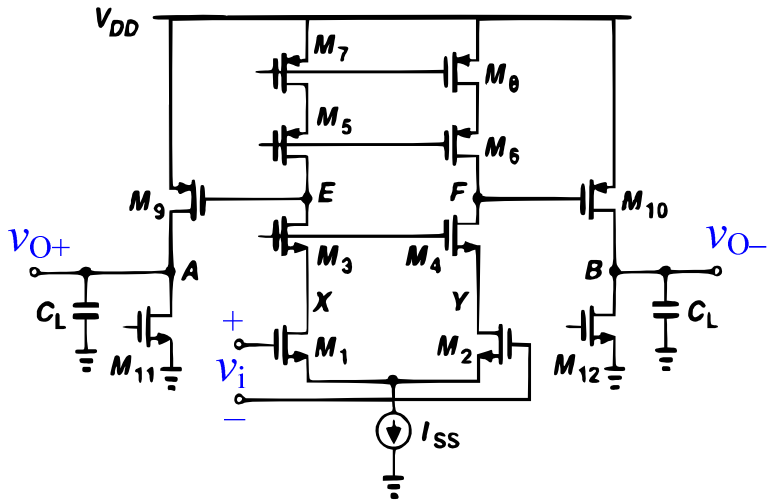
شکل ۱۰-۱۱ جبران‌سازی فرکانسی در نمودار بود آپ‌امپ تلسکوپی تک سر.

*) **نکته:** صفر باعث افزایش فاز به‌اندازه $+90^{o}$ در پاسخ فرکانسی شده و با افزایش فاز در محل GX، حاشیه فاز را افزایش می‌دهد. می‌توان با جاسازی مسیرهای پرسرعت در داخل تقویت‌کننده اصلی، صفر اضافی ایجاد کرد و اثر منفی قطب‌های غیر غالب را با استفاده از این صفرها خنثی نمود.

۱۰-۵-۲) جبران‌سازی در تقویت‌کننده‌های دوطبقه

شکل ۱۰-۱۲ آرایش یک تقویت‌کننده دوطبقه را به تصویر می‌کشد. برخلاف تقویت‌کننده یک طبقه، مزیت‌های این ساختار بهره ولتاژ بالاو نیز بالا بودن تغییرات ولتاژ خروجی به‌صورت هم‌زمان است. طبق قضیه نسبت‌دهی قطب‌ها به گره‌ها، در این ساختار سه قطب اصلی P_X، P_E (خروجی طبقه اول) و P_A (خروجی طبقه دوم) در مسیر اصلی سیگنال از ورودی به خروجی وجود دارند. اندازه هر قطب برابر با عکس حاصل‌ضرب مقاومت دیده‌شده در هر گره در خازن آن است. اندازه مقاومت و خازن خروجی دیده‌شده در این گره‌ها عبارت‌اند از:

$$R_{O,X} = r_{O1} \| 1/g_{m3} \qquad (۱۰ - ۱۴)$$



شکل ۱۰-۱۲ آرایش یک تقویت‌کننده عملیاتی دوطبقه.

$$R_{O,E} \simeq g_{m3}r_{O3}r_{O1}\|g_{m5}r_{O5}r_{O7} \qquad (۱۵-۱۰)$$

$$R_{O,A} = r_{O9}\|r_{O11} = R_L \qquad (۱۶-۱۰)$$

$$C_X = C_{GS3} + C_{GD1} \qquad (۱۷-۱۰)$$

$$C_E = C_{GS9} + C_{GD9}(1 + g_{m9}r_{O9}\|r_{O11}) \qquad (۱۸-۱۰)$$

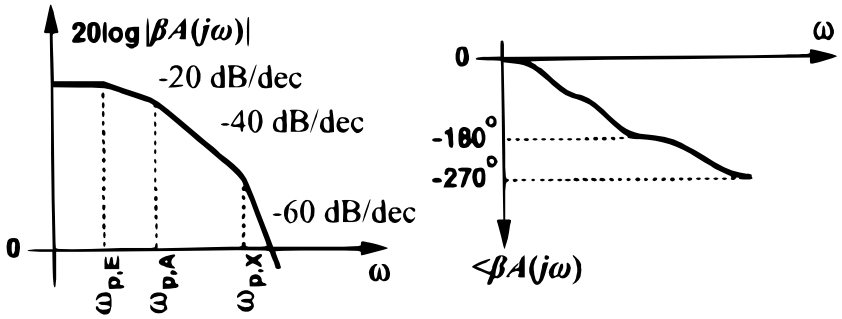
$$C_A \simeq C_L \qquad (۱۹-۱۰)$$

با توجه به مقاومت بالای $R_{O,E}$ در خروجی طبقه اول و وجود اثر میلر خازن C_{GD9} در این گره، قطب P_E قطب غالب بوده و از همه کوچک‌تر است. پس‌ازاین قطب، به ترتیب قطب‌های P_O و P_X قطب‌های غالب می‌باشند. شکل ۱۰-۱۳ پاسخ فرکانسی خروجی تقویت‌کننده را طبق این نکته نشان می‌دهد.

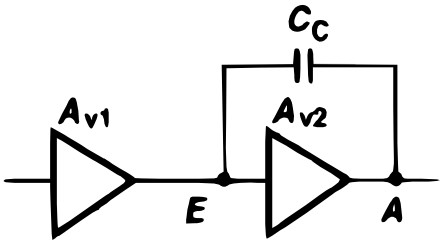
یک راه‌حل برای جبران‌سازی این تقویت‌کننده آن است که GX را به ω_{PA} محدود کنیم و قطب غالب یعنی $\omega_{PE} = |P_E| = 1/R_{O,E}C_E$ را آن‌قدر کوچک کنیم که $GX = \omega_{PA}$ شود. به این روش **جبران‌سازی موازی** گفته می‌شود و با اضافه کردن خازن جبران‌ساز اضافی C_C به $C_{O,E}$ انجام‌پذیر است. بااین‌وجود، روش جبران‌سازی موردنظر دارای دو مشکل اصلی است:

۱- نیاز به خازن بسیار بزرگ جبران سازی C_C در گره E؛

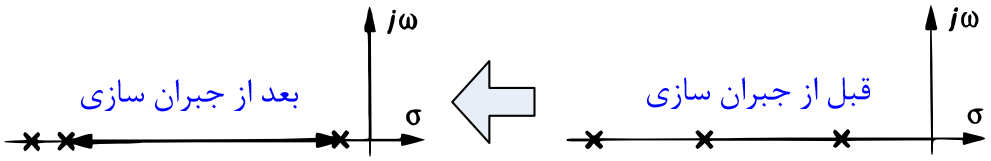
۲- محدود شدن $\text{GBW} = A_0\omega_0$ و یا GX به ω_{PA}؛ به‌خصوص برای $|A\beta|$ های کوچک.



شکل ۱۰-۱۳ نمودار بود بهره حلقه یک تقویت‌کننده دوطبقه.



شکل ۱۰-۱٤ جبران سازی میلر در آپ‌امپ دوطبقه.



شکل ۱۰-۱۵ جداسازی قطب‌ها از یکدیگر پس از اعمال روش جبران‌سازی میلری.

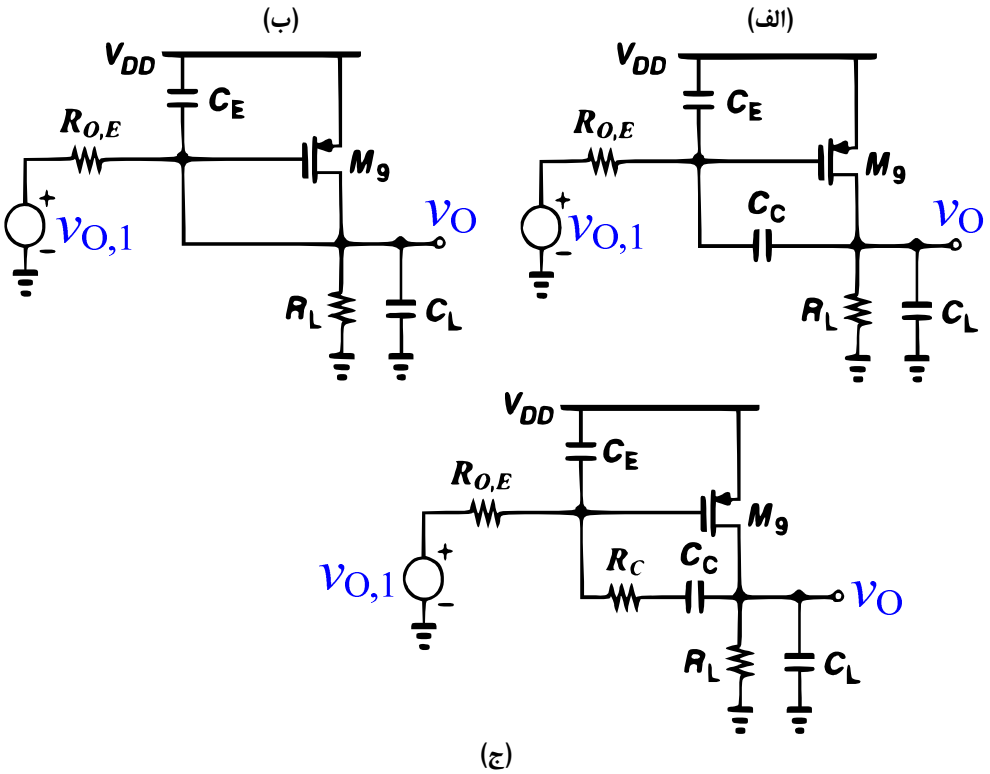
روش جبران‌سازی فرکانسی دوم، موسوم به روش **جبران‌سازی میلری** است. شکل ۱۰-۱۴ نحوه اعمال این روش جبران سازی را با قرار دادن خازن C_C مابین گره‌های E و A در شکل ۱۰-۱۲ نشان می‌دهد. خازن جبران‌سازی C_C بین ورودی و خروجی طبقه دوم قرار می‌گیرد تا با توجه به بهره طبقه دوم A_2 اثر معادل آن در گره E چند ده برابر گردد. طبق قضیه میلر، خازن معادل C_C در گره E برابر است با:

$$\text{خازن معادل } C_C \text{ در گره } E = C_C(1 + A_2)$$

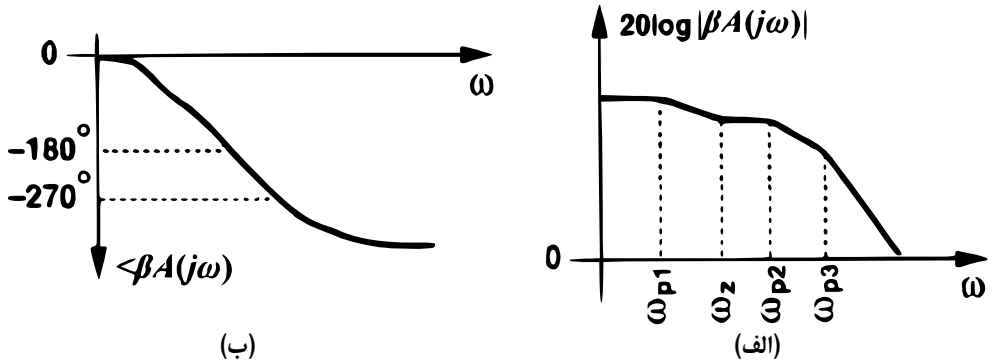
با این کار قطب غالب بسیار کوچک‌تر شده و خواهیم داشت:

$$\omega_{PE} = \frac{1}{R_{O,E}[C_E + C_C(1 + A_2)]}. \qquad (۲۰ - ۱۰)$$

مزیت این روش استفاده از خازن جبران سازی کوچک C_C و بهره‌مندی از اثر میلری آن به‌منظور ساخت یک خازن معادل بزرگ $C_C(1 + A_2)$ است. همان‌گونه که در شکل ۱۰-۱۵ نشان داده‌شده است، مزیت دیگر این روش دور نمودن بیشتر قطب‌های غیر غالب از قطب غالب و انتقال آنها به فرکانس‌های بالا است. این خاصیت جبران سازی میلر، با عنوان «جداسازی قطب‌ها از یکدیگر» یا "Pole Splitting" شناخته می‌شود. شکل ۱۰-۱۶-الف نحوه اعمال جبران سازی میلری با خازن



شکل ۱۰-۱۶ (الف) پیاده‌سازی تقویت‌کننده دوطبقه با جبران سازی میلری؛
(ب) رفتار خازن جبران‌سازی در فرکانس‌های بالا؛ (ج) جبران‌سازی میلری با خازن و مقاومت جبران‌سازی.



شکل ۱۰-۱۷ تأثیر صفر سمت راست در رفتار فرکانسی تقویت‌کننده.

جبران‌سازی C_C را در طبقه دوم تقویت‌کننده عملیاتی شکل ۱۰-۱۲ نشان می‌دهد. دلیل انتقال قطب غیر غالب اول به فرکانس‌های بالاتر اتصال کوتاه شدن خازن جبران‌سازی C_C در فرکانس‌های بالا است (شکل ۱۰-۱۶-ب). لذا مقاومت معادل خروجی طبقه دوم از $R_{O,A} = R_L$ به $R_L \| R_{O,E} \| 1/g_{m9}$ یا به‌طور تقریبی به $1/g_{m9}$ کاهش یافته و اندازه قطب غیر غالب

$$\omega_{PA} = \frac{1}{R_L C_L} \Longrightarrow \omega_{PA} \simeq \frac{g_{m9}}{C_L + C_E} \qquad (۲۱ - ۱۰)$$

افزایش می‌یابد.

با اتصال خروجی شکل ۱۰-۱۶-الف به زمین مجازی، مشاهده خواهیم کرد که این ساختار شامل یک صفر سمت راست با اندازه تقریبی

$$g_{m9} \times v_G = (C_C + C_{GD9}) s \times v_G \Longrightarrow s = s_Z = +\frac{g_{m9}}{C_C + C_{GD9}} \qquad (۲۲ - ۱۰)$$

است. بسته به‌اندازه خازن جبران سازی، صفر سمت راست موردنظر ممکن است در فرکانس‌های پایین واقع گردیده و برای پایداری تقویت‌کننده مشکل ایجاد کند. اثر صفر سمت راست در پایداری تقویت‌کننده حتی می‌تواند مخرب‌تر از اثر یک قطب غیر غالب باشد. شکل ۱۰-۱۷ رفتار فرکانسی بهره حلقه را در حضور صفر سمت راست نشان می‌دهد. چنین صفری در صورت تابع تبدیل جمله $(1 - s/\omega_Z)$ ایجاد می‌کند که منجر به کاهش فاز 90^o مشابه با یک قطب سمت چپ می‌شود. اما اثر

آن در نمودار اندازه همچنان مشابه با یک صفر سمت چپ و با افزایش شیب نمودار به‌اندازه $+20\,\mathrm{dB/dec}$ است. چنین صفری خطر جدی برای پایداری تقویت‌کننده دوطبقه با جبران سازی میلری ایجاد می‌کند و باید آن را به طریقی حذف نمود. یک راه‌حل برای حذف این صفر، استفاده از یک مقاومت سری R_C با خازن C_C مطابق با شکل ۱۰-۱۶- ج است. با اضافه کردن این مقاومت، مقدار صفر موردنظر اصلاح‌شده و از رابطه زیر بدست می‌آید:

$$g_{m9}v_G = \frac{v_G}{R_C + \frac{1}{C_C s}} = \frac{C_C s}{1 + R_C C_C s} v_G \Longrightarrow g_{m9}(1 + R_C C_C s) = C_C s$$

$$\Longrightarrow s = s_Z = \frac{1}{C_C(1/g_{m9} - R_C)}. \quad (۲۳ - ۱۰)$$

به ازای $R_C = 1/g_{m9}$، صفر سمت راست در بینهایت قرار خواهد گرفت و به‌طور کامل حذف می‌گردد. به ازای $R_C > 1/g_{m9}$، صفر سمت راست به سمت چپ منتقل شده و مقدار آن $p_Z \leq 0$ می‌شود. لذا در عمل می‌توان از این صفر به‌منظور حذف قطب غیرغالب تقویت‌کننده در گره A استفاده نمود. اندازه مقاومت جبران سازی لازم برای حذف صفر و قطب عبارت است از:

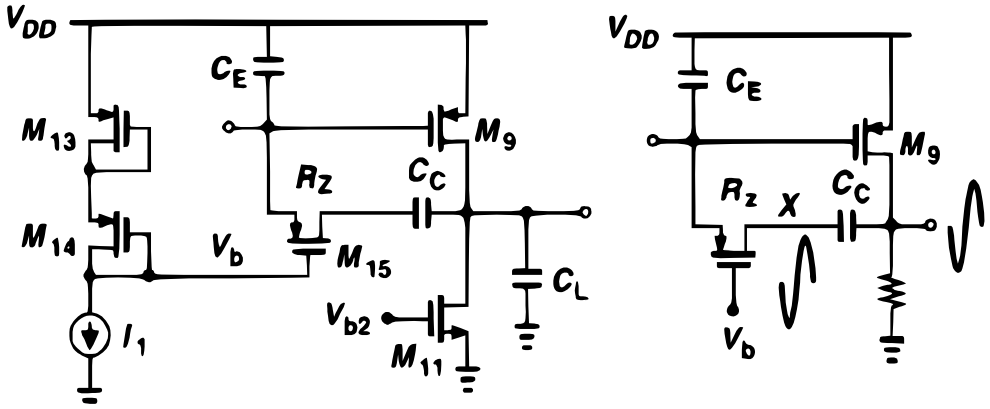
$$s_Z = p_A \Longrightarrow \frac{1}{C_C(1/g_{m9} - R_C)} = \frac{-g_{m9}}{C_L + C_C} \Longrightarrow R_C \simeq \left(1 + \frac{C_L}{C_C}\right)\frac{1}{g_{m9}} \quad (۲۴ - ۱۰)$$

رویه بالا دو مشکل دارد:

۱- عدم مشخص بودن مقدار دقیق خازن بار C_L در بسیاری از کاربردها ازجمله مدارهای کلید خازنی؛ این مشکل باعث می‌شود که نیازمند مقاومت جبران‌سازی R_C متغیر با مقدار متناسب با خازن بار باشیم.

۲- مقاومت R_C معمولاً توسط یک ترانزیستور در ناحیه تریود پیاده‌سازی می‌شود (شکل ۱۰-۱۸-الف). رفتار مقاومت در ناحیه تریود، همان‌گونه که در فصل‌های اول توضیح داده شد، غیرخطی بوده و وابسته به ولتاژ دو سر آن است. این موضوع باعث می‌شود که وقتی تغییرات ولتاژ خروجی تقویت‌کننده زیاد باشد، مقدار مطلق R_C در هرلحظه تغییر نموده و مکان صفر و درنتیجه پایداری و پاسخ سیگنال- بزرگ تقویت‌کننده را تحت تأثیر قرار دهد.

*) **نکته:** در شکل ۱۰-۱۸-الف، تولید ولتاژ بایاس V_b که با تغییرات پروسه، ولتاژ و دما، بتواند مقاومت



شکل ۱۰-۱۸ پیاده‌سازی مقاومت جبران‌سازی و نحوه تولید ولتاژ بایاس برای تغذیه مقاومت موردنظر.

$$R_C = \frac{1}{g_{m9}}\left(1 + \frac{C_L}{C_C}\right). \qquad (۲۵ - ۱۰)$$

را ثابت نگاه دارد کار ساده‌ای نیست. یک روش ساده برای پیاده‌سازی ولتاژ بایاس موردنظر در شکل ۱۰-۱۸-ب نمایش داده‌شده است. پس از جبران سازی فرکانسی تقویت‌کننده دوطبقه و انتقال قطب‌های غیر غالب به فرکانس‌های بالاتر، تنها قطب غالب باقی‌مانده و این تقویت‌کننده تبدیل به یک سیستم تک‌قطبی پایدار می‌شود. لذا در تقویت‌کننده دوطبقه شکل ۱۰-۱۲ خواهیم داشت:

$$A(s) \simeq \frac{A_0}{1 + s/\omega_{PE}}. \qquad (۲۶ - ۱۰)$$

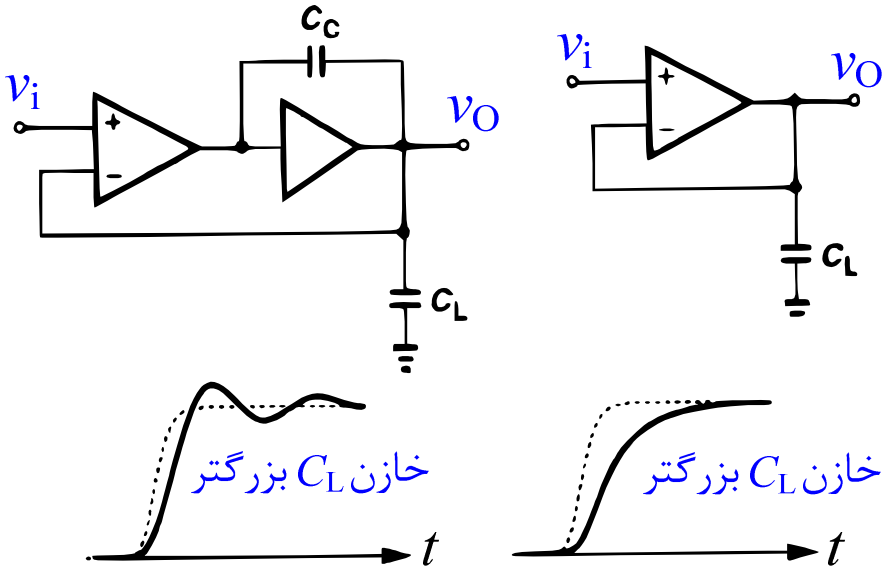
فرکانس GBW جایی است که بهره در فرکانس‌های بالا برابر با یک می‌شود. در سیستم‌های تک‌قطبی، این فرکانس به‌طور تقریبی برابر با حاصل‌ضرب بهره در پهنای باند یا $A_0\omega_{PE}$ است:

$$\left.\begin{aligned} A_0 &= g_{m1}R_{O,E}g_{m9}R_{O,A} \\ \omega_{PE} &= \frac{1}{C_C R_{O1}(g_{m9}R_{O2})} \end{aligned}\right\}$$

$$A(s)|s \longrightarrow \infty \simeq \frac{A_0\omega_{PE}}{s} = 1 \Longrightarrow s = \text{GBW} = A_0\omega_{PE} = \frac{g_{m1}}{C_C}. \qquad (۲۷ - ۱۰)$$

لذا در یک تقویت‌کننده عملیاتی دوطبقه با جبران‌سازی فرکانسی، $\mathrm{GBW} = g_{m1}/C_C$ خواهد بود.
یک مشکل دیگر تقویت‌کننده‌های دوطبقه حساسیت زیاد پایداری آنها به خازن بار است. شکل ۱۰-۱۹ نحوه نشست ولتاژ خروجی تقویت‌کننده‌های یک طبقه و دوطبقه را با افزایش خازن بار C_L مقایسه می‌کند. برخلاف تقویت‌کننده‌های یک طبقه که قطب غالب آنها در خروجی کلی قرار گرفته است، قطب غالب تقویت‌کننده‌های دوطبقه در خروجی طبقه اول قرار دارد. لذا برخلاف تقویت‌کننده‌های یک طبقه، پایداری تقویت‌کننده‌های دوطبقه با افزایش خازن بار کاهش می‌یابد.
یک راه‌حل به‌منظور کاهش حساسیت آپ‌امپ به خازن بار آن است که قطب غیر غالب و وابسته به خازن بار خروجی را تا حد ممکن بزرگ‌تر از فرکانس بهره واحد انتخاب کنیم:

$$\omega_{pA} \gg GBW \Longrightarrow \frac{g_{m9}}{C_L} \gg \frac{g_{m1}}{C_C}. \qquad (۲۸-۱۰)$$



شکل ۱۰-۱۹ تأثیر افزایش خازن بار در نحوه نشست ولتاژ خروجی تقویت‌کننده‌های یک طبقه و دوطبقه.

اندازه خازن بار C_L توسط طبقه بعد از تقویت‌کننده تعیین می‌شود و اندازه آن دست ما نیست. لذا تنها راه ممکن آن است که g_{m9} را با افزایش ابعاد و جریان ترانزیستور M_9 افزایش دهیم. معمولاً g_{m9} را با زیاد کردن جریان این ترانزیستور افزایش می‌دهند چراکه ابعاد بزرگ، باعث افزایش بیشتر خازن بار خروجی می‌شود. افزایش ابعاد همچنین باعث محدود شدن سرعت واکنش یا SR ترانزیستور می‌شود.
راه‌حل دیگر آن است که با بزرگ نمودن اندازه خازن جبران‌سازی C_C، GBW تقویت‌کننده را کاهش دهیم. افزایش خازن نیز سطح بیشتری را اشغال می‌کند و سرعت و SR تقویت‌کننده را کاهش می‌دهد.

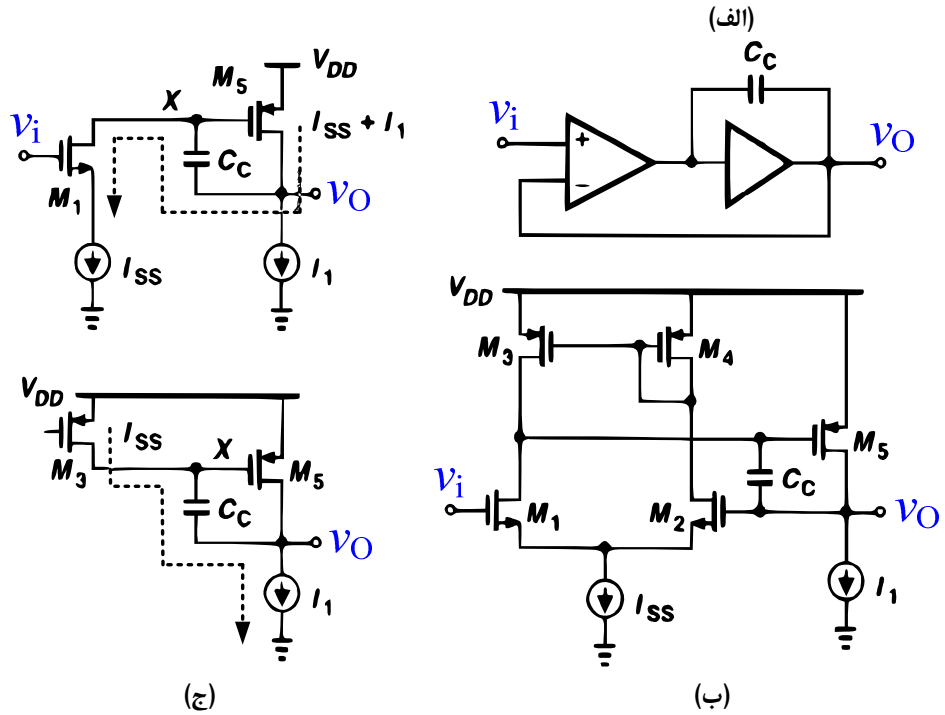
۱۰-۶) سرعت واکنش در تقویت‌کننده‌های دوطبقه

سرعت واکنش یا SR، حداکثر شیب تغییرات خروجی را در خروجی یک تقویت‌کننده مشخص می‌کند. لذا اگر ولتاژ خروجی را v_O در نظر بگیریم، $SR = dv_O/dt\,|max$ خواهد بود. شکل ۱۰-۲۰-الف آرایش یک تقویت‌کننده دوطبقه با خازن جبران سازی را نشان می‌دهد. ساده‌ترین نحوه پیاده‌سازی این تقویت‌کننده در شکل ۱۰-۲۰-ب نشان داده‌شده است. با اعمال یک ولتاژ تفاضلی با دامنه زیاد به ورودی این تقویت‌کننده عملیاتی، یکی از ترانزیستورهای M_1 یا M_2 به‌طور کامل خاموش شده و کل جریان منبع جریان I_{SS} از دیگری می‌گذرد. همان‌گونه که در شکل ۱۰-۲۰- ج نشان داده‌شده است، جریان I_{SS} یا از C_C کشیده شده و یا به آن تزریق می‌گردد. لذا با فرض آنکه ولتاژ گره X تقریباً ثابت باشد، سرعت واکنش خروجی از رابطه زیر بدست می‌آید:

$$SR = \frac{dv_O}{dt}\,|max = \pm\frac{I_{SS}}{C_C}. \qquad (۲۹-۱۰)$$

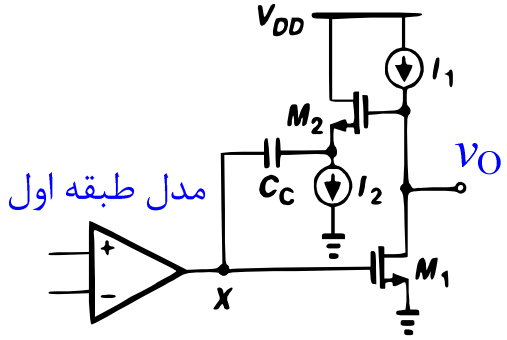
۱۰-۷) سایر روش‌های جبران سازی

اگر مسیر مستقیم ورودی به خروجی از طریق خازن C_C جبران سازی میلر حذف شده و یا امپدانس آن افزایش یابد، صفر سمت راست از بین خواهد رفت. همان‌گونه که قبلاً نشان داده شد، یک راه‌حل افزودن یک مقاومت جبران‌سازی R_C به شکل سری با خازن C_C است. راه‌حل دیگر، استفاده از یک بافر ولتاژ (دنبال کننده سورس) به شکل سری و قبل از خازن جبران‌سازی است تا مسیر مستقیم از ورودی به خروجی از بین رفته و تنها مسیر فیدبک از خروجی به سمت ورودی باقی بماند (شکل ۱۰-۲۱).



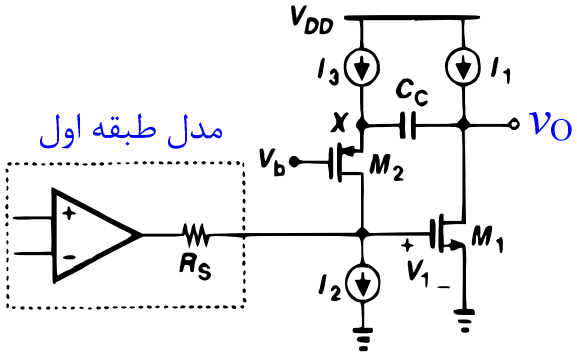
شکل ۱۰-۲۰ آهنگ چرخش ولتاژ خروجی در تقویت‌کننده‌های دوطبقه.

مشکل ساختار شکل ۱۰-۲۱ وجود ترانزیستور M_2 قبل از خازن C_C است که باعث می‌شود که حداقل ولتاژ مجاز خروجی توسط این قطعه محدود شود. لذا بهتر است که جای خازن و ترانزیستور را عوض کنیم و با استفاده از C_C، نقطه کار طبقه خروجی را از طبقه قبلی ایزوله کنیم. معادل تک سر این ایده در شکل ۱۰-۲۲ و با استفاده از یک بافر جریان (تقویت‌کننده گیت مشترک) نشان داده‌شده است. شکل ۱۰-۲۳ معادل تمام تفاضلی این ایده را با استفاده از دو بافر قرار داده شده در

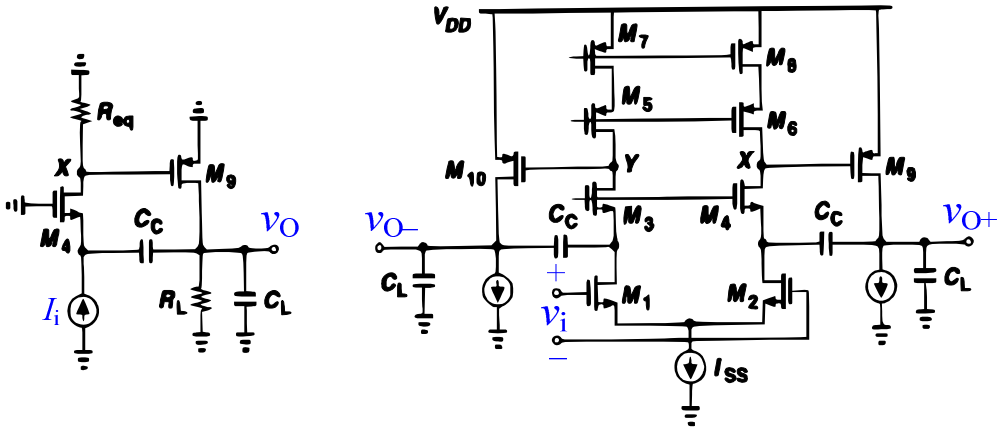


شکل ۱۰-۲۱ آپ‌امپ دوطبقه با اضافه کردن دنبال کننده سورس برای حذف صفر سمت راست.

درون تقویت‌کننده اصلی (ترانزیستورهای M_3 و M_4) نشان می‌دهد. روش مذکور جبران سازی کسکود نام دارد. وجود امپدانس کوچک $1/g_{m4}$ به‌طور موازی با $1/C_C s$ باعث می‌شود که کل جریان سیگنال-کوچک ترانزیستور M_2، به ترانزیستور M_4 راه یافته و از طریق خازن C_C به خروجی نرود. در این شرایط، مسیر اصلی سیگنال ورودی به خروجی از طریق ترانزیستور M_9 (و نه خازن C_C) برقرار می‌شود. می‌توان نشان داد که با این کار، صفر سمت راست به فرکانس‌های بسیار بالا منتقل می‌شود.



شکل ۱۰-۲۲ راهکار جبران سازی با استفاده از آرایش گیت مشترک.



(الف) (ب)

شکل ۱۰-۲۳ (الف) جبران سازی کسکود در تقویت‌کننده عملیاتی دوطبقه تفاضلی؛ (ب) مدار معادل تک سر.

کتاب‌نامه

1- Design of analog CMOS integerated circuits, Behzad Razavi, McGraw Hill, 2000.
2- Analog integrated circuit design, D. Johns, K. Martin, Wiley 2011.

Journals:
1- IEEE J. Solid-State Circuits (JSSC)
2- IEEE Trans. Circuits and Systems (Fundamental, Express Briefs)
3- Springer (ALOG, CSSP)
4- Elsevier (MEJ, AEU, Integation, the VLSI)
5- Wiley (CTA)
6- IET (Electronics Letters,Circuits, Devices, and Systems)
7- Taylor and Francis (IJE)
8- World Scientific (JCSC)
9- IEICE

Conferences:
1- IEEE Solid-State Circuits Conference (ISSCC)
2- IEEE Custum Integrated Circuts (CICC)
3- EssCirc
4- ISCAS
5- DATE and DAC